

RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE
MINISTÈRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE

UNIVERSITÉ M'HAMED BOUGARA-BOUMERDES



Faculté des Hydrocarbures et de la Chimie

Thèse de Doctorat

Présentée par

MERAH Sidi Mohammed

Filière : Génie Électrique et Électrotechnique
Option : Infotronique

Investigation de la microstructure des pièges responsables de la dégradation BTI (Bias Temperature Instability)

Devant le jury :

LAGHROUCHE	Mourad	Prof	UMMTO	Président
KESRAOUI	Mohamed	Prof	UMBB	Examineur
RAHMOUNE	Fayçal	Prof	UMBB	Examineur
BENAMANE	Kamal	MC/A	UMMTO	Examineur
SERHANE	Rafik	MR/A	CDTA	Examineur
NADJI	Bouchra	Prof	UMBB	Directeur de thèse

Année Universitaire : 2018/2019

Dédicaces

Je dédie cette thèse :

A mon Père et à ma Mère

A mon Epouse

A mon fils Abderrahmen

A mes Frères

A toute ma Famille

A tous mes Amis.

REMERCIEMENTS

Les travaux présentés dans cette thèse de Doctorat sont le fruit d'une collaboration entre l'équipe Fiabilité des Composants à Semi-conducteurs (FCS) de la Division Microélectronique et Nanotechnologie (DMN) du Centre de Développement des Technologies Avancées (CDTA) et le Laboratoire d'Electrification des Entreprises Industrielles (LREEI), du Département d'Automatisation des Procédés et Electrification, Faculté des Hydrocarbures et de la Chimie, Université M'hamed Bougara Boumerdes (UMBB).

J'exprime ma profonde reconnaissance et mes sincères remerciements à Madame le Professeur Bouchra NADJI pour m'avoir dirigé dans cette thèse durant laquelle j'ai pu profiter de sa riche expérience pour consolider et approfondir mes connaissances dans le domaine de la microélectronique.

Je tiens à remercier Monsieur LAGHROUCHE Mourad, Professeur à l'U.M.M.T.O, d'avoir accepté de présider mon jury de soutenance. Je remercie également les membres du jury qui ont accepté d'évaluer ce travail. Mes remerciements vont ainsi à Monsieur KESRAOUI Mohamed, Professeur à l'U.M.B.B, à Monsieur RAHMOUNE Fayçal, Professeur à l'U.M.B.B, à Monsieur BENAMANE Kamal, Maître de Conférence (A) à U.M.M.T.O, et à Monsieur SERHANE Rafik, Maître de Recherche (A) au C.D.T.A.

Je tiens à exprimer ma profonde gratitude à Fayçal HADJ-LARBI et Abdelmadjid BENABDELMOUMENE pour m'avoir soutenu durant cette thèse. Leurs précieux conseils et encouragements m'ont beaucoup aidé. Je les remercie aussi pour m'avoir assisté dans la rédaction de cette thèse.

Un remerciement particulier à mes collègues du CDTA et ceux du laboratoire LREEI pour leur soutien, encouragements et disponibilité de tous les jours. Les débats scientifiques que j'ai eu avec eux ont grandement servi à l'enrichissement de cette thèse.

Mes remerciements se tournent évidemment vers ma famille et mes proches, que j'ai trop souvent laissés dans «l'ombre», dans l'attente et dans l'inquiétude au cours de cette thèse. Je leur exprime ma plus profonde gratitude pour leur patience, leur soutien et leur affection, qui sont pour moi d'une valeur inestimable et sans lesquels je ne serais pas venu à bout de cet ouvrage. Une pensée affectueuse singulière à ma mère, mon père et à mon épouse.

Merci à mes chers collègues et amis.

Résumé

Malgré les nombreux efforts fournis pour comprendre les mécanismes physiques derrière la dégradation *BTI* (*Bias Temperature Instability*), la microstructure des pièges induits par cette dégradation reste inconnue et fait l'objet de débats d'actualité. Dans ce travail, nous avons effectué une étude expérimentale de la dégradation *NBTI* (*Negative BTI*) sur les dispositifs *MOSFET* (*Metal Oxide Semiconductor Field Effect Transistor*). En premier lieu, nous avons étudié l'impact de la dégradation *NBTI* sur les régions du canal et du drain du transistor *VDMOSFET* (*Vertically Double Diffused MOSFET*) en utilisant la méthode Capacité-Tension (*C-V*). Nous avons rapporté que la dégradation est importante dans la région du canal (drain) dans le *VDMOSFET* à canal *p* (*VDMOSFET* à canal *n*). Cela signifie que la région dopée au phosphore (type *n*) est plus sensible à la contrainte *NBTI*. En second lieu, l'investigation de la dégradation *NBTI* sous l'application d'un champ magnétique faible (< à 100Gauss) pendant les phases de stress et de recouvrement sur des transistors *VDMOSFET* nous a permis de montrer que les pièges à l'interface (ΔN_{it}) et dans l'oxyde (ΔN_{ot}) induits par la dégradation *NBTI* sont réduits par l'application du champ magnétique. Cette réduction est plus prononcée lorsque le champ magnétique est élevé. Cependant, la dynamique des pièges à l'interface pendant les phases de stress et de recouvrement n'est pas affectée par l'application du champ magnétique, alors que la dynamique des pièges dans l'oxyde est affectée à la fois pendant les phases de stress et de recouvrement. Enfin, nous avons exposé les étapes de réalisation d'un spectromètre basé sur les méthodes *EDMR* à faible champ magnétique (< à 200Gauss) pour identifier la microstructure des défauts induits par la dégradation *NBTI*, et par conséquent pour comprendre les mécanismes physiques qui sont derrière cette dégradation.

Mots clés : *NBTI*, *VDMOSFET*, *C-V*, Pompage de charge, Champ magnétique, *EDMR*.

Abstract

Despite the many efforts made to understand the physical mechanisms behind *Bias Temperature Instability (BTI)* degradation, the microstructure of the traps induced by this degradation remains unknown and is the subject of current debates. In this work, we carried out an experimental study of *Negative Bias Temperature Instability (NBTI)* on *Metal Oxide Semiconductor Field Effect Transistors (MOSFET)*. First, we investigate the impact of *NBTI* degradation on both channel and drain regions of commercial power double diffused *MOS* transistors (*VDMOSFET*) using capacitance-voltage method (*C-V*). We report that the degradation is important at the channel (drain) region in *VDMOSFET*'s *p*-channel (*VDMOSFET*'s *n*-channel). This means that the phosphorus doped region (*n*-type) is more sensitive to *NBTI* stress. Moreover, we report an experimental study of the impact of a low magnetic field ($B < 10mT$) applied during *NBTI* stress and recovery phases on commercial power *VDMOSFET* transistors. We show that both interface (ΔN_{it}) and oxide traps (ΔN_{ot}) induced by *NBTI* stress are reduced by applying the magnetic field. This reduction is more pronounced as the magnetic field is high. However, the dynamic of interface traps during stress and recovery phases is not affected by the applied magnetic field. While, the oxide traps dynamics is affected in both stress and recovery phases. Finally, we present the steps of development of a low magnetic spectrometer based on *Electrically Detected Magnetic Resonance (EDMR)* methods to identify the microstructure of the defects induced by the *NBTI* degradation, and consequently to understand the physical mechanisms behind this degradation.

Keywords: *NBTI*, *VDMOSFET*, *C-V*, Charge pumping, Magnetic field, *EDMR*.

الملخص

على الرغم من الجهود العديدة التي بذلت لفهم الآليات الفيزيائية لمشكل الاختلال من الحرارة والاستقطاب السالب/الموجب (*BTI*) إلا أن البنية الدقيقة للفخاخ التي يسببها هذا التدهور تظل غير معروفة وهي موضوع مناقشات حالية. من خلال هذا البحث، قمنا بدراسة تجريبية لمشكل الاختلال من الحرارة والاستقطاب السالب (*NBTI*) على ترانزستورات من نوع (*MOSFET*). أولاً قمنا بالتحقق من تأثير *NBTI* على منطقتي *canal* و *drain* لترانزستورات *VDMOSFET* باستخدام طريقة (*C-V*). نتائج التجارب بيّنت أنّ التدهور كبير في منطقة *canal* (*drain*) بالنسب لترانزستورات *p-VDMOSFET* (*n-VDMOSFET*) هذا يعني أن المنطقة المشبعة بالفوسفور تكون أكثر حساسية للتدهور *NBTI*. إضافة إلى ما سبق، قمنا بدراسة التدهور *NBTI* تحت تأثير حقل مغناطيسي ضعيف ($B < 10mT$) أثناء مرحلتي الإجهاد (*stress*) والانتعاش (*recouvement*) على ترانزستورات *VDMOSFET*. النتائج بيّنت أن كثافة الفخاخ الموجودة على سطح الفاصل (ΔN_{it}) والموجودة داخل ثاني أكسيد السلكون (ΔN_{ot}) تقلصت بفعل الحقل المغناطيسي. كذلك ديناميكية الفخاخ الموجودة على سطح الفاصل لا تتأثر بتطبيق الحقل المغناطيسي، في حين تتأثر ديناميكية الفخاخ الموجودة داخل ثاني أكسيد السلكون خلال الإجهاد والانتعاش. وأخيراً، قمنا باستعراض مراحل صنع مقياس الطيف *EDMR* لتحديد البنية المجهرية للعيوب الناجمة عن التدهور *NBTI*، وبالتالي فهم الآليات الفيزيائية

الكلمات المفتاحية: *NBTI*، *VDMOSFET*، *C-V*، *CP*، الحقل المغناطيسي، *EDMR*.

Table des matières

LISTE DES ABRÉVIATIONS

LISTE DES SYMBOLES

INTRODUCTION GENERALE..... 1

CHAPITRE I : STRUCTURE ET PRINCIPE DE FONCTIONNEMENT DES TRANSISTORS A EFFECT DU CHAMP "*MOSFET*"

Introduction	4
I.1. Structure <i>MOS</i>	4
I.2. Diagramme de bandes d'énergie	5
I.3. Principe de fonctionnement du transistor <i>MOSFET</i>	10
I.4. Paramètres du transistor <i>MOSFET</i>	10
I.4.1. Tension de seuil (V_{th}).....	10
I.4.2. Transconductance ou gain (g_m).....	11
I.4.3. Conductance du canal (g_{DS}).....	12
I.4.4. Pente sous le seuil (S).....	12
I.4.5. Courant de conduction entre la source et le drain	13
I.4.6. Courant du drain	13
I.4.6.1. Expression du courant du drain en régime ohmique	14
I.4.6.2. Expression du courant du drain en régime de saturation.....	15
I.5. Propriétés du diélectrique SiO_2	15
I.5.1. Mécanismes de conduction à travers l'oxyde.....	16
I.5.1.1. Conduction limitée par les électrodes.....	17
I.5.1.2. Conduction limitée par le volume de l'isolant.....	18
I.6. Microstructures des défauts dans le système Si/SiO_2	20
I.6.1. Classification des défauts	20
I.6.1.1. Charges mobiles ioniques.....	21
I.6.1.2. Charges fixes	21
I.6.1.3. Charges piégées	21
I.6.1.4. Charges piégées des états d'interface	22
I.6.1.5. Charge piégée à la frontière (<i>Border-Traps</i>).....	22
I.6.2. Microstructures des défauts à l'interface Si/SiO_2	23
I.6.2.1. Caractère amphotère des pièges d'interface	25

I.6.2.2.	Passivation des liaisons pendantes	25
I.6.3.	Microstructures des défauts dans l'oxyde de silicium SiO_2	25

CHAPITRE II : FIABILITÉ DES TRANSISTORS *MOSFETS* SOUS CONTRAINTE *NBTI*

Introduction	28	
II.1.	Notion de fiabilité	28
II.2.	Mécanismes de dégradation de l'oxyde de grille	30
II.3.	Dégradation <i>BTI</i>	31
II.4.	Phénomène <i>NBTI</i>	31
II.5.	Mécanismes <i>NBTI</i>	33
II.5.1.	Modèle de piégeage des trous	33
II.5.2.	Modèle d'effet tunnel d'électrons assisté thermiquement	34
II.5.3.	Modèle Réaction-Diffusion (<i>R-D</i>)	34
II.6.	Espèces de diffusion dans le modèle <i>R-D</i>	35
II.6.1.	Diffusion d'atomes d'hydrogène neutres (<i>H</i>)	36
II.6.2.	Diffusion de H^+	36
II.6.3.	Diffusion de molécule d'hydrogène (H_2)	37
II.6.4.	Modèle <i>R-D</i> généralisé avec diffusion de <i>H</i> et H_2	38

CHAPITRE III : MÉTHODES DE CARACTERISATION *NBTI*

Introduction	39	
III.1.	Technique <i>DC-IV</i>	39
III.2.	Technique de pompage de charge (<i>CP</i>)	40
III.2.1.	Théorie de base et mécanisme du pompage de charge	41
III.3.	Technique <i>C-V</i>	43
III.3.1.	Capacité grille-drain (C_{GD})	46
III.3.2.	Capacité grille-source (C_{GS})	47
III.4.	Technique <i>ESR</i> (<i>Electron Spin Resonance</i>)	48
III.4.1.	Spectroscopie <i>EDMR</i> (<i>Electrically Detected Magnetic Resonance</i>)	50
III.4.1.1.	Description du spectromètre réalisé	52
III.4.1.2.	Bobines d' <i>Helmholtz</i>	53
III.4.1.3.	Régulation du champ magnétique et génération d'une rampe	54
III.4.1.4.	Modulation du champ magnétique	55
III.4.1.5.	Circuit résonant <i>RF</i>	55

III.4.1.6.	Chaîne de conditionnement du signal <i>EDMR</i>	59
III.4.1.7.	Amplificateur à détection synchrone virtuelle.....	59
III.4.1.8.	Logiciel de contrôle du spectromètre <i>EDMR</i> développé.....	61
III.4.2.	Technique <i>SDR</i> (<i>Spin Dependent Recombination</i>).....	63
III.4.3.	Technique <i>SDCP</i> (<i>Spin Dependent Charge Pumping</i>).....	65
Conclusion	66

CHAPITRE IV : ÉTUDE EXPÉRIMENTALE DE LA DÉGRADATION *NBTI* SUR LES TRANSISTORS *VDMOSFET*

Introduction	67
IV.1.	Impact du stress <i>NBTI</i> sur les régions <i>VDMOSFET</i>	67
IV.1.1.	Banc de caractérisation électrique	68
IV.1.2.	Dispositif de test et détail expérimental	70
IV.1.3.	Effet de stress électrique sur la caractéristique $C_{GS}(V_G)$	71
IV.1.4.	Discussion.....	72
IV.2.	Influence du champ magnétique sur la dégradation <i>NBTI</i>	73
IV.2.1.	Impact du champ magnétique sur des transistors <i>n-VDMOSFET</i> dégradés.....	73
IV.2.1.1.	Echantillons et détail expérimental.....	73
IV.2.1.2.	Impact du champ magnétique sur les dispositifs vierges	75
IV.2.1.3.	Dégradation du courant I_{DS} sans et sous l'application du champ magnétique	76
IV.2.1.4.	Impact de la tension de stress sur la dégradation de ΔV_{th} sans l'application du champ magnétique	76
IV.2.1.5.	Dégradation de la ΔV_{th} sous un champ magnétique	77
IV.2.2.	Étude de la dégradation <i>NBTI</i> sur des transistors <i>p-VDMOSFET</i> sous champ magnétique.....	79
IV.2.2.1.	Dispositif de test et détail expérimental	79
IV.2.2.2.	Evolution de la ΔV_{th} sous champ magnétique	81
IV.2.2.3.	Impact du champ magnétique sur la caractéristique <i>DC-IV</i>	83
IV.2.2.4.	Stress <i>NBTI</i> et recouvrement par la technique de pompage de charge (<i>CP</i>) sous champ magnétique	83
IV.2.3.	Discussion.....	86
Conclusion	88
CONCLUSION GENERALE ET PERSPECTIVES	89
REFERENCES BIBLIOGRAPHIQUES	91
LISTE DES PUBLICATIONS	103

LISTE DES ABRÉVIATIONS

<i>BTI</i>	Bias Temperature Instability
<i>BJT</i>	Bipolar Junction Transistor
<i>CCS</i>	Constant Current Stress
<i>CMOS</i>	Complementary Metal Oxide Semiconductor
<i>CP</i>	Charge Pumping
<i>C-V</i>	Capacitance – Voltage
<i>CVS</i>	Constant Voltage Stress
<i>DC-IV</i>	Direct Current – Current Voltage
<i>EEPROM</i>	Electrically-Erasable Programmable Read-Only Memory
<i>EDMR</i>	Electrically Detected Magnetic Resonance
<i>ESR</i>	Electron Spin Resonance
<i>EPR</i>	Electron Paramagnetic Resonance
<i>GPIB</i>	General Purpose Interface Bus
<i>HC</i>	Hot Carrier
<i>HCI</i>	Hot Carrier Injection
<i>I-V</i>	Current - Voltage
<i>JEDEC</i>	Joint Electron Device Engineering Council
<i>KSM</i>	Kaplan, Solomon and Mott
<i>MOS</i>	Metal Oxide Semiconductor
<i>MOSFET</i>	Metal Oxide Semiconductor Field Effect Transistor
<i>MSM</i>	Measurement Stress Measurement
<i>MR</i>	Magnetic Resonance
<i>MRI</i>	Magnetic Resonance Imaging
<i>NBTI</i>	Negative Bias Temperature Instability
<i>NMR</i>	Nuclear Magnetic Resonance
<i>ODMR</i>	Optically Detected Magnetic Resonance
<i>PBTI</i>	Positive Bias Temperature Instability
<i>PGU</i>	Pulse Generator Unit
<i>PID</i>	Proportionnelle Intégrale Dérivée
<i>R-D</i>	Reaction – Diffusion
<i>SDCP</i>	Spin Dependent Charge Pumping
<i>SDR</i>	Spin Dependent Recombination
<i>SDT</i>	Spin Dependent Tunneling
<i>SILC</i>	Stress Induced Leakage Current
<i>SMU</i>	Source Monitor Unit
<i>TDDDB</i>	Time Dependent Dielectric Breakdown
<i>TID</i>	Total Ionization Dose
<i>VDMOSFET</i>	Vertically Double Diffused MOSFET

LISTE DES SYMBOLES

A_G	Air de la grille du transistor
A_{drain}	Surface spécifique du drain sous l'oxyde de grille
C_{GD}	Capacité grille-drain
C_{GS}	Capacité grille-source
C_{ox}	Capacité d'oxyde de grille
C_{oxd}	Capacité d'oxyde de grille
C_{sd-max}	Capacité de déplétion maximale de la région de drain
C_{d-max}	Capacité de déplétion maximale par unité de surface
C_{oxb}	Capacité d'oxyde de grille de la région de p^+ -substrat du transistor <i>VDMOSFET</i>
C_{ins}	Capacité d'isolant de grille
C_{edge}	Capacité parasite de bord d'oxyde de grille
C_D	Capacité de déplétion
C_{ox}	Capacité de l'oxyde par unité de surface
c	Célérité de la lumière
D_H	Coefficients de diffusion pour H
D_{H_2}	Coefficients de diffusion pour H_2
E	Champ électrique
E_F	Energie du niveau de Fermi
E_{Fm}	Niveau de Fermi du métal
E_{Fsc}	Niveau de Fermi du semi-conducteur
E_V	Niveau maximum de la bande de valence
E_C	Niveau minimum de la bande de conduction
E_i	Niveau de Fermi intrinsèque du silicium (non dopé)
$E_{em,e}$	Niveau d'énergie d'émission d'électrons
$E_{em,h}$	Niveau d'énergie d'émission de trous
I_{CP}	Courant du pompage de charges
I_{DS}	Courant drain source
ΔI_{CP}	Dérive de courant de pompage de charges
k	Constante de Boltzmann
k_f	Constante de génération des états d'interface
k_p	Vélocité de recombinaison surfacique à l'interface Si/SiO_2
k_r	Constante de repassivation des états d'interface
k_{H_2}	Taux de dissociation de H_2
k_H	Taux de génération de H_2
g	Facteur de spin électronique
g_m	Transconductance
\hbar	Constante de Planck réduite
L_G	Longueur du canal
L_{eff}	Longueur de la grille effective
L	Longueur du câble électrique
m^*	Masse effective de l'électron
N_A	Concentration de dopants accepteurs
N_D	Densité de dopage du substrat
N_{it}	Densité des états d'interface
N_{ot}	Densité des charges positive piégés dans le volume d'oxyde
n_i	Densité intrinsèque de porteurs du semi-conducteur
N_0	Concentration initiale (à $t = 0$) des liaisons $Si-H$
$N_X^{(0)}$	Densité des espèces de diffusion (hydrogène) à l'interface

N_H	Concentration d'hydrogène atomique
N_{H2}	Concentration d'hydrogène moléculaire
q	Charge élémentaire de l'électron
Q_G	Charge de la grille
Q_{sc}	Charge du semi-conducteur
Q_{ss}	Charge totale des défauts à l'interface Si/SiO ₂ et dans le volume de l'oxyde
Q_{inv}	Charge d'inversion
Q_{DepMax}	Charge maximale de déplétion
Q_{ot}	Charge piégée dans l'oxyde de grille
Q_{it}	Charge piégée à l'interface
S	Inverse de la pente sous le seuil
T_{ox}	Epaisseur de l'oxyde
T	Température
V_{fb}	Tension de bandes plates
V_{ox}	Chute de tension dans l'oxyde
V_{th}	Tension de seuil
V_{GS}	Différence de potentiel entre la grille et la source
V_{GD}	Différence de potentiel entre la grille et le drain
V_{DS}	Différence de potentiel entre le drain et la source
V_G	Tension de la grille
V_H	Niveau haut du signal trapézoïdal
V_L	Niveau bas du signal trapézoïdal
V_R	Tension en inverse appliquée entre drain /source-substrat
$V(x)$	Potentiel en un point quelconque au long du canal
V_F	Facteur de célérité du câble
ΔV_{mg}	Dérive de la tension « <i>mid-gap</i> »
ΔV_G	L'amplitude du signal trapézoïdal
W	Largeur du canal
$W_{d max}$	Largeur de déplétion maximale à la surface de drain
δ	Epaisseur de l'interface
ϵ_{ox}	Permittivité diélectrique de l'oxyde
ϵ_s	Permittivité du silicium
λ	Longueur d'onde du signal
μ_{eff}	Mobilité effective des porteurs (électrons)
μ_B	Magnéton de Bohr
μ_H	Mobilité de l'hydrogène
ν	Fréquence du signal RF
ν_{th}	Vitesse thermique des porteurs de charge
σ_n	Section de capture efficace des électrons
σ_p	Section de capture efficace des trous
Φ_b	Barrière du potentiel
ϕ_m	Travail de sortie du métal
ϕ_{sc}	Travail de sortie du semi-conducteur
ϕ_f	Ecart entre le niveau de Fermi en substrat et le niveau intrinsèque
χ	Affinité électronique dans l'oxyde
χ_{sc}	Affinité électronique du semi-conducteur
ψ_s	Potentiel à la surface du semi-conducteur
ω_C	Fréquence cyclotron

INTRODUCTION GENERALE

Avec la mise en production des premiers transistors à effet de champ dits *MOSFET* (*Metal Oxide Semiconductor Field Effect Transistor*), considérés comme la brique élémentaire des circuits intégrés *CMOS* (*C* pour *Complementary MOS*), l'industrie des semi-conducteurs a pris un nouveau tournant. La miniaturisation des transistors *MOSFET* a rendu ces derniers très vulnérables à la dégradation et à l'effet du vieillissement. En effet, selon ITRS 2011 [1], le mécanisme de défaillance qui peut influencer les dispositifs *MOSFET* dans le prochain avenir est communément appelé *Bias Temperature Instability (BTI)*.

Le phénomène de dégradation *BTI* est défini comme toute dérive des paramètres électriques du transistor sous une tension de grille négative ou positive (à bas champ électrique $< 8\text{MV/cm}$) et à hautes températures [2]. Nous distinguons deux types de dégradation *BTI* ; *NBTI (Negative Bias Temperature Instability)* et *PBTI (Positive Bias Temperature Instability)*. Ces deux types de stress *BTI* causent des dégradations de la tension de seuil, de la mobilité des porteurs de charge, du courant du drain et de la transconductance et par conséquent, le rétrécissement de la durée de vie du circuit intégré. En outre, ce domaine de recherche reste fertile, car en réalité les études de fiabilité de la dégradation *NBTI* dans les dispositifs *MOSFET* sont relativement récentes [3].

Historiquement, l'effet de la dégradation *NBTI* a été observé pour la première fois dans les années soixante par Miura et al. [4] et étudié plus en détail par Deal et al. [5]. Cependant, une interprétation physique du phénomène a commencé à se produire en 1977, lorsque Jeppson et Svenssons ont proposé pour la première fois le modèle Réaction-Diffusion (*R-D*) [6]. Ce modèle a été amélioré plus tard par Alam et Mahapatra [7]. Le modèle *R-D* est basé d'une part sur la rupture des liaisons *Si-H* de l'interface *Si/SiO₂*, formant ainsi des pièges à l'interface, et d'autre part sur la diffusion d'espèces hydrogénées vers l'oxyde. La première version de ce modèle n'est pas parvenue à expliquer le phénomène de relaxation décrit par la rétrodiffusion d'espèces hydrogénées. Par ailleurs, d'autres modèles ont été proposés, et le plus abouti de ces modèles est celui de Grasser et al [8] qui est basé sur deux mécanismes couplés pour expliquer la dégradation pendant le stress et la relaxation *NBTI*.

Malgré les nombreux efforts fournis pour comprendre les mécanismes physiques derrière cette dégradation [9]–[11], la microstructure des pièges induits par la dégradation *BTI* reste inconnue et fait l'objet de débats d'actualité. Néanmoins, un consensus a été établi sur la création des pièges dans l'oxyde et à l'interface par *BTI*. Aussi, certains travaux s'accordent

sur la nature de la microstructure associée aux pièges créés ; centres P_b à l'interface [12] et centres E' dans l'oxyde [13].

Ces deux types de pièges sont paramagnétiques, c'est-à-dire que la structure comprend une liaison pendante avec un électron non apparié « électron célibataire », facilement détectable par la technique de résonance paramagnétique électronique (*EPR* pour *Electron Paramagnetic Resonance*) ou par les techniques dites *Electrically Detected Magnetic Resonance (EDMR)* [14]. Alors que d'autres travaux ont rapporté que les pièges induits à l'interface et dans l'oxyde ne sont pas corrélés, respectivement, avec les centres P_b et E' . De plus, les modèles qui existent pour la dégradation *BTI* basés sur les propriétés des centres P_b et E' ne permettent pas l'interprétation de toutes les observations expérimentales. Les questions qui se posent sont alors les suivantes:

- Y a-t-il d'autres types de défauts non-paramagnétiques ?
- Quelle est la dynamique de leur création/relaxation et leurs microstructures ?

Pour expliquer les observations expérimentales et comprendre la dynamique de création et de relaxation ainsi que la microstructure des défauts responsables de la dégradation des dispositifs *MOS*, nous proposons dans le cadre de cette thèse une étude de la dégradation *NBTI* sous l'effet d'un champ magnétique en courant continu (*dc.* pour *direct current*) et l'extraction du décalage des énergies des défauts induits par cette dégradation due à l'application du champ magnétique pour remonter à la microstructure de ces défauts. Cette microstructure déduite (extraite) sera confrontée par la suite à celle extraite par les techniques *EDMR* utilisant un faible champ magnétique $<$ à 200Gauss telles que : *Spin Dependent Recombination (SDR)* et *Spin Dependent Charge Pumping (SDCP)*.

Ainsi, les travaux présentés dans ce manuscrit s'articulent en quatre chapitres :

Dans le premier chapitre, nous présenterons en premier lieu la structure et le principe de fonctionnement du transistor à effet de champ. En second lieu, nous nous intéresserons à décrire les divers paramètres du transistor *MOSFET*, ainsi que les propriétés du diélectrique SiO_2 le constituant. Enfin, nous décrirons la microstructure des défauts présents à la fois dans l'oxyde et au niveau de l'interface Si/SiO_2 .

Dans le second chapitre, nous introduirons la notion de fiabilité des dispositifs *MOSFET* et nous présenterons la dégradation *NBTI* au niveau de l'interface Si/SiO_2 . Nous montrerons dans un premier temps les principaux effets de cette dégradation et leurs impacts sur les paramètres électriques du dispositif *MOSFET*. Dans un deuxième temps, un état de l'art sera

dressé sur les modèles les plus pertinents développés dans le cadre de la dégradation *NBTI*. Nous montrerons tout particulièrement le modèle Réaction-Diffusion (*R-D*).

Le troisième chapitre présentera les méthodes de mesure électrique permettant de caractériser la dégradation *NBTI*. Les techniques courant continu - courant-tension (*DC-IV*), pompage de charge (*CP*), capacité-tension (*C-V*), *ESR* (*Electron Spin Resonance*) seront détaillées. Nous exposerons les étapes de réalisation d'un spectromètre basé sur les méthodes *EDMR* (*SDR* et *SDCP*) à faible champ magnétique (< à 200Gauss) pour identifier la microstructure des défauts induits par la dégradation *NBTI*, et par conséquent pour comprendre les mécanismes physiques qui sont derrière cette dégradation.

Les résultats obtenus au cours de ce travail de recherche et leurs analyses feront l'objet du quatrième chapitre qui sera subdivisé principalement en deux parties d'étude. Dans la première partie, nous présenterons les résultats expérimentaux de l'étude de l'effet de stress *NBTI* sur les régions *VDMOSFET*. Dans la deuxième partie, nous passerons à l'analyse de l'effet du champ magnétique sur la dégradation *NBTI*. Nous montrerons tout particulièrement l'impact du champ magnétique sur des transistors *VDMOSFET* dégradés.

Enfin, nous terminerons le présent manuscrit par une conclusion générale et les perspectives qui se dégagent de ce travail.

CHAPITRE I :

**STRUCTURE ET PRINCIPE DE
FONCTIONNEMENT DES TRANSISTORS A
EFFECT DU CHAMP "*MOSFET*"**

Introduction

Ces dernières décennies, le développement de la microélectronique a connu un essor considérable. Ce succès repose en grande partie sur un savoir-faire et une maîtrise technologique de plus en plus poussés de la technologie de fabrication du silicium qui est considéré comme élément fondamental de l'industrie microélectronique.

La structure *MOS* a été largement étudiée car elle est directement liée à la plupart des dispositifs planaires en silicium et aux circuits intégrés actuels [15], [16]. Elle est en effet à la base de la conception des circuits intégrés à très large et ultra large échelle, et a mené la technologie *CMOS* (Complementary *MOS*) au rang incontesté de la technologie dominante de l'industrie du semi-conducteur.

Dans ce chapitre, nous nous intéressons en premier lieu à l'analyse physique de la structure *MOS*, où nous présenterons son diagramme de bandes d'énergie, ainsi que son comportement électrique sous différents régimes de fonctionnement. En second lieu, nous décrirons le principe de fonctionnement du transistor *MOSFET*.

Ainsi, nous nous intéresserons à un élément essentiel dans la structure *MOS*, à savoir, l'oxyde de grille (dioxyde de silicium, SiO_2). Nous présentons certains de ses aspects, comme les divers types de charge, ainsi que la microstructure des défauts présents à la fois dans cet oxyde et au niveau de son interface avec le silicium (Si/SiO_2). Nous introduirons ensuite les mécanismes de conduction dans l'oxyde de grille.

I.1. Structure *MOS*

Le transistor *MOS* montré en **figure I.1** est constitué d'un substrat semi-conducteur dopé (n ou p), en général en silicium, sur lequel est réalisée une croissance par oxydation sèche d'une couche mince d'un isolant d'épaisseur T_{ox} pouvant être un oxyde (comme le SiO_2), un nitrure de silicium (Si_3N_4), ou un autre matériau diélectrique. Une surface conductrice, en métal ou en poly-silicium fortement dopé, est déposée au-dessus de l'oxyde qui constitue la grille. Deux caissons, fortement dopés de profondeur X_j obtenus par implantation ionique ou par diffusion dans le substrat de part et d'autre de la grille, constituent la source et le drain. La région entre la source et le drain représente le canal de conduction.

Les paramètres géométriques caractérisant un dispositif *MOSFET* sont : la longueur du canal L_g , définie par la grille, la largeur du canal W et l'épaisseur de l'oxyde de grille T_{ox} (voir la **figure I.1**). Ce dernier constitue la brique élémentaire de ce dispositif électrique car, par son

caractère isolant, l'oxyde de grille empêche les porteurs du canal de traverser la grille, tout en offrant par couplage capacitif, un contrôle électrique du potentiel du canal, et par conséquent, de la conduction. La **figure I.1** représente un schéma d'un dispositif *MOSFET* à canal *n* (*nMOSFET*).

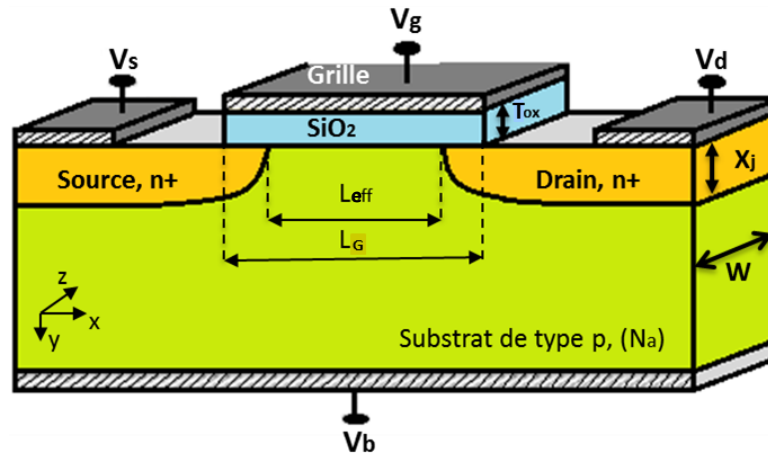


Figure I.1: Schéma d'un dispositif *MOSFET* à canal *n* (*n-MOSFET*)

I.2. Diagramme de bandes d'énergie

La structure *MOS* est représentée sur la **figure I.2**, où la grille métallique et le substrat forment les plaques métalliques et l'oxyde avec une épaisseur (d) forme le diélectrique entre les deux plaques. La capacité *MOS* est la structure qui crée le canal de conduction dans un *MOSFET*.

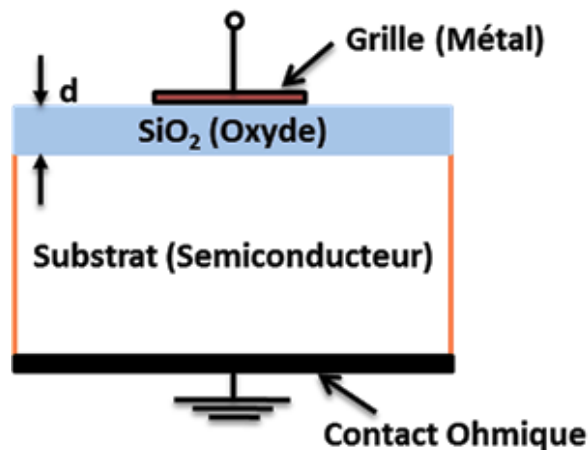


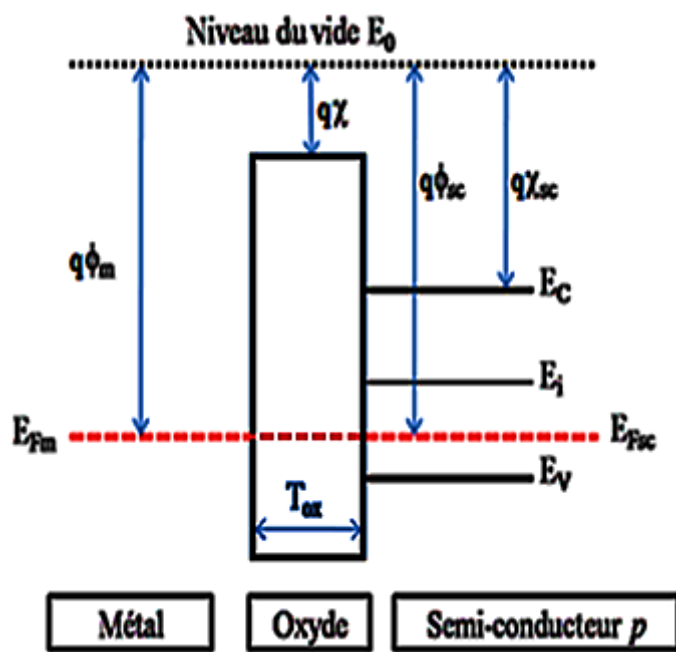
Figure I.2: Capacité *MOS* (*Metal Oxide Semiconductor*)

Nous distinguons deux cas (idéal et réel) :

▪ **Cas idéal**

Le diagramme de bandes d'énergie d'une structure *MOS* idéale en absence de polarisation est représenté dans la **figure I.3**, pour les capacités *nMOS* et *pMOS*. Dans le cas idéal, plusieurs hypothèses ont été faites, telles que :

- la différence entre le travail de sortie du métal (constituant la grille) ϕ_m et celui du semi-conducteur (constituant le substrat) ϕ_{sc} est nulle.
- l'isolant doit être d'une très bonne qualité ; c'est-à-dire exempt de tout type de charge, à la fois dans son volume et à au niveau de son interface avec le substrat [16].



E_{Fm} : le niveau de Fermi du métal.

E_{Fsc} : le niveau de Fermi du semi-conducteur.

E_i : le niveau intrinsèque du silicium (non dopé).

E_C : le niveau minimum de la bande de conduction.

E_V : le niveau maximum de la bande de valence.

q : la charge élémentaire de l'électron.

Figure I.3 : Diagramme de bandes d'énergie d'une capacité *MOS* idéale

Avec χ et χ_{sc} sont les affinités électroniques dans l'oxyde et le semi-conducteur, respectivement. Rappelant que l'affinité correspond à la différence d'énergie entre la bande de conduction et le niveau du vide associé au matériau considéré.

La polarisation de la capacité par une tension V_G , entre la grille et le substrat semi-conducteur implique l'apparition des charges Q_G et Q_{sc} dans ces deux régions, respectivement. Dues aux ions donneurs ou accepteurs, des charges de déplétion (désertion) positive ou négative se développent dans le semi-conducteur, et ce, selon son type de dopage. Ces charges sont relativement étalées à l'intérieur du semi-conducteur, entraînant une

extension des courbures de bandes d'énergie. La variation de la tension V_G modifie la valeur de ces charges, ce qui a pour conséquence les changements de régimes de fonctionnement de la capacité. Nous distinguons principalement trois régimes de fonctionnement, comme l'illustre la [figure I.4](#).

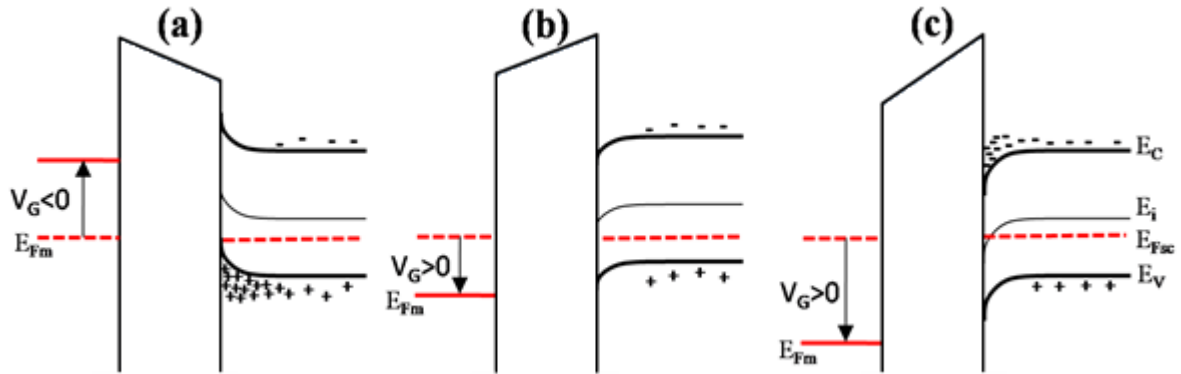


Figure I.4 : Diagramme de bandes d'énergie des différents régimes pour un semi-conducteur de type p en fonction de V_G : (a) en régime d'accumulation, (b) en régime de désertion ou déplétion et (c) en régime d'inversion

Régime d'accumulation ($V_G < 0V$): dans ce régime, les porteurs majoritaires du substrat (les trous) sont attirés à l'interface entre le semi-conducteur et l'oxyde. Une zone d'accumulation près de l'interface se crée comme illustré dans la [figure I.4 \(a\)](#).

Régime de désertion ou déplétion ($V_G > 0V$): contrairement au régime d'accumulation, ce régime est caractérisé par une courbure de bandes orientée vers le bas (Voir [figure I.4 \(b\)](#)). La bande de valence s'éloigne du niveau de Fermi ; les porteurs majoritaires sont alors repoussés en profondeur. En conséquence, une zone de déplétion, dépourvue de tout porteur libre, se crée.

Régime d'inversion ($V_G \gg 0V$): En augmentant encore la tension positive, cette courbure de la bande continue et les porteurs majoritaires du semi-conducteur sont toujours repoussés loin de l'interface semi-conducteur/oxyde. Une fois que E_i traverse E_{Fsc} , la densité de ces porteurs continue à diminuer pour devenir inférieure à celle des porteurs minoritaires. Par conséquent, ce cas est appelé « régime d'inversion », car l'interface est inversée (voir [figure I.4 \(c\)](#)).

Pour un semi-conducteur de type n avec des électrons en tant que porteurs majoritaires et des trous en tant que porteurs minoritaires, seule la polarité de la tension doit être modifiée.

▪ Cas réel

La juxtaposition des différents constituants de la structure MOS déforme les bandes d'énergie du semi-conducteur et d'oxyde comme illustré dans la figure I.5. Cette déformation est due à la différence des travaux de sortie entre le métal et le semi-conducteur, ainsi qu'aux charges dans l'oxyde et à l'interface. Ces charges peuvent être induites durant les procédés de fabrication du composant, ou encore liées aux défauts présents à l'interface (semi-conducteur/oxyde) et dans l'oxyde. Afin d'obtenir la condition des bande plates, il faut appliquer sur la grille de la structure MOS une tension $V_G = V_{fb}$ appelée *tension de bandes plates*. La tension de bande plate est la somme de la différence des travaux de sortie entre le métal et le semi-conducteur et la tension associée aux charges d'oxyde et d'interface. Ainsi, la tension de bande plate est la tension de grille qui permet de retrouver la situation de charge nulle dans le semi-conducteur (potentiel de surface du semi-conducteur, ψ_s doit être nul).

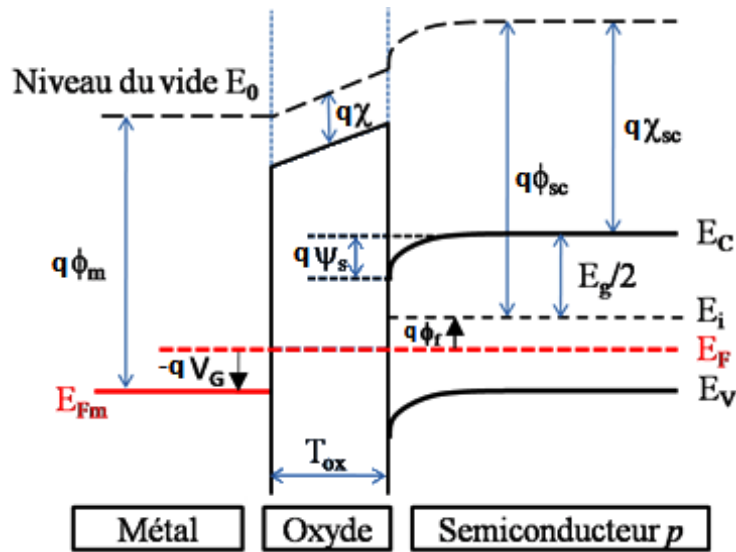


Figure I.5 : Diagramme de bandes d'énergie d'une capacité MOS réelle

La tension de bandes plates est définie par [17] :

$$V_{fb} = \phi_m - \phi_{sc} - \frac{Q_{ss}}{C_{ox}} \tag{I.1}$$

Avec $C_{ox} = \frac{\epsilon_{ox}}{T_{ox}}$

Où ϕ_m et ϕ_{sc} représentent respectivement les travaux de sortie de la grille et du semi-conducteur, Q_{ss} est la charge totale des défauts à l'interface semi-conducteur/oxyde et dans le volume de l'oxyde, C_{ox} est la capacité de l'oxyde par unité de surface, ϵ_{ox} est la permittivité diélectrique de l'oxyde, et T_{ox} est l'épaisseur de l'oxyde.

Les différents régimes de fonctionnement d'une structure *MOS* réelle sont définis en fonction des valeurs du potentiel Ψ_S comme suit :

Régime d'accumulation ($\Psi_S < 0$ soit $V_G < V_{fb}$)

Le potentiel électrique appliqué sur la grille est inférieur à la condition de bande plate: $V_G < V_{fb}$. Le potentiel de surface est négatif et la concentration en trous augmente. Il se produit alors une accumulation de trous près de l'interface *Si/SiO₂*.

Régime de déplétion ou de désertion ($0 < \Psi_S < \phi_f$ soit $V_G > V_{fb}$)

Le potentiel électrique Ψ_S est positif et la concentration de trous diminue. La concentration en électrons augmente, mais est toujours moins importante que celle des trous.

Régime de faible inversion ($\phi_f < \Psi_S < 2\phi_f$ soit $V_{fb} < V_G < V_{th}$)

La concentration en électrons libres est supérieure à celle des trous à l'interface *Si/SiO₂* et forme une couche d'inversion.

Régime de forte inversion ($\Psi_S > 2\phi_f$ soit $V_G > V_{th}$)

Le potentiel de surface sature vers $2\phi_f$ et le canal d'inversion est complètement formé. où V_{th} est la tension de seuil, définie comme étant la tension minimale qui doit être appliquée à la grille pour former la couche d'inversion, ϕ_f correspondant à l'écart entre le niveau de Fermi extrinsèque E_F et le niveau de Fermi intrinsèque E_i (pour le même semi-conducteur non dopé), elle est exprimée dans l'équation suivante [17]:

$$\phi_f = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) = \frac{E_i - E_F}{q} \quad (I.2)$$

Où k est la constante de *Boltzmann*, T est la température, q est la charge en valeur absolue d'un électron, N_A est la concentration de dopants accepteurs, et n_i étant la densité intrinsèque de porteurs du semi-conducteur (typiquement $n_i = 1.10^{10} \text{ cm}^{-3}$ à 300K).

I.3. Principe de fonctionnement du transistor *MOSFET*

Le *MOSFET* comporte trois électrodes: une électrode d'entrée dite «source»; une électrode de sortie dite « drain » et une électrode de commande appelée «grille». Le principe du transistor *MOSFET* est de moduler la densité de charges mobiles dans le semi-conducteur (substrat du silicium) et de permettre le passage d'un courant électrique entre sa source et son drain. Lorsqu'une tension est appliquée entre la source et le drain (constituant les réservoirs de porteurs de charge), un courant circulant entre ces deux électrodes dépendra alors de la résistance du canal et par conséquent de la densité d'électrons.

On distingue deux types de transistors *MOS* : le *MOSFET* à canal n (*nMOSFET*), dans lequel le flux de courant est dû au transport d'électrons et le *MOSFET* à canal p (*pMOSFET*) dans lequel les trous sont responsables du flux de courant. Sachant que le *nMOS* et le *pMOS* fonctionnent sur le même principe. Un transistor *nMOS* est dit *passant* lorsqu'un nombre suffisant de porteurs se trouve dans le canal de conduction, c'est-à-dire lorsque la tension de grille (V_{GS}) appliquée est supérieure à une tension dite *de seuil* (V_{th}). La commande de grille est *de type capacitif* et s'effectue à travers l'oxyde de grille. Le canal de conduction étant formé, le transport des porteurs entre les électrodes de source et de drain se fait sous l'impulsion d'un champ électrique induit par l'application d'une différence de potentiel entre ces deux électrodes.

I.4. Paramètres du transistor *MOSFET*

I.4.1. Tension de seuil (V_{th})

C'est la tension de grille nécessaire à la formation d'un canal de conduction (couche d'inversion) entre la source et le drain [18]. Dans cette étude, la tension de seuil du transistor utilisé est extraite par la méthode dite « méthode d'extrapolation linéaire » qui est déterminée en traçant sur la courbe $I_{DS}(V_{GS})$, obtenue en mode linéaire, une droite de pente égale au maximum de la transconductance ($g_{m\ max}$) et qui passe par la tension V_{GS} correspondante à ce maximum (point d'inflexion). Alors, l'intersection de cette droite avec l'axe de la tension V_{GS} nous donne la tension de seuil (V_{th}), voir la [figure I.6](#).

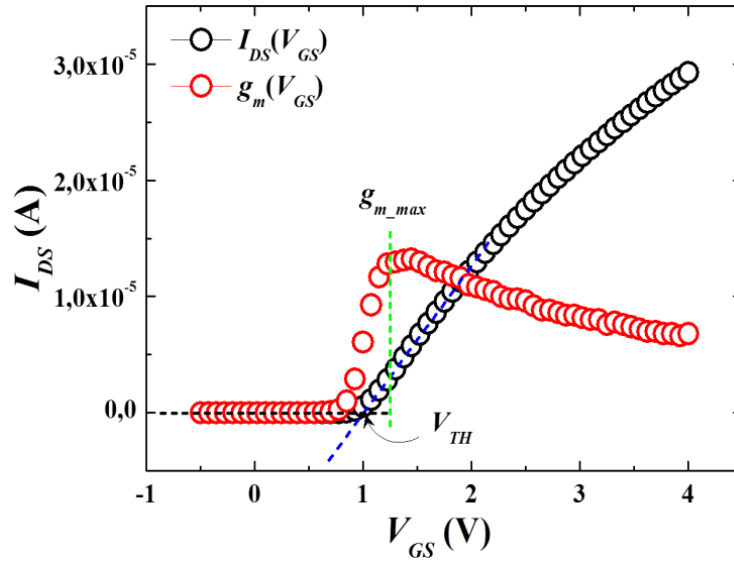


Figure I.6 : Extraction de la tension de seuil (V_{th}) d'un transistor MOS par la méthode d'extrapolation linéaire

I.4.2. Transconductance ou gain (g_m)

La transconductance (g_m) est définie comme étant la dérive du courant de drain avec une tension de grille. Elle est donnée par l'équation suivante [18]:

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=cst} \tag{I.3}$$

Pour le régime linéaire, elle est donnée par,

$$g_m = \mu_{eff} C_{ox} \frac{W}{L_G} V_{DS} \tag{I.4}$$

Et pour le régime de saturation, elle est exprimée par,

$$g_m = \mu_{eff} C_{ox} \frac{W}{L_G} (V_{GS} - V_{th}) \tag{I.5}$$

La transconductance augmente très rapidement lorsque la longueur de canal devient inférieure à 100 nm [18].

I.4.3. Conductance du canal (g_{DS})

La conduction du canal est donnée par l'équation suivante :

$$g_{DS} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}=cst} \tag{I.6}$$

Dans la région linéaire, g_{DS} doit être au maximum, et dans la région de saturation, elle devrait être faible [18].

I.4.4. Pente sous le seuil (S)

La pente sous le seuil (S) représente la tension de grille à appliquer (en régime sous le seuil) pour augmenter le courant de drain d'une décade [18]:

$$S = \ln 10 \frac{dV_{GS}}{d(\ln I_{DS})} \tag{I.7}$$

En considérant la caractéristique $I_{DS}(V_{GS})$ représentée en échelle logarithmique (voir **figure I.7**), la pente sous le seuil correspond à l'inverse de la pente de la caractéristique $I_{DS}(V_{GS})$. Ce paramètre S possède une grande importance ; il permet en effet de savoir si une technologie ne présente pas trop d'états d'interface, et caractérise donc la qualité de l'interface Si/SiO_2 . Le décalage de la caractéristique sous le seuil est le signe d'affectation de la conduction sous le seuil. L'augmentation de la pente sous le seuil ($1/S$) est une conséquence de l'augmentation de la densité des états d'interface.

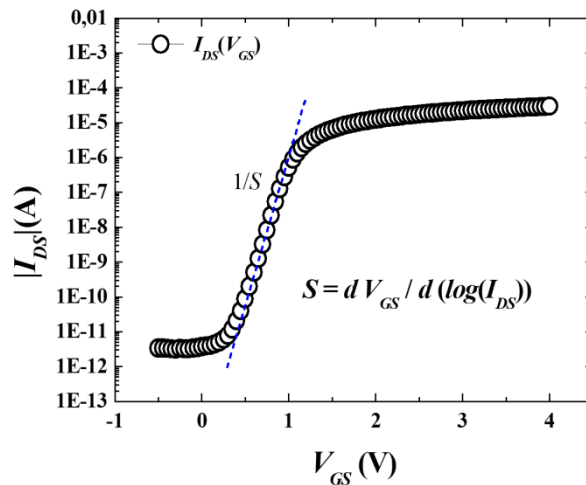


Figure I.7 : Caractéristique $I_{DS}(V_{GS})$ d'un transistor MOS représentée en échelle logarithmique

I.4.5. Courant de conduction entre la source et le drain

La couche d'inversion joue un rôle important dans la conduction électrique du transistor *MOSFET*. Le terme Q_{inv} désigne la charge de la couche d'inversion qui participe au courant de conduction. Cette charge est définie comme la différence entre la charge du semi-conducteur Q_{sc} et la charge maximale de déplétion Q_{DepMax} liée à l'extension de la zone de charge d'espace :

$$Q_{inv} = Q_{sc} - Q_{DepMax}$$

Les expressions de Q_{sc} et Q_{DepMax} seront données respectivement par [17]:

$$Q_{sc} = -C_{ox} (V_{GS} - V_{fb} - 2\phi_f)$$

$$Q_{DepMax} = -\sqrt{2q\epsilon_{sc} N_A (2\phi_f)}$$

En remplaçant Q_{sc} et Q_{DepMax} par leurs expressions dans celle de Q_{inv} , nous obtenons :

$$Q_{inv} = -C_{ox} (V_{GS} - V_{fb} - 2\epsilon_f) + \sqrt{2q\epsilon_{sc} N_A (2\phi_f)} \quad (III.7)$$

I.4.6. Courant du drain

La mise en circulation de la charge d'inversion consiste à appliquer une polarisation entre la source et le drain. Cela entraîne une distribution du potentiel sur toute la longueur du canal. Le potentiel en un point quelconque au long du canal $V(x)$ varie de V_S ($x = 0$) à V_D ($x = L_G$). En conséquence, la charge Q_{inv} devient comme suit :

$$Q_{inv} = -C_{ox} (V_{GS} - V_{fb} - 2\phi_f - V(x)) + \sqrt{2q\epsilon_{sc} N_A (2\phi_f + V(x))} \quad (I.9)$$

Le courant dans le canal est donné par [17]:

$$I_{DS} = \mu_{eff} \frac{W}{L_G} \int_{V_S}^{V_D} Q_{inv}(x) dV(x) \quad (I.10)$$

Après l'intégration pour $V_S = 0$ nous arrivons à :

$$I_{DS} = \mu_{eff} C_{ox} \frac{W}{L_G} \left\{ \left(V_{GS} - V_{fb} - 2\phi_f - \frac{V_{DS}}{2} \right) V_{DS} - \frac{2}{3} \gamma \left[(2\phi_f + V_{DS})^{3/2} - (2\phi_f)^{3/2} \right] \right\} \quad (I.11)$$

Avec, $\gamma = \frac{\sqrt{2q\epsilon_{sc} N_A}}{C_{ox}}$, et μ_{eff} est la mobilité effective des porteurs.

I.4.6.1. Expression du courant du drain en régime ohmique

Nous commençons par le régime ohmique, bien que le régime principal de fonctionnement d'un transistor *MOS* soit le régime de saturation, car c'est dans ce régime que sont faites principalement les mesures courant-tension servant à extraire les paramètres électriques du transistor *MOS*.

a- Cas de la forte inversion

Le régime ohmique est caractérisé par de faibles tensions du drain. Dans ce cas, la couche d'inversion peut être considérée comme identique le long du canal (la profondeur maximale de la zone d'appauvrissement est constante à travers le canal). Le courant I_{DS} dans la région linéaire peut être approché en utilisant le développement en série de Taylor autour de V_{DS} , et en prenant les termes initiaux, d'où l'expression de I_{DS} se réduit à [16]:

$$\begin{aligned} I_{DS} &= \mu_{eff} C_{ox} \frac{W}{L_G} \left[\left(V_{GS} - V_{fb} - 2\phi_f - \frac{V_{DS}}{2} \right) V_{DS} - \frac{2}{3} \gamma \left(3 \sqrt{\frac{\phi_f}{2}} V_{DS} \right) \right] \\ &= \mu_{eff} C_{ox} \frac{W}{L_G} \left(V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) V_{DS} \end{aligned} \quad (I.12)$$

Avec V_{th} est la tension de seuil définie par [16]:

$$V_{th} = V_{fb} - 2\phi_f + \frac{\sqrt{2q\epsilon_{sc} N_A (2\phi_f)}}{C_{ox}} = V_{fb} - 2\phi_f + \gamma \sqrt{2\phi_f} \quad (I.13)$$

Pour $V_{DS} < V_{GS} - V_{th}$, le courant I_{DS} se réécrit sous la forme simplifiée :

$$I_{DS} = \mu_{eff} C_{ox} \frac{W}{L_G} (V_{GS} - V_{th}) V_{DS} \quad (I.14)$$

b- Cas de la faible inversion

En régime de faible inversion ($V_{GS} < V_{th}$), la charge d'inversion a une valeur très faible dans tout le dispositif (courant de dérive est négligeable) et le potentiel de surface est de faible valeur. En conséquence, le courant de drain est dominé dans ce cas par le courant de diffusion des deux jonctions drain-canal et/ou source-canal. Ce courant varie exponentiellement par rapport à la tension de grille (V_{GS}) suivant l'expression [17]:

$$I_{DS} = \mu_{eff} \frac{W}{L_G} q \left(\frac{kT}{q} \right)^2 \frac{n_i^2}{N_A} \left[1 - \exp\left(-qV_{DS}/kT \right) \right] \frac{\exp\left(q\psi_s/kT \right)}{-\frac{d\psi_s}{dx}} \quad (I.15)$$

$$\text{Avec } -\frac{d\psi_s}{dx} \Big|_{x=0} = \sqrt{\frac{2qN_A\psi_s}{\epsilon_{sc}}} = \frac{qN_A}{C_D}$$

$$C_D \text{ est la capacité de déplétion définit par : } C_D = \frac{1}{2} \sqrt{\frac{q\epsilon_{sc}N_A}{\phi_f}}$$

I.4.6.2. Expression du courant du drain en régime de saturation

Lorsque la tension du drain V_{DS} augmente au-delà de la valeur $V_{GS}-V_{th}$, le potentiel de surface du côté de la région du drain devient inférieur à $2\phi_f$. En conséquence, la charge d'inversion diminue lorsqu'on s'approche du drain. En effet, la densité des porteurs devient nulle du côté du drain créant un point de pincement qui va se déplacer vers la source lorsque la tension du drain augmente. Dans le régime de saturation, le courant ne dépend plus que de la tension de grille V_{GS} . Le transistor se comporte finalement comme une source de courant commandée par V_{GS} (dans la limite des transistors à grande longueur de grille). Le courant de saturation s'exprime comme suit [16], [17]:

$$I_{DS} = \mu_{eff} C_{ox} \frac{W}{2L_G} (V_{GS} - V_{th})^2 \quad (I.16)$$

I.5. Propriétés du diélectrique SiO_2

La qualité de l'oxyde de grille joue un rôle déterminant dans la technologie *CMOS*. Ainsi, les variations des propriétés physiques de l'interface Si/SiO_2 et de l'oxyde de grille SiO_2 dans le temps conditionnent la fiabilité du transistor *MOS*, et par conséquent celle du circuit intégré. C'est pourquoi un intérêt particulier a été donné à l'étude des propriétés microscopiques et électroniques de l'interface Si/SiO_2 et de l'oxyde de grille.

Dès l'apparition du premier dispositif *MOSFET*, le dioxyde de silicium (SiO_2) a été le premier isolant à avoir été utilisé. Grâce à ses propriétés isolantes remarquables et la facilité de son intégration dans le procédé technologique de fabrication des circuits intégrés, le SiO_2 a longtemps été l'unique matériau constituant les oxydes de grille utilisés par la technologie de fabrication des dispositifs *MOSFET*. En effet, le dioxyde de silicium possède une bande

interdite estimée à 9 eV [19], une résistivité électrique dans la gamme de 10^{15} - 10^{17} Ω.cm, et un champ électrique de claquage supérieur à 15 MV/cm [20].

Dans le cas de la structure *MOS*, le SiO_2 s'obtient par une oxydation sèche en présence d'oxygène (O_2) à très haute température. Par ailleurs, le paramètre de maille du SiO_2 est plus grand que celui du silicium. Le désaccord de maille entre la structure cristalline du substrat de silicium et celle de la structure amorphe de SiO_2 est à l'origine de la création d'une couche transitoire sous-stœchiométrique désordonnée de quelques Angströms (4-5 Å) [21], c'est-à-dire un composé SiO_x plus dense que nous appelons *couche interfaciale* [22]. Le système Si/SiO_2 n'est donc pas parfait. La zone de transition provoque des distorsions structurales qui engendrent des défauts à l'interface et dans le volume du SiO_2 . Dans le but de minimiser la quantité des défauts situés à l'interface, l'étape de passivation des liaisons pendantes [23] est réalisée après oxydation. Cette passivation donne naissance à des liaisons $Si-H$ à l'interface Si/SiO_2 . Nous présentons dans la **figure I.8** les différents types de défauts créés à l'interface Si/SiO_2 [24].

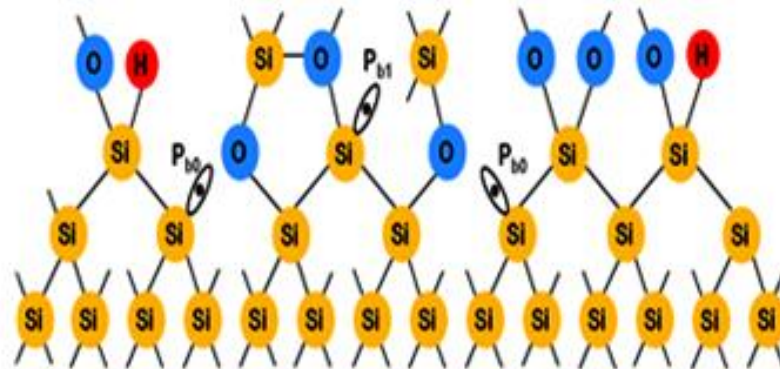


Figure I.8 : Présentation schématique de la région interfaciale Si/SiO_2

I.5.1. Mécanismes de conduction à travers l'oxyde

Dans cette partie, nous allons décrire les différents mécanismes de conduction à travers l'oxyde de grille. Les mécanismes de conduction peuvent être classés en deux groupes. Une conduction limitée par les électrodes qui dépend des propriétés de l'oxyde sans défauts ou intrinsèques (mécanisme du tunnel direct, de *Fowler-Nordheim* et l'émission thermoionique), et une seconde conduction, limitée par le volume de l'oxyde, et qui est assistée par les pièges présents dans l'oxyde (mécanisme de *Poole Frenkel* et mécanisme par saut (ou *Hopping*)). Ces mécanismes sont les sources de génération du courant de fuite de l'oxyde de grille.

I.5.1.1. Conduction limitée par les électrodes

La conduction dépend de l'épaisseur de la couche d'oxyde et des conditions de polarisation. Sous certaines conditions de polarisation, ou bien pour des épaisseurs d'oxyde relativement faibles (\sim inférieures à 4nm), des porteurs peuvent traverser la couche isolante d'oxyde. Parmi ces mécanismes de conduction, nous citons :

a- Mécanisme tunnel direct

Du point de vue quantique, si on considère deux électrodes séparées par une barrière isolante, les électrons ont une probabilité non nulle de passer d'une électrode à une autre ; ce qui donne un courant non nul. En effet, lorsque la chute de tension dans l'oxyde (V_{ox}) est plus faible que la hauteur de la barrière du potentiel (Φ_b), les porteurs voient une barrière trapézoïdale (dans un diagramme de bandes d'énergie, voir [figure I.9](#)). Lors du passage des porteurs du semi-conducteur vers le métal, le franchissement de cette barrière est alors effectué par la conduction de type tunnel direct qui devient significatif dans le cas des oxydes de faible épaisseur [25].

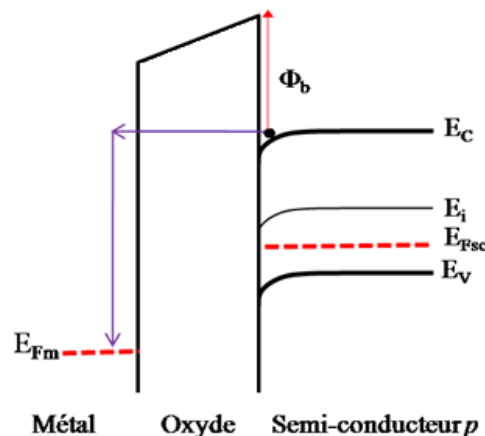


Figure I.9 : Diagramme de bandes d'une structure MOS dans le cas d'une conduction tunnel direct

b- Mécanisme Fowler-Nordheim

Il existe un autre mécanisme de transport par effet tunnel obtenu lorsque les bandes de conduction et de valence de l'oxyde sont suffisamment inclinées par l'action d'une polarisation appliquée à la structure. La largeur effective de la barrière est alors diminuée et un transport par effet tunnel peut avoir lieu. En effet, les porteurs voient une barrière de potentiel triangulaire. Dans ce cas, la transition tunnel est nommée *conduction tunnel Fowler-Nordheim* [26] (voir [figure I.10](#)), elle dépend fortement de la tension appliquée (champ électrique à travers l'oxyde).

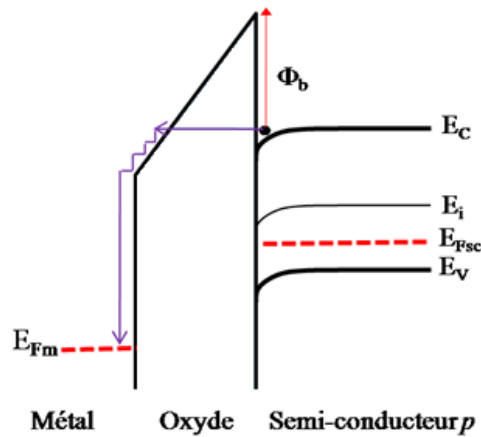


Figure I.10 : Diagramme de bandes d’une structure MOS dans le cas d’une conduction Fowler-Nordheim

c- Emission thermoïonique

Grâce à l’activation thermique, le porteur peut surpasser la barrière de potentiel (Φ_b). En effet, le porteur passe de la bande de conduction de l’électrode injectrice, à la bande de conduction de l’isolant (figure I.11). Ce mécanisme n’est possible que si les porteurs ont une énergie cinétique très élevée.

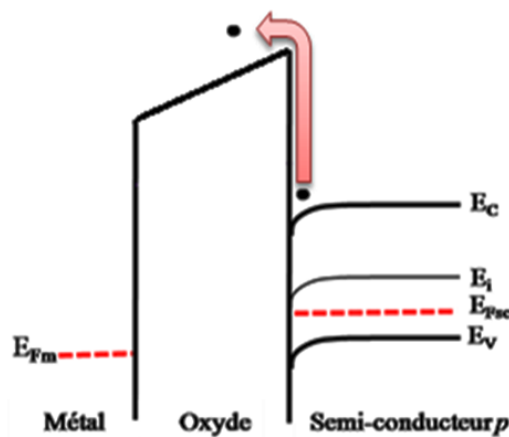


Figure I.11 : Diagramme de bande d’une structure MOS dans le cas d’une émission thermoïonique

I.5.1.2. Conduction limitée par le volume de l’isolant

Dans ce mécanisme de transport, la conduction est assistée par les défauts (pièges) au sein du volume d’oxyde. Généralement, les défauts génèrent des niveaux d’énergie permis dans la bande interdite de l’oxyde. Dans ce cas, les porteurs peuvent passer d’un piège à un autre par le mécanisme de piégeage et dépiégeage. Parmi ces mécanismes, nous trouvons la conduction Poole-Frenkel et le Hopping. Ces types de conduction sont présentés dans les paragraphes suivants :

a- Mécanisme Poole-Frenkel (PF)

Lorsque le déplacement des porteurs s'effectue par la conduction thermoionique comme illustré dans la [figure I.12](#). Ce mécanisme assisté par phonons est activé thermiquement, ce le rend très sensible à la température [27].

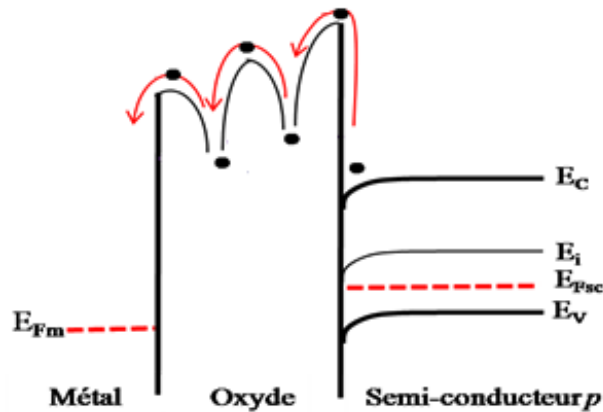


Figure I.12 : Diagramme de bandes d'une structure MOS dans le cas d'une conduction Poole-Frenkel

b- Mécanisme de transport par Saut ou « Hopping »

Un autre mécanisme peut être introduit qui est le « Hopping » [28] et qui est similaire au mécanisme Poole-Frenkel, mais le passage d'un défaut dans l'isolant à un autre s'effectue par effet tunnel et non pas par émission thermoionique ([figure I.13](#)). Ce mécanisme de transport est prédominant car l'épaisseur de la barrière d'énergie à franchir à chaque saut étant moins importante que dans le mécanisme de tunnel direct. Néanmoins, dans les deux types de mécanisme cités, la conduction est assistée par la présence d'un champ électrique.

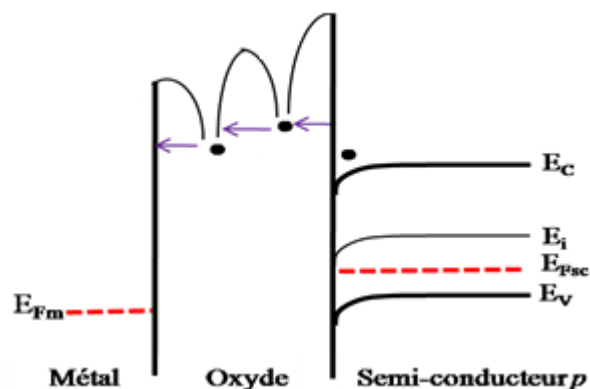


Figure I.13 : Diagramme de bandes d'une structure MOS dans le cas d'une conduction par saut

I.6. Microstructures des défauts dans le système Si/SiO_2

Dans la structure *MOS*, les défauts présents dans le SiO_2 introduisent des niveaux d'énergie pouvant se situer à l'intérieur de la bande interdite [29]. Dans le cas où le porteur est faiblement lié au défaut, le niveau d'énergie associé est proche de la bande de conduction (E_c) pour un électron (ou de la bande de valence (E_v) pour un trou). Ce défaut est qualifié de « peu profond ». Si au contraire, dans le cas où le porteur est fortement lié au défaut, le niveau d'énergie associé est situé loin de E_c et de E_v , c'est-à-dire relativement proche du milieu de la bande interdite, il s'agit alors d'un défaut « profond ».

Dans l'oxyde, les défauts qui introduisent des niveaux d'énergie à l'intérieur de la bande interdite sont assimilables à des puits du potentiel. Ils sont électriquement actifs et aptes à capter des porteurs. Un défaut peut se comporter comme un piège, lorsqu'il capture un porteur de la bande de conduction (ou de valence) et le réémet ensuite vers cette même bande. Selon l'état de sa charge, un piège peut être accepteur (neutre s'il est inoccupé par un électron et chargé négativement s'il est occupé) ou donneur (neutre s'il est occupé par un électron et chargé positivement s'il est vide).

I.6.1. Classification des défauts

Selon les conditions de fabrication et de la technologie utilisée, plusieurs types de charges peuvent être piégées dans l'oxyde et à l'interface Si/SiO_2 . La première classification des différents types de charges de l'oxyde a été donnée par Deal [30]. On distingue quatre types de charges, à savoir, les charges fixes, les charges piégées, les charges mobiles ioniques et les charges des états d'interface. Cette nomenclature a été complétée par la suite par les travaux de Fleetwood et al [31]. Ils proposent de distinguer les pièges d'oxyde les plus proches de l'interface et électriquement actifs dits « *Border Traps* », des autres pièges volumiques de l'isolant qui n'ont pas d'interaction avec les porteurs du semi-conducteur durant la mesure. La [figure I.14](#) illustre les différents types de charges présentes dans l'oxyde de silicium et à l'interface Si/SiO_2 d'après Fleetwood [31].

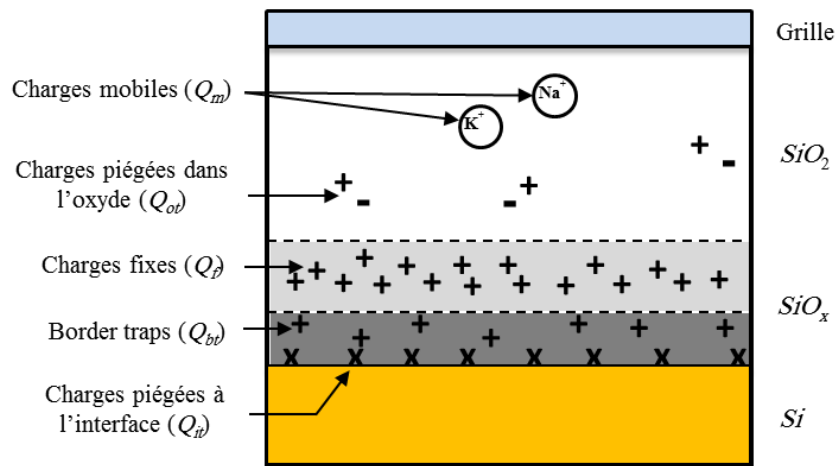


Figure I.14 : Schéma des différents types de charges de l'oxyde de silicium et à l'interface Si/SiO_2 [31]

I.6.1.1. Charges mobiles ioniques

Les charges mobiles dans l'oxyde sont principalement dues à la contamination de l'oxyde par des impuretés ioniques (métaux alcalins : K^+ , Li^+ , Na^+ , etc.) introduites lors du processus de fabrication de l'oxyde. Sous l'effet d'un champ électrique ou de la température, ces impuretés, localisées à l'interface Si/SiO_2 , peuvent migrer d'une interface à une autre, et auront par conséquent un impact néfaste sur le fonctionnement des dispositifs *MOSFET*.

I.6.1.2. Charges fixes

Les charges fixes sont des charges positives localisées très près des interfaces Si/SiO_2 et grille- SiO_2 . Ces charges sont liées aux défauts de structure dans la zone de raccordement des mailles cristallines du silicium et de l'oxyde de silicium créés pendant le processus d'oxydation [32], [33]. Elles dépendent donc des paramètres du procédé d'oxydation et de l'orientation du silicium [5]. Sur le plan technologique, du fait que les charges fixes se situent au voisinage de l'interface Si/SiO_2 , elles créent des charges images négatives qui modifient le potentiel de surface du semi-conducteur et donc les tensions de seuil (V_{th}) et de bandes plates (V_{fb}) du dispositif.

I.6.1.3. Charges piégées

Les charges piégées sont des charges stockées par les pièges du volume de l'oxyde. Elles peuvent être positives ou négatives. Ce type de charges est la conséquence soit d'une excitation extérieure, comme l'irradiation, ou bien sont injectées pendant le fonctionnement du dispositif. Contrairement aux charges fixes qui sont des charges permanentes, on peut diminuer la densité des charges piégées par un dépiégeage en appliquant un stress thermique ou un champ électrique.

I.6.1.4. Charges piégées des états d'interface

Ce type de charges est piégé par les défauts qui résultent de la discontinuité du réseau au niveau de l'interface Si/SiO_2 . Ces défauts appelés *états d'interface* jouent un rôle primordial dans le fonctionnement du dispositif *MOSFET*, car contrairement aux autres types de charges piégées dans l'oxyde (charges mobiles, charges fixes, charges piégées), les charges piégées des états d'interface sont en communication électrique directe avec le semi-conducteur. Selon la polarisation appliquée, la nature des états d'interface et leur position énergétique (par rapport au niveau du fermi de semi-conducteur). Ces états d'interface peuvent être chargés positivement, négativement ou restent neutres. En effet, il existe deux (02) types d'états d'interface : les états donneurs et les états accepteurs. Un état donneur est neutre lorsqu'il a capturé un électron et positif lorsqu'il est vide, alors qu'un état accepteur est chargé négativement lorsqu'il a capturé un électron et devient neutre lorsqu'il a perdu son électron.

I.6.1.5. Charge piégée à la frontière (*Border-Traps*)

Un autre type de charges a été introduit par Fleetwood en 1992 [31]. Les pièges responsables de ce type de charges sont situés sur une distance de 3 nm à partir de l'interface Si/SiO_2 et peuvent communiquer avec le semi-conducteur via le mécanisme de tunnel, tandis que pour les pièges d'interface, la communication est principalement effectuée par la capture et l'émission d'électrons et/ou de trous. Ces pièges sont appelés *Border-Traps* ou *Switching states*. La notion de *Border-Traps* permet donc d'identifier un piège dans l'oxyde à la fois par rapport à sa localisation, mais également par rapport à son temps de réponse (constante du temps) en fonction de la variation du potentiel électrique à travers la structure *MOS*. Les pièges à la frontière sont principalement scindés en deux classes : lents et rapides. La microstructure des pièges lents à la frontière, ayant une constante du temps variant de 10^{-6} à 1 seconde, correspond au centre E'_γ qui est conforme au modèle de calcul théorique [34]. Ainsi, les pièges rapides à la frontière ayant une constante du temps supérieure à une (1) seconde sont de la famille des défauts $O_{3-x}Si_xSi$ [35]. La **figure I.15** illustre la localisation spatiale des pièges fixes dans l'oxyde, des *Border-Traps* et des pièges d'interface et leur réponse électrique pendant les mesures électriques. Pour le comportement électrique de ces pièges, certains les considèrent comme des pièges dans l'oxyde, qui se chargent positivement [36], alors que d'autres les considèrent comme des pièges à l'interface [31].

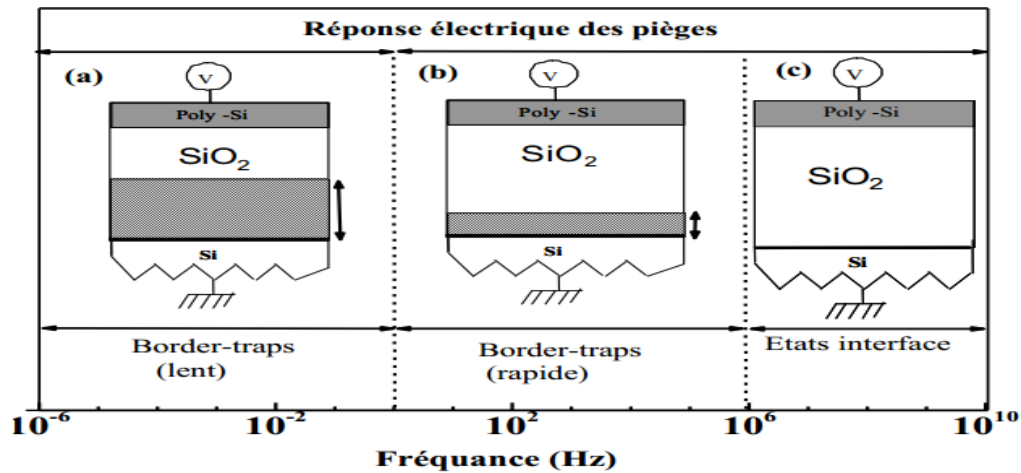


Figure I.15 : Réponse électrique des différents pièges dans un dispositif MOS en fonction de la fréquence du signal appliqué sur la grille [37]

I.6.2. Microstructures des défauts à l'interface Si/SiO_2

La croissance de l'oxyde de grille passe par une zone de transition entre le silicium cristallin et l'oxyde de silicium amorphe, dans laquelle le désaccord de maille entre le silicium et l'oxyde pouvait faire apparaître des liaisons pendantes de silicium. Ces défauts d'interface sont communément appelés *pièges d'interface*, *états d'interface*, *centres P_b* [38], ou encore *centres P_{b0}* et *P_{b1}* . Tous ces termes font référence à un état électronique actif, localisé dans la zone interfaciale, et dont l'énergie se situe dans la bande interdite du silicium. La densité des défauts d'interface est notée soit par D_{it} , N_{it} ou N_{ss} , et est exprimée en $[cm^{-2}]$ ou en $[cm^{-2} \cdot eV^{-1}]$. La valeur moyenne est de l'ordre de $10^9 cm^{-2} eV^{-1}$ pour une interface de bonne qualité et de $10^{12} cm^{-2} eV^{-1}$ pour une interface dégradée [39].

Ces pièges d'interface ont été mis en évidence par Nishi [38] suite à des mesures de résonance paramagnétique électronique (*EPR* ou bien *ESR* pour *Electron Spin Resonance*), qui leur a donné le nom de *centre P_b* , (*P* pour Paramagnétique et *b* comme l'indexation du pic de résonance). Plus tard, de nombreux groupes de recherche ont répété et standardisé les procédures expérimentales sur les interfaces Si/SiO_2 dont l'orientation cristallographique de silicium est (111) et (100) [40]–[43]. Ces études ont identifié la présence du centre P_b dans des substrats de silicium $Si(111)$ et les centres P_{b0} et P_{b1} dans l'interface $Si(100)$. Les centres P_b et P_{b0} présentent également des propriétés de résonance magnétique similaires [42]. Ainsi, les centres P_b et P_{b0} sont des liaisons pendantes relatives à des atomes de silicium situés à l'interface Si/SiO_2 et pouvant établir des liaisons covalentes avec trois (3) atomes Si du

substrat mais ne pouvant pas établir de liaison avec un atome de l'oxyde (voir [figure I.16](#)). D'autre part, la structure détaillée du centre P_{b1} est encore soumise à débat. Il a été proposé initialement que le centre P_{b1} est constitué d'une liaison pendante d'un atome de silicium partageant des liaisons covalentes avec deux (02) atomes de silicium du substrat et un atome d'oxygène de l'oxyde, noté $Si_2O \equiv Si^\bullet$. Alors que les expériences ultérieures de Brower [44] ont prouvé que tous les centres de P_b devraient avoir les mêmes voisins, c'est-à-dire l'atome de silicium central est relié à trois autres atomes de silicium (voir [figure I.16](#)).

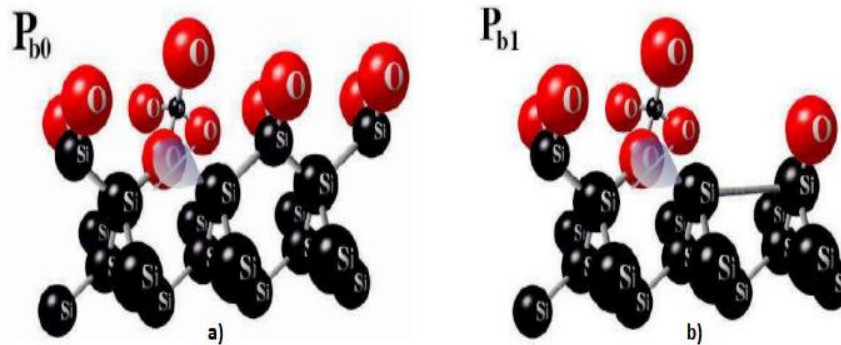


Figure I.16 : Illustration des défauts à l'interface Si/SiO_2 , centres P_{b0} et P_{b1} [45]

Les études réalisées par les techniques *EPR* [46], [47] ont permis de localiser les densités d'états d'interface introduites par ces deux types de défauts de nature amphotère (Le centre P_b est capable soit de piéger un électron, soit de piéger un trou). Lenahan et *al.* [48] ont fourni une estimation semi-quantitative de la distribution énergétique des états d'interface P_{b0} et P_{b1} , comme représenté dans la [figure I.17](#). Il est à noter que la distribution de la densité des centres P_{b1} est étroitement localisée dans la partie inférieure de la bande interdite, et ce, en comparaison avec la densité des centres P_{b0} qui est largement étalée sur toute la largeur de la bande interdite. Il est généralement admis que les centres P_{b0} sont plus électriquement actifs et plus nombreux que les centres P_{b1} .

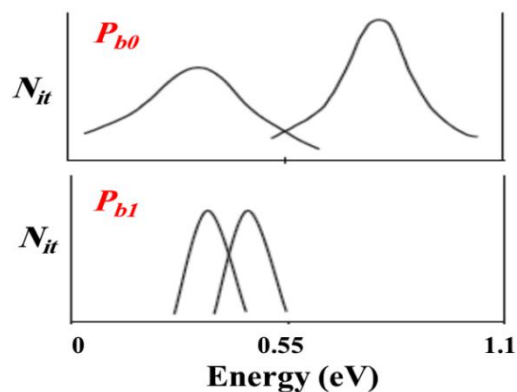


Figure I.17 : Illustration de la distribution énergétique des états d'interface P_{b0} et P_{b1} [48]

I.6.2.1. Caractère amphotère des pièges d'interface

Les pièges d'interface (centres P_b) ont une nature amphotère. Ces défauts sont capables de capturer ou de réémettre des porteurs de charge selon la valeur du potentiel de surface. Rappelons qu'un piège est de type *donneur* si son énergie est située dans la moitié inférieure de la bande interdite, et de type *accepteur* dans le cas contraire. Le donneur est chargé positivement lorsqu'il est vide, et neutre lorsqu'il est rempli. À l'inverse, pour l'accepteur, il est chargé négativement lorsqu'il est rempli et est neutre lorsqu'il est vide. La [figure I.18](#) présente le diagramme de bandes d'énergie des pièges à l'interface Si/SiO_2 dans le cas d'un régime de bandes plates pour un substrat de type n ou p .

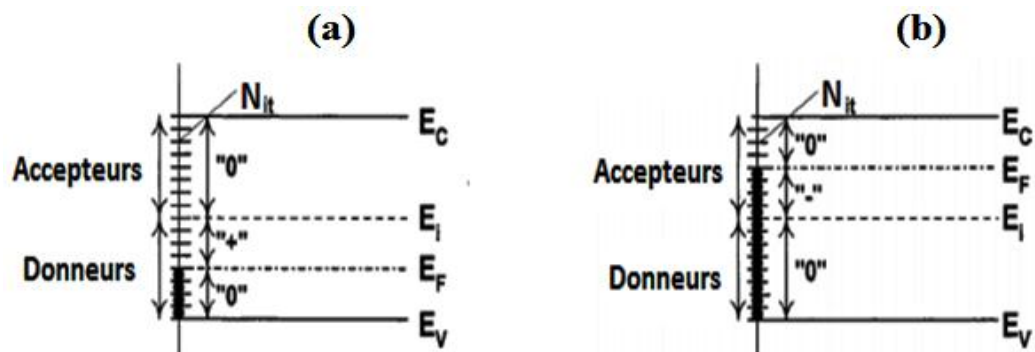


Figure I.18 : Représentation des états d'interface pour un substrat : (a) de type p , (b) de type n [49]

I.6.2.2. Passivation des liaisons pendantes

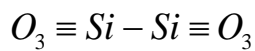
Une interface est considérée de bonne qualité si la valeur moyenne des liaisons pendantes est de l'ordre de $10^9 \text{ cm}^{-2} \text{ eV}^{-1}$ [39]. L'obtention d'une telle densité ne peut être possible que par l'intermédiaire d'une étape de passivation de ces liaisons pendantes majoritairement présentes dans la couche d'interface Si/SiO_2 . L'hydrogène peut jouer le rôle d'élément de passivation en raison de sa forte réactivité, et cela en venant combler la plupart des liaisons après un recuit et les rend électriquement inactifs [50].

I.6.3. Microstructures des défauts dans l'oxyde de silicium SiO_2

Plusieurs études expérimentales et théoriques ont été réalisées afin de décrire la microstructure des défauts présents dans l'oxyde de silicium (SiO_2), car ces défauts modifient significativement les caractéristiques et la fiabilité des dispositifs *MOSFET* [51], [52]. Un

certain nombre de défauts ponctuels tels que les lacunes d'oxygène, les ponts peroxyde, les atomes d'oxygène non liants, les atomes de silicium trivalents (centres E'), et les atomes de silicium bivalent ont été détectés dans l'oxyde (SiO_2) amorphe [53]. Cependant, les deux types de défauts présents en plus grand nombre dans l'oxyde sont les lacunes d'oxygène et les centres E' .

Les défauts liés à la présence d'une lacune d'oxygène sont constitués de deux tétraèdres voisins dont la liaison d'atome d'oxygène est absente, ils sont présentés par :



Il est intéressant de remarquer que ces défauts sont diamagnétiques et électriquement neutres (aucun électron non apparié). Il est donc impossible de le détecter ni par la technique *EPR* ni par d'autres méthodes. Toutefois, un trou peut coincer sur la vacance et modifier la structure des défauts. Après le piégeage d'un trou, l'un des atomes de silicium possède un électron non apparié, situé sur une orbitale balançant sp^3 et reste dans une configuration tétraèdre. L'autre atome de silicium porte la charge positive piégée (le trou piégé) et se détend dans le plan de ses trois atomes d'oxygène voisins restants, comme illustré dans la **figure (I.19)**. Cette relaxation asymétrique est possible grâce à la flexibilité de la liaison $Si - O - Si$. La caractéristique principale de ce type de défauts est que l'électron non apparié est paramagnétique et il est détecté facilement par la technique *EPR* à température ambiante.

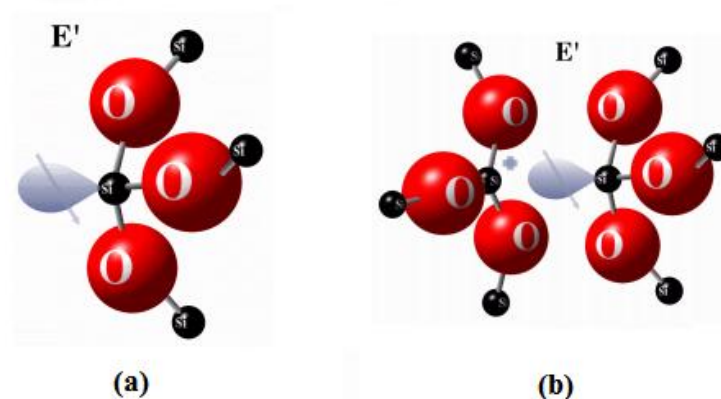


Figure I.19 : Défauts dits *centres E'* couramment trouvés dans l'oxyde (SiO_2) : (a) lacune d'oxygène neutre, (b) lacune d'oxygène chargée positivement [54].

Les défauts nommés *centres E'* sont les défauts les plus fréquemment rencontrés [55]. Les centres *E'* sont constitués de deux atomes de silicium, dont chacun lié à 3 atomes d'oxygène, et possédant un électron non apparié sur l'un des deux atomes de silicium et un trou sur l'autre Si, éloigné du premier [56], ils sont notés $O_3 \equiv Si^\bullet$. La **figure I.19 (a)** montre une seule liaison pendante du centre *E'* neutre. En plus des centres *E'*, un autre type de défaut appelé *E'*_γ est identifié dans le SiO_2 [57]. Ce défaut est souvent un site de silicium paramagnétique couplé à un atome de silicium diamagnétique (absence d'atomes d'oxygène entre deux atomes de silicium) chargé positivement, comme le montre la **figure I.19 (b)**. Ryan et al. [54] ont démontré que les centres *E'* sont présents pendant l'application d'une contrainte *NBTI*. La **figure I.20** illustre le signal *ESR* du centre *E'* prise sur un échantillon pendant le stress *NBTI*. Ces auteurs ont trouvé une correspondance étroite entre les signaux *ESR* pendant le stress et les signaux standards disponibles dans le commerce.

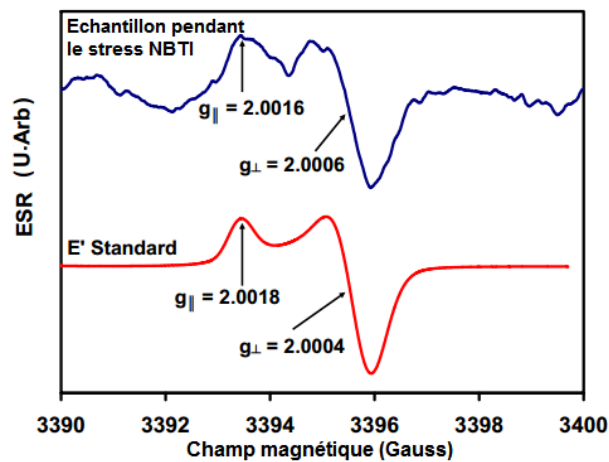


Figure I.20 : Signal *ESR* du centre *E'* prise sur un échantillon pendant une contrainte *NBTI* [54]

CHAPITRE II :

**FIABILITÉ DES TRANSISTORS *MOSFETS* SOUS
CONTRAINTE *NBTI***

Introduction

Malgré les nombreux efforts fournis (théoriques et expérimentaux) pour comprendre les mécanismes physiques derrière la dégradation *NBTI*, voir la **figure II.1**, la microstructure des pièges induits par la dégradation *BTI* reste inconnue et fait l'objet de débats d'actualité. Nous débuterons ce chapitre par un exposé sur la notion de fiabilité des dispositifs *MOSFET*, suivie par une présentation de l'un des principaux mécanismes de dégradation affectant l'oxyde de grille des dispositifs *MOSFET*, à savoir le phénomène dit *NBTI*. Nous allons définir c'est quoi une contrainte *NBTI* et quelles sont les causes qui ont rendu ce phénomène de dégradation parmi les problèmes de défaillance les plus étudiés. Enfin, nous présenterons les modèles les plus populaires qui ont été proposés dans le contexte du *NBTI*.

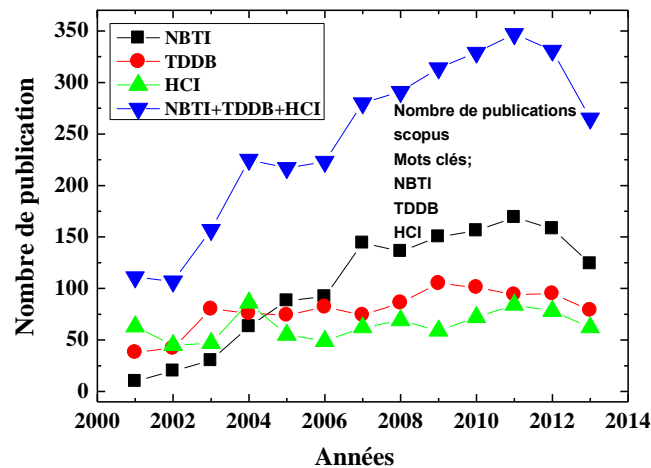


Figure II.1 : Evolution du nombre de publications par an dans le domaine de la fiabilité des composants MOS (Base de données bibliographiques-Scopus)

II.1. Notion de fiabilité

La fiabilité peut être définie comme « la probabilité qu'à un dispositif d'exécuter une fonction requise dans des conditions données, et ce, pendant un intervalle du temps déterminé ». La fiabilité est principalement qualifiée par le taux de défaillance (ou taux de pannes) en fonction du temps et est souvent exprimé par le symbole $\lambda(t)$. L'étude de la fiabilité intègre donc trois concepts indépendants: le temps, les conditions d'utilisation ou environnementales (polarisation, température, humidité, radiation, etc.), et les règles de défaillance.

Afin d'illustrer ces différentes étapes, nous pouvons nous appuyer sur la courbe en baignoire, présentée dans la **figure II.2**, qui représente qualitativement le taux de défaillance des transistors *MOS* en fonction du temps.

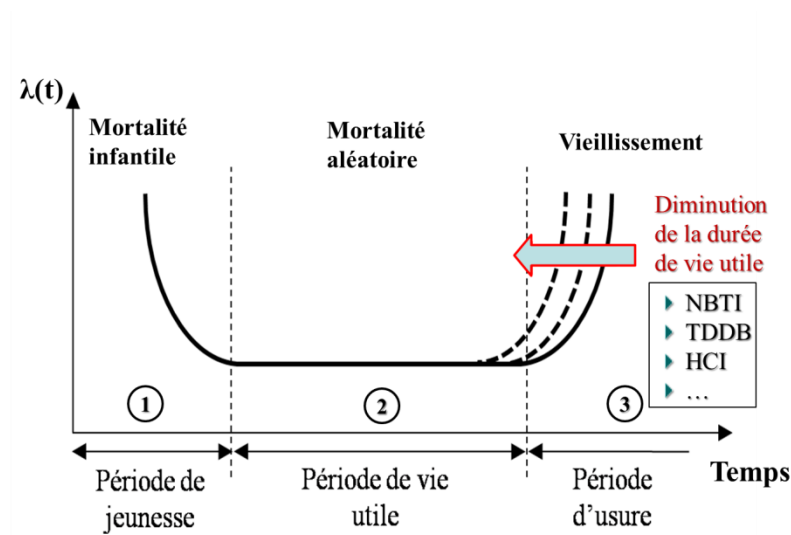


Figure II.2 : Courbe en baignoire du taux de défaillance des transistors *MOS* en fonction du temps [58]

La courbe en baignoire est divisée en trois zones dont les origines sont significativement différentes :

Zone 1 : Elle correspond à la période de jeunesse, dans ce cas, le taux de défaillance présente une décroissance relativement importante en fonction du temps. Elle s'explique principalement par le fait que des défauts extrinsèques s'introduisent dans certains matériaux pouvant ainsi occasionner des défaillances prématurées. L'étude de fiabilité dans cette phase est effectuée à travers des tests de déverminage ou de rodage.

Zone 2 : Cette zone correspond à la période de vie utile. Le taux de défaillance est relativement bas dans cette seconde zone. Les pannes y sont aléatoires et généralement accidentelles.

Zone 3 : Elle correspond à la période d'usure ou de vieillissement. A ce stade, le taux de défaillance est croissant et présente une hausse rapide en fonction du temps. La défaillance

durant cette période est principalement causée par un vieillissement normal des transistors qui résulte d'une dégradation intrinsèque.

L'objectif global de la fiabilité peut être défini comme la nécessité de faire réduire le taux de mortalité infantile, minimiser le niveau du plateau de la zone 2 et enfin repousser au maximum le taux de défaillance occasionné par le vieillissement des transistors. Pour que le produit accomplisse sa mission en respectant la durée de vie, il faut connaître le vieillissement des différents étages de la chaîne de fiabilité d'un produit, ainsi que le lien existant entre les différents niveaux de complexité.

Dans ce contexte, les travaux développés au cours de cette thèse ont porté sur le niveau le plus bas, à savoir celui des défauts créés dans le transistor, étudié à l'échelle atomique. Nous remontons ensuite à l'impact de ces défauts sur la dégradation des caractéristiques du transistor.

Les principaux modes de dégradation causant et accélérant la défaillance des circuits intégrés sont : la dégradation par porteurs chauds, le *HCI* (*Hot Carrier Injection*), l'augmentation du courant de fuite, le *SILC* (*Stress Induced Leakage Current*), le phénomène de claquage, le *TDDDB* (*Time Dependent Dielectric Breakdown*), l'effet de dose cumulée par radiation, le *TID* (*Total Ionisation Dose*) et la dégradation *BTI* (*Bias Temperature Instability*). Ces derniers provoquent un déplacement du bord droit de l'allure de taux de la défaillance (voir la zone 3 de la [figure II.2](#)) et en conséquence réduit la durée de vie utile des composants. Une bonne compréhension de ces modes de dégradation permet de diminuer leurs impacts et ainsi d'augmenter la durée de vie des composants. La grande partie responsable de la défaillance dans les dispositifs *MOSFET* est l'oxyde de grille. Nous nous intéressons dans notre étude à la zone de vieillissement et nous focaliserons notre étude au phénomène de la dégradation *NBTI* dans les transistors *VDMOSFET*.

II.2. Mécanismes de dégradation de l'oxyde de grille

Une panne se produit lorsqu'un élément cesse d'exécuter sa fonction requise. Cela peut se produire soudainement ou après un certain temps de dégradation ou peut être dû à une dégradation de certaines caractéristiques électriques et entraînant un dysfonctionnement du circuit (un décalage de la tension de seuil d'un transistor, par exemple).

Pour mesurer la dégradation des transistors aux conditions nominales d'utilisation, des conditions de stress accélérées sont utilisées pour construire des modèles de dégradation. La

dégradation des caractéristiques des transistors est due à la présence de défauts dans l'oxyde de grille. L'approche la plus rigoureuse pour modéliser la dégradation consiste donc en la compréhension des mécanismes physiques de génération de défauts à l'échelle atomique. A cet effet, l'objectif de cette partie est de donner un aperçu général sur l'un des principaux mécanismes de défaillance affectant les dispositifs *MOSFET*.

II.3. Dégradation *BTI*

L'un des principaux problèmes de fiabilité affectant les dispositifs *MOSFET* est la dégradation *BTI*. Cette nomination *BTI* a été créée au départ pour désigner des défauts ioniques (charges mobiles) dans la structure du dispositif. Ces impuretés ont l'aptitude de se mouvoir sous l'effet d'un champ électrique et à haute température [59]. Après les travaux réalisés par Deal et *al.* [5], ce terme a de nouveau émergé, car il a été démontré que la création de défauts chargés pouvait être d'origine intrinsèque liée à la création des défauts à l'interface *Si/SiO₂*. Le mécanisme de dégradation est attribué à la rupture des liaisons *Si-H* à l'interface *Si/SiO₂* due à une combinaison du champ électrique, de la température, et des trous. Cette rupture entraîne des liaisons pendantes ou des pièges à l'interface *Si/SiO₂*, désigné comme N_{it} , et des charges d'oxyde positifs, N_{ot} , qui peuvent être dues soit aux ions H^+ soit aux trous piégés.

Les deux dérivées de la contrainte *BTI* proviennent du signe de la tension appliquée à la grille : positive ou bien négative, elles sont désignées par les acronymes suivants *NBTI* et *PBTI*, respectivement (le terme *N* pour negative et *P* pour positive). Le *NBTI* est étudié le plus souvent sur le *pMOS* car la dégradation y est beaucoup plus importante que sur le *nMOS* [21]. D'autre part, les composants *CMOS* fortement intégrés ont une tendance à produire toujours plus de chaleur en cours de fonctionnement dynamique, ce qui favorise le phénomène *NBTI*. En effet, cela nous a motivé et incité à choisir ce mode de dégradation pour l'étudier en détail dans cette thèse.

II.4. Phénomène *NBTI*

La contrainte *NBTI* (*Negative Bias Temperature Instability*) est un phénomène de dégradation du courant du drain, causant également un décalage de la tension de seuil se produisant lorsqu'on applique un potentiel électrique négatif sur la grille du transistor dans un

milieu à haute température [49]. Pratiquement, le dispositif est placé dans un environnement chaud, et les quatre connecteurs que sont la grille, la source, le drain et le substrat sont reliés à un générateur de tension appliquant une tension négative entre la grille et l'ensemble source-substrat-drain (figure II.3). Une contrainte *PBTI* (*Positive Bias Temperature Instability*) est par analogie une contrainte avec un potentiel positif sur la grille et à haute température [60].

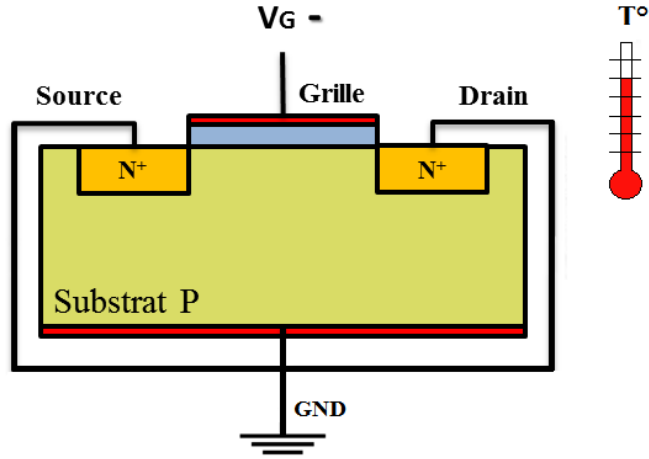


Figure II.3 : Configuration électrique d'une contrainte *NBTI*

Malgré que les phénomènes *BTI* ont été observés et étudiés dans des dispositifs à base de SiO_2 pendant plusieurs décennies, la microstructure des défauts responsables de la dégradation des dispositifs induits par *NBTI* reste inconnue et fait l'objet de débats d'actualité [49], [61], [62]. L'examen des équations de fonctionnement des transistors est utile pour visualiser les sources potentielles de dégradation de la tension de seuil (V_{th}). La tension de seuil d'un *p-MOSFET* est donnée par [63] :

$$V_{th} = V_{fb} - 2\phi_f - \frac{|Q_{sc}|}{C_{ox}} \quad (II.1)$$

Où V_{th} est la tension de seuil, V_{fb} est la tension de bandes plates, ϕ_f est la différence entre le niveau de Fermi en substrat et le niveau intrinsèque, $|Q_{sc}|$ est la grandeur de la charge d'espace maximale dans la région de déplétion, et C_{ox} est la capacité de l'oxyde de grille. $|Q_{sc}|$ et V_{fb} sont donnés par :

$$|Q_{sc}| = \sqrt{4\epsilon_s \phi_f q N_D} \quad (II.2)$$

$$V_{fb} = \phi_{ms} - \frac{Q_{ot}}{C_{ox}} - \frac{Q_{it}}{C_{ox}} \quad (II.3)$$

Où ϵ_s est la permittivité du silicium, q est la charge élémentaire des électrons, N_D est la densité de dopage du substrat, ϕ_{ms} est la différence des potentiels d'extraction du métal et du semi-conducteur, Q_{ot} est la charge piégée dans l'oxyde de grille et Q_{it} est la charge piégée à l'interface. La combinaison des équations (II.1) et (II.3) donne l'expression (II.4) pour la tension de seuil d'un *p-MOSFET* [63] :

$$V_{th} = \phi_{ms} - \frac{Q_{ot}}{C_{ox}} - \frac{Q_{it}}{C_{ox}} - 2\phi_F - \frac{\sqrt{4\epsilon_s\phi_f q N_D}}{C_{ox}} \quad (\text{II.4})$$

En supposant que le dopage du substrat (N_D) et la capacité de l'oxyde de grille (C_{ox}) restent constants au cours d'une contrainte *NBTI* (*Negative Bias Temperature Instability*), seul un changement de la charge piégée dans l'oxyde (Q_{ot}) ou de la charge piégée à l'interface (Q_{it}) peut expliquer la dérive de la tension de seuil observée [63]. Ce simple examen est en accord avec nombreux travaux de recherche. L'étude du phénomène du *NBTI* a montré que les défauts dans l'oxyde (N_{ot}) et à l'interface (N_{it}) sont responsables de la dégradation *NBTI* induite. Cependant, le rôle de chaque type de défaut est encore activement débattu [49], [61], [62].

II.5. Mécanismes *NBTI*

Après la première étude de Deal [5], le *NBTI* a été un phénomène intéressant et de nombreux modèles pour les mécanismes physiques ont été établis. Parmi ces modèles, les trous injectés dans l'oxyde, l'effet tunnel des électrons et les réactions électrochimiques ont été les sujets principaux.

II.5.1. Modèle de piégeage des trous

Le modèle de piégeage des trous est basé sur des mesures d'injection des trous en avalanche sur des capacités *MOS* non stressées et sur des tests *NBTI* [64], [65]. Ce modèle propose que la dérive de la tension « *midgap* » (ΔV_{mg}) - qui est considéré comme une mesure du changement des charges d'oxyde positives sans la contribution des états d'interface - est dû au remplissage des pièges des trous intrinsèques. Toute la charge positive générée par la contrainte *NBTI* précédente peut être éliminée par une contrainte *PBTI* [65].

Lors de l'application d'une tension négative sur la grille du transistor, les trous peuvent traverser la barrière de potentiel entre le canal et le piège par effet tunnel. Lorsqu'un potentiel

électrique positif est appliqué sur la grille, les trous sont dépiégés vers le substrat. Le mécanisme de piégeage/dépiégeage est assimilé à un courant tunnel entre le substrat et le piège. Tewksbury et al. [66] ont modélisé ce phénomène, où ils considèrent trois mécanismes possibles de piégeage/dépiégeage qui sont : l'effet tunnel élastique des porteurs de la bande de conduction et de la bande de valence, l'effet tunnel assisté par les états d'interface, et l'effet tunnel assisté par phonons. Ce modèle est utilisé pour expliquer le piégeage des trous sous contrainte *NBTI* dans les défauts préexistants [67], [68].

II.5.2. Modèle d'effet tunnel d'électrons assisté thermiquement

Le modèle d'effet tunnel d'électrons assisté thermiquement a été établi par Breed [69], [70]. Selon ce modèle, les centres neutres ou positifs qui provoquent le piégeage de la charge sont situés près de l'interface dans l'oxyde. Sous contrainte *NBTI*, les centres sont excités. Ensuite, les électrons se trouvant dans des états excités traversent par effet tunnel vers des états vides de la bande de conduction du silicium. Ce processus est l'effet tunnel d'électrons assisté thermiquement.

II.5.3. Modèle Réaction-Diffusion (*R-D*)

Divers auteurs ont proposé le modèle de réaction électrochimique ou le modèle Réaction-Diffusion (*R-D*), qui a été accepté par de nombreux chercheurs ces dernières années [6], [71]–[73]. Ce modèle est accepté comme un des modèles décrivant le mieux le mécanisme de génération de défauts à l'interface *Si/SiO₂* pendant la dégradation *NBTI*. Le premier modèle *R-D* a été proposé par Jeppson et al. [6]. Dans ce modèle, voir [figure II.4](#), l'hypothèse de départ est la présence d'un grand nombre de liaisons *Si-H* dans un transistor vierge. Sous l'influence du champ de grille (contrainte *NBTI*), des défauts sont activés par une réaction électrochimique dans laquelle une espèce hydrogénée neutre H^0 est dépassivée d'un atome de silicium et conduit à la formation d'un état d'interface *Si*, selon la réaction suivante :



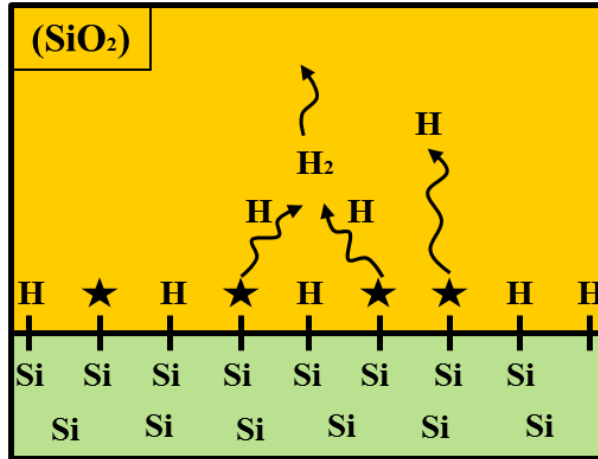


Figure II. 4 : Illustration de la diffusion d'espèces hydrogénée neutre de l'interface Si/SiO_2 vers la structure SiO_2

Ainsi, l'équation différentielle principale correspondant aux parties de réaction et de diffusion peut être exprimée sous la forme :

$$\frac{\partial N_{it}}{\partial t} = k_f (N_0 - N_{it}) - k_r N_{it} N_X^{(0)} \quad (II.6)$$

Où $k_f (s^{-1})$ est le taux de dissociation des liaisons $Si-H$, $N_0 (cm^{-2})$ est la concentration initiale (à $t = 0$) des liaisons $Si-H$, $k_r (cm^3/s)$ est le taux de repassivation des états d'interface, $N_X^{(0)} (cm^{-3})$ est la densité des espèces de diffusion (hydrogène) à l'interface et $N_{it} (Cm^{-2})$ est la densité de défauts à l'interface.

Bien que Jeppson et al. [6] ont proposé la première version du modèle $R-D$, ils n'ont pas clarifié le mécanisme exact de la dissociation des liaisons $Si-H$. La première formulation mathématique du modèle $R-D$ a été établie par Ogawa et al. [71] qui ont établi le premier modèle analytique du modèle $R-D$. Cette modélisation a été largement améliorée et affinée par Alam et Mahapatra [7], [74].

II.6.Espèces de diffusion dans le modèle $R-D$

Les espèces de diffusion régissent principalement la valeur de l'exposant du temps (n) en loi en puissance. En outre, et comme l'hydrogène est généré à partir de la dissociation des liaisons $Si-H$, les espèces de diffusion peuvent être : un atome d'hydrogène neutre ou chargé (H ou H^+), une molécule d'hydrogène (H_2), ou l'atome H et la molécule H_2 .

II.6.1. Diffusion d'atomes d'hydrogène neutres (H)

Les premières versions du modèle *R-D* ont considéré la diffusion des espèces hydrogénées générée dans l'équation (II.5) [7], [75]. La solution asymptotique a été obtenue par Jeppson pour montrer que la densité N_{it} est gouvernée par une loi en puissance en temps (t^n), avec un exposant n égal à 0.25 [6]. Alam et al [76] sont arrivés au même résultat en supposant un profil triangulaire de la concentration d'hydrogène. Comme le montre la **figure II.5**, la concentration d'hydrogène loin de l'interface ($x = 0$) est approximée avec une fonction triangulaire simple, avec une longueur de diffusion caractéristique à l'instant t atteint $\sqrt{D_H t}$. La concentration d'hydrogène à l'interface est $N_H(0)$.

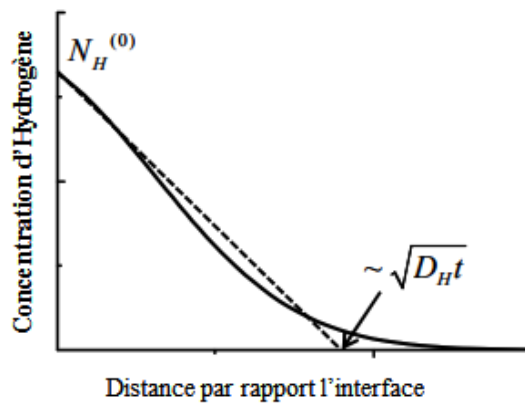


Figure II.5 Profil approximatif de la concentration d'hydrogène dans le processus de diffusion

II.6.2. Diffusion de H^+

La dépassivation de la liaison $Si-H$ peut donner naissance à un atome d'hydrogène chargé positivement ; le proton H^+ . L'utilisation du calcul numérique (*first principal calculation*) a montré que le H^+ est l'élément le plus stable des espèces hydrogénées [77], [78]. La réaction à la forme suivante :



Dans la résolution des équations du modèle *R-D*, et du fait que cette espèce hydrogénée est chargée, nous devons donc tenir compte de la dérive due au champ électrique. Avec quelques approximations, nous trouvons :

$$N_{it} \approx \left(\frac{k_f N_0 \mu_{H^+} E}{k_r} \right)^{0.5} (t)^{0.5} \quad (II.8)$$

II.6.3. Diffusion de molécule d'hydrogène (H_2)

La dissociation directe de la liaison $Si-H$ crée un atome d'hydrogène (H), qui peut réagir à nouveau avec une autre liaison $Si-H$ pour former une molécule d'hydrogène (H_2) à travers la réaction chimique suivante :



La conversion entre H et H_2 est donnée par la loi d'action de masse :

$$[N_H][N_H] = [N_{H_2}] \quad (II.11)$$

Le changement de la densité du piège d'interface dans l'équation (II.7) [(section (II.5.3))] peut être réécrit comme suit :

$$\frac{dN_{it}}{dt} = k_f [N_0 - N_{it}] - k_r N_{it} N_{H,eff}^{(0)} \quad (II.12)$$

Par conséquent,

$$N_{H,eff}^{(0)} = \sqrt{N_{H_2}^{(0)}} \quad (II.13)$$

En outre, correspondant à la diffusion de H_2 [74] :

$$\frac{dN_{H_2}}{dt} = D_{H_2} \frac{d^2 N_{H_2}}{dx^2} \quad (II.14)$$

En utilisant l'approximation triangulaire avec la diffusion de H_2 loin de l'interface, on trouve :

$$N_{it} = 2 \cdot \frac{1}{2} N_{H_2}^{(0)} \sqrt{D_{H_2} t} = N_{H_2}^{(0)} \sqrt{D_{H_2} t} \quad (II.15)$$

Le facteur 2 dans l'équation (II.15) provient du fait que la molécule H_2 contient deux atomes d'hydrogène (H) et qu'elle est donc associée à deux pièges d'interface. La densité du piège d'interface est alors donnée par :

$$N_{it}(t) = \left(\frac{k_f N_0}{k_r} \right)^{\frac{2}{3}} \cdot (D_{H_2} t)^{\frac{1}{6}} \quad (II.16)$$

Le modèle $R-D$ avec la diffusion de H_2 prédit un exposant $n = 1/6$, ce qui concorde mieux aux mesures récentes [11], [79].

II.6.4. Modèle R - D généralisé avec diffusion de H et H_2

Dans le modèle R - D classique [80], des hypothèses indiquant que l'atome hydrogène (H) réagit instantanément avec une autre liaison $Si-H$ pour donner une molécule d'hydrogène (H_2) avant de diffuser loin de l'interface. Toutefois, ces hypothèses ne sont peut-être pas réalistes en général pour une telle réaction de conversion, et la validité de dépendance en loi en puissance prédite par les modèles H et H_2 pose un problème. Ce problème peut être résolu par une approche de modélisation généralisée. Dans cette approche, il faudrait une considération explicite d'atome d'hydrogène H dans le cadre de la Réaction-Diffusion, car ce devrait être le premier sous-produit après la dissociation des liaisons $Si-H$ avant de se transformer en H_2 [79]. Bien que l'état de charge neutre ne soit pas une forme stable d'atome d'hydrogène, sa formation transitoire est en effet possible [38]. Par conséquent, la diffusion de H et H_2 ainsi que de la conversion $H \leftrightarrow H_2$ sont explicitement incorporées dans le cadre de R - D généralisé par les équations suivantes [79], [81]:

$$\frac{dN_{it}}{dt} = k_f (N_0 - N_{it}) - k_r N_{it} N_H^{(0)} \quad (\text{II.17})$$

$$\frac{dN_H}{dt} = D_H \frac{d^2 N_H}{dx^2} - k_H N_H^2 + k_{H_2} N_{H_2} \quad (\text{II.18})$$

$$\frac{dN_{H_2}}{dt} = D_{H_2} \frac{d^2 N_{H_2}}{dx^2} + \frac{1}{2} k_H N_H^2 - \frac{1}{2} k_{H_2} N_{H_2} \quad (\text{II.19})$$

Les conditions limites sont définies comme suit :

$$\frac{\delta}{2} \frac{dN_H^{(0)}}{dt} = D_H \frac{dN_H^{(0)}}{dx} + \frac{dN_{IT}}{dt} - \delta k_H \left(N_H^{(0)} \right)^2 + \delta k_{H_2} N_{H_2}^{(0)} \quad (\text{II.20})$$

$$\frac{\delta}{2} \frac{dN_{H_2}^{(0)}}{dt} = D_{H_2} \frac{dN_{H_2}^{(0)}}{dx} + \frac{\delta}{2} k_H \left(N_H^{(0)} \right)^2 - \frac{\delta}{2} k_{H_2} N_{H_2}^{(0)} \quad (\text{II.21})$$

Les équations (II.18) et (II.19) correspondent à la diffusion de H et H_2 , respectivement. Les équations (II.20) et (II.21) représentent la conservation des flux d'espèces d'hydrogène diffusante (H et H_2) près de l'interface de H et H_2 , respectivement. Les termes $k_H N_H^2$ et $k_{H_2} N_{H_2}$ dans les équations (II.18) et (II.21) décrivent la conversion de H - H_2 dans le cadre du modèle R - D généralisé. Les termes k_H et k_{H_2} représentent respectivement les taux de génération et de dissociation de H_2 , alors que D_H et D_{H_2} représentent respectivement les coefficients de diffusion pour H et H_2 , N_H et N_{H_2} représentent respectivement la concentration d'hydrogène atomique et moléculaire, et δ est l'épaisseur interfaciale (~ 2 - 3 Å) [82].

CHAPITRE III :

MÉTHODES DE CARACTERISATION *NBTI*

Introduction

Plusieurs techniques expérimentales ont été développées et utilisées pour la caractérisation électrique des dispositifs *MOS*. Pour les dispositifs *VDMOSFET* de puissance, les techniques courant continu - courant-tension (*DC-IV*) [83]–[86], pompage de charge (*CP*) [85], [87], [88], , capacité-tension (*C-V*) [89], *ESR* [90] ont été utilisées. Ces techniques sont capables de caractériser les pièges dans l'oxyde et à l'interface des dispositifs *MOSFET*. Nous allons présenter les techniques énoncées ci-dessus mettant en évidence la génération de défauts dans l'oxyde et à l'interface pendant une contrainte *NBTI*.

III.1. Technique *DC-IV*

La technique *DC-IV* a été utilisée pour séparer la charge d'oxyde et les pièges d'interface dans l'oxyde de grille du *MOSFET* [91]. En outre, cette mesure permet de calculer les états d'interface localisés au centre de la bande interdite [91]. La technique *DC-IV* mesure le courant de recombinaison des porteurs minoritaires en excès, qui sont injectés par la jonction *p-n* polarisée en direct, via des états d'interface à l'interface *Si/SiO₂*. La figure III.1 montre la caractéristique *DC-IV* obtenue à partir d'un échantillon stressé *IRF9530N*. Le courant mesuré avec balayage de la tension de grille montre un pic à une certaine tension de grille. La valeur du courant I_{pic} correspond au cas où la moyenne du niveau de quasi-Fermi à la surface ($(E_{fn}+E_{fp})/2$) coïncide avec l'énergie intrinsèque de Fermi (E_i). C'est également là où la concentration des électrons est égale à celle des trous à la surface. Le transistor *VDMOSFET* a une structure « *gated diode* », qui peut être utilisée pour effectuer la mesure *DC-IV* [86]. Pour cette technique de mesure, la source et le drain sont connectés ensemble et polarisés en direct par rapport au substrat.

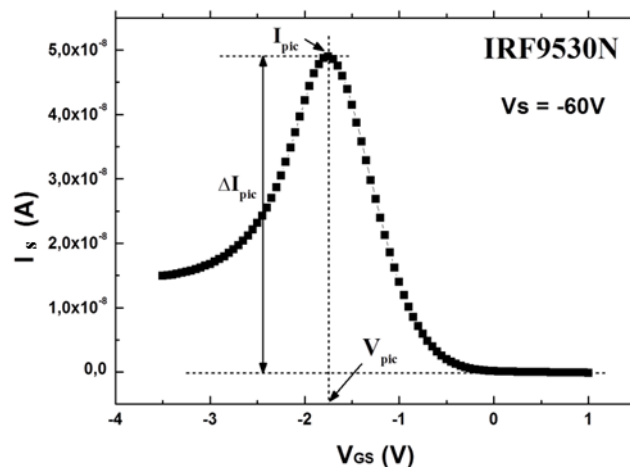


Figure III.1: Mesure *DC-IV* d'un transistor *VDMOSFET* *IRF9530N*

III.2. Technique de pompage de charge (CP)

La technique de pompage de charge a été introduite par Brugler et Jaspers [92] à la fin des années 1960 et a été étudiée par Elliot dans les années 1970 [93]. Cette technique est une caractérisation électrique permettant de quantifier la densité d'états d'interface d'un transistor MOS. Elle peut notamment être utilisée pour l'étude de la génération de défauts à l'interface [94] pendant une contrainte *NBTI*.

Le montage expérimental utilisé dans la technique *CP* est représenté dans la **figure III.2**. Le générateur de fonctions *Keithley 3940* est utilisé pour générer un signal de différentes formes (carré, triangulaire, sinusoïdal, etc) et à différentes fréquences (hautes et basses). Il permet aussi de générer une tension continue (*dc* ou *offset*). Cette dernière est utilisée pour faire varier le niveau bas (V_L) ou le niveau haut (V_H) du signal appliqué à la grille du transistor. Ce signal d'amplitude (ΔV_G) nous a permis de faire basculer le transistor du régime d'accumulation au régime d'inversion. Le générateur est relié à un oscilloscope pour visualiser la forme du signal. La polarisation inverse de la jonction source-substrat et drain-substrat (V_R) est effectuée à l'aide de la source de tension du *Keithley 617*. Notons que cette polarisation permet de réduire la composante géométrique. Les mesures sont contrôlées par un ordinateur grâce au programme développé sous *LabVIEW*.

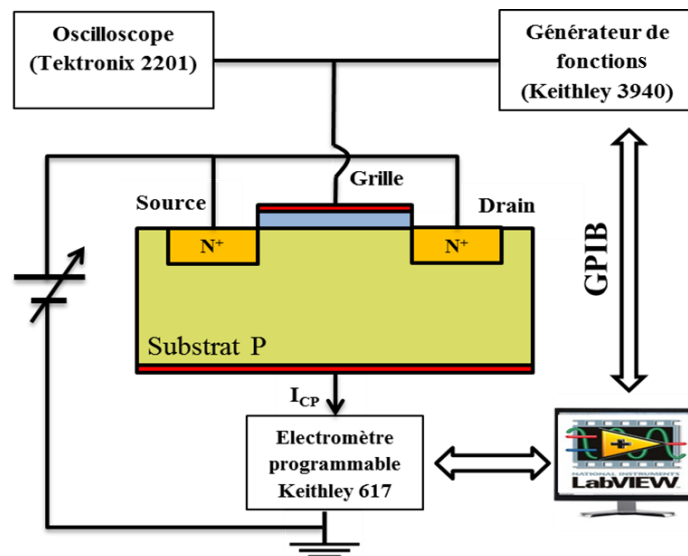


Figure III.2 : Montage expérimental de base de la technique du pompage de charge

III.2.1. Théorie de base et mécanisme du pompage de charge

Brugler et Jespers [92] ont proposé un modèle simple pour l'effet de pompage de charge dans les transistors *MOSFET*. Lorsqu'une impulsion appliquée sur la grille d'un transistor *MOSFET* à canal *n* (représenté dans la figure III.2) repousse la surface à l'inversion, les électrons vont passer de la source et le drain vers la surface de *p-substrat* et formeront un canal *n*. Les pièges d'interface à l'interface *Si/SiO₂* vont capturer une fraction des porteurs minoritaires (les électrons). Lorsque le substrat est en régime d'accumulation sous l'action d'impulsions de la tension de grille, les électrons vont revenir de nouveau vers la source et le drain en raison de la polarisation inverse (V_R). Le passage alternatif de l'accumulation permet de générer un courant du substrat issu de la recombinaison de porteurs dans le canal entre les charges piégées dans les états d'interface (les électrons) et les porteurs majoritaires (les trous). Le courant de pompage de charges (I_{CP}) mesuré au niveau du substrat est donné par :

$$I_{CP} = fqA_G \overline{D_{it}} \Delta E \quad (III.1)$$

D'où ΔE s'écrit :

$$\Delta E = E_{em,h} - E_{em,e} = 2kT \ln \left(v_{th} n_i \frac{|V_{th} - V_{fb}|}{\Delta V_G} \sqrt{\sigma_n \sigma_p} \sqrt{t_f t_r} \right) \quad (III.2)$$

Avec f est la fréquence, A_G est l'aire de la grille du transistor, D_{it} est la densité des pièges à l'interface ($\text{cm}^{-2} \text{eV}^{-1}$), $E_{em,e}$ et $E_{em,h}$ sont, respectivement, le niveau d'énergie d'émission d'électrons et le niveau d'énergie d'émission de trous, v_{th} , σ_n , σ_p , n_i , V_{fb} , V_{th} , ΔV_G sont la vitesse thermique des porteurs de charge, la section de capture efficace des électrons, la section de capture efficace des trous, la concentration intrinsèque, la tension de bande plate, la tension de seuil, et l'amplitude d'impulsion, respectivement.

D'après Elliot [93], l'amplitude d'impulsion de la grille est maintenue constante tandis que la base de l'impulsion de la grille varie de l'inversion à l'accumulation. Heremans et al. [95] ont expliqué plus clairement la courbe courant de pompage de charge - tension d'Elliot en variant le niveau de base de l'impulsion de la grille. La figure III.3 illustre la caractéristique du courant de pompage de charge en fonction du niveau bas de l'impulsion de la grille ($I_{CP}(V_L)$) d'un transistor *MOSFET* à canal *n*. Les niveaux relatifs de l'impulsion de grille aux tensions de seuil et de bande plate sont présentés dans cinq zones de fonctionnement, qui correspondent à chaque région du courant de pompage de charge.

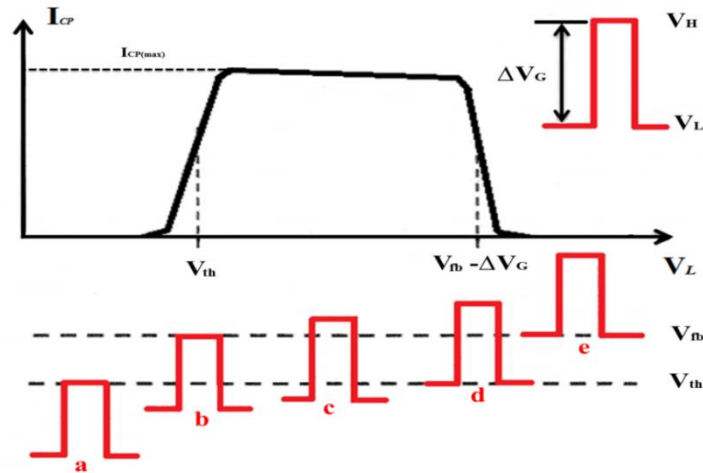


Figure III.3 : Caractéristique courant de pompage de charge en fonction du niveau bas de l'impulsion de la grille (V_L) dans un *MOSFET* à canal n

Zone a ($V_H < V_{th}$) : le transistor est en forte inversion, et donc le pulse $\Delta V_G = (V_L - V_H)$ ne permet pas de sortir de ce régime. Aucun courant pompé I_{CP} n'est mesuré.

Zone b ($V_{th} < V_H < V_{fb}$) : Les pièges d'interface sont principalement chargés positivement et ne sont plus inondés d'électrons. Donc, le processus de recombinaison en faible accumulation détermine le courant de pompage de charge dans cette région de transition.

Zone c ($V_H > V_{fb} > V_{th} > V_L$) : Le pulse sur la grille permet de faire passer le substrat de l'accumulation à l'inversion. Les électrons et les trous remplissent alternativement les pièges d'interface. Dans cette région, le courant de pompage de charge est donné par l'équation (III.1).

Zone d ($V_{th} < V_L < V_{fb}$) : Dans cette phase, le substrat n'est plus en accumulation et le courant de pompage de charge commence à diminuer.

Zone e : L'impulsion est totalement au-dessus de la tension de la bande plate et le substrat est en accumulation. Les pièges d'interface sont occupés par des électrons et donc aucun courant de recombinaison n'est mesuré.

Groeseneken et al. [94] ont expliqué les processus actuels de pompage de charge. Leur modèle a été développé pour capter le courant $I_{CP(max)}$ qui est obtenu lorsque le niveau V_L de l'impulsion est inférieur à la tension de la bande plate et que le niveau V_H est au-dessus de la tension de seuil ($V_L < V_{fb} < V_{th} < V_H$) dans un transistor *MOS* à canal n . Une technique de pompage de charge modifiée pour un transistor *VDMOSFET* à canal n a été introduite par

Habas et al. [87]. Pour le transistor de puissance *VDMOSFET* à canal *p*, Prevost et al. [96] ont rapporté une caractérisation de dispositifs irradiés par rayons X en utilisant la technique de pompage de charge. Par ailleurs, Witczak et al. [88] ont utilisé la technique de pompage de charge pour étudier les transistors *VDMOSFET* irradiés à quatre terminaux qui ont des contacts de substrat et de la source séparés.

La **figure III.4** représente le montage expérimental de la technique du pompage de charge d'un transistor *VDMOSFET* à canal *n*. Dans cette configuration, la région de pompage de charge réelle est l'interface de drain $\text{SiO}_2/\text{n-epi}$. Le contact de la source court-circuité avec la région *p-substrat* se comporte comme une source de type *p* dans un *MOSFET* classique, tandis que la région de drain de type *n* se comporte comme un substrat. C'est donc la même configuration que la mesure de pompage de charge dans un *MOSFET* à canal *p* classique.

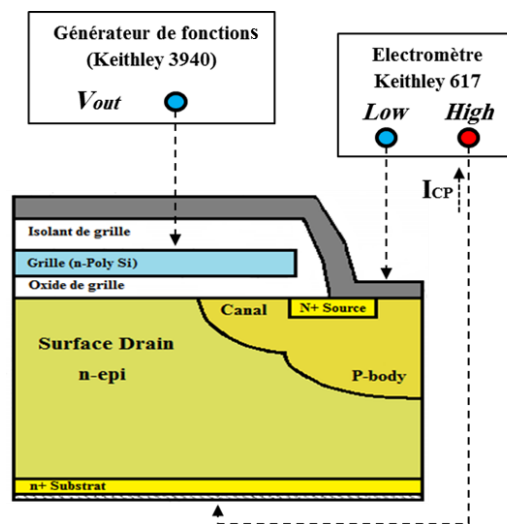


Figure III.4 : Montage expérimental de la technique du pompage de charge d'un transistor *VDMOSFET* à canal *n*

III.3. Technique C-V

La mesure des caractéristiques Capacité-Tension (*C-V*) est particulièrement utile pour caractériser les transistors *MOS*. Parmi les propriétés étudiées, on trouve les charges d'oxyde dans l'oxyde de grille, les pièges d'interface, la durée de vie des porteurs minoritaires, la mobilité des porteurs et le profil de dopage [97]–[99]. Pour les transistors *VDMOSFET*, plusieurs études ont été rapportées dans la modélisation des caractéristiques de la capacité de grille totale [100]–[103]. Cependant, en raison de la structure complexe d'une cellule

VDMOSFET, les données des capacités inter-terminaux présentent des formes relativement complexes, qui se composent de la contribution de la région de drain, la région de canal non dopée de façon uniforme, l'isolant de grille recouverte, le métal de grille et les autres composants de la capacité parasite.

La **figure III.5** illustre une coupe transversale d'une demi-cellule de transistor *VDMOSFET* à canal *n* avec des composants capacitifs et un circuit équivalent simplifié d'un transistor *VDMOSFET*. Dans cette structure, les caractéristiques *C-V* mesurées entre la grille et la source (C_{GS}) et entre la grille et le drain (C_{GD}) sont déterminées par le fait que le potentiel de surface du semi-conducteur à l'interface Si/SiO_2 est en accumulation, déplétion ou inversion.

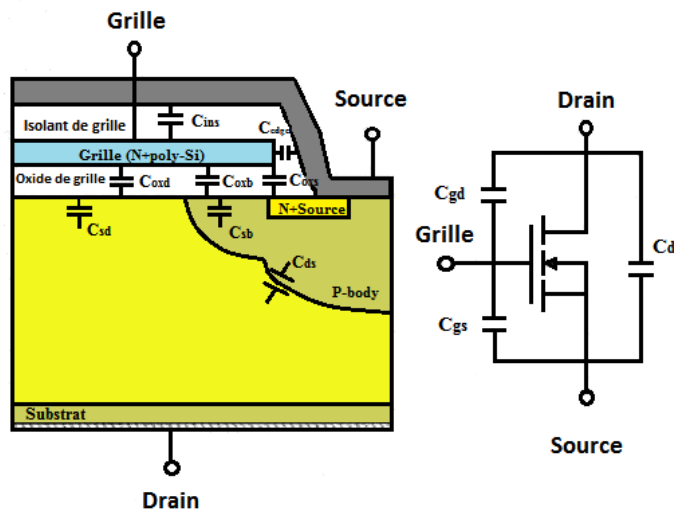


Figure III.5 : Coupe transversale d'une demi-cellule de transistor *VDMOSFET* à canal *n*

La **figure III.6** montre la caractéristique Capacité-tension $C(V_{GS})$ des capacités C_{GD} et C_{GS} dans un *VDMOSFET* à canal *n* (*IRF510*). Les distributions des charges internes dans le dispositif à différentes tensions de grille sont illustrées dans la **figure III.7**. Pendant la mesure, la tension de grille a été balayée du négatif au positif.

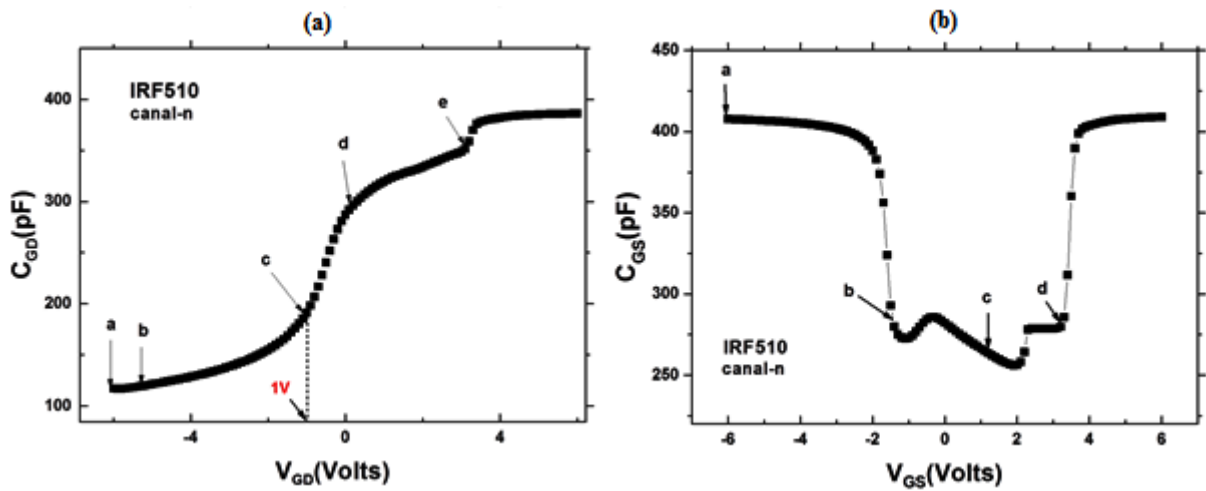


Figure III.6 : Caractéristiques $C(V_{GS})$ d'un transistor *VDMOSFET* à canal *n*

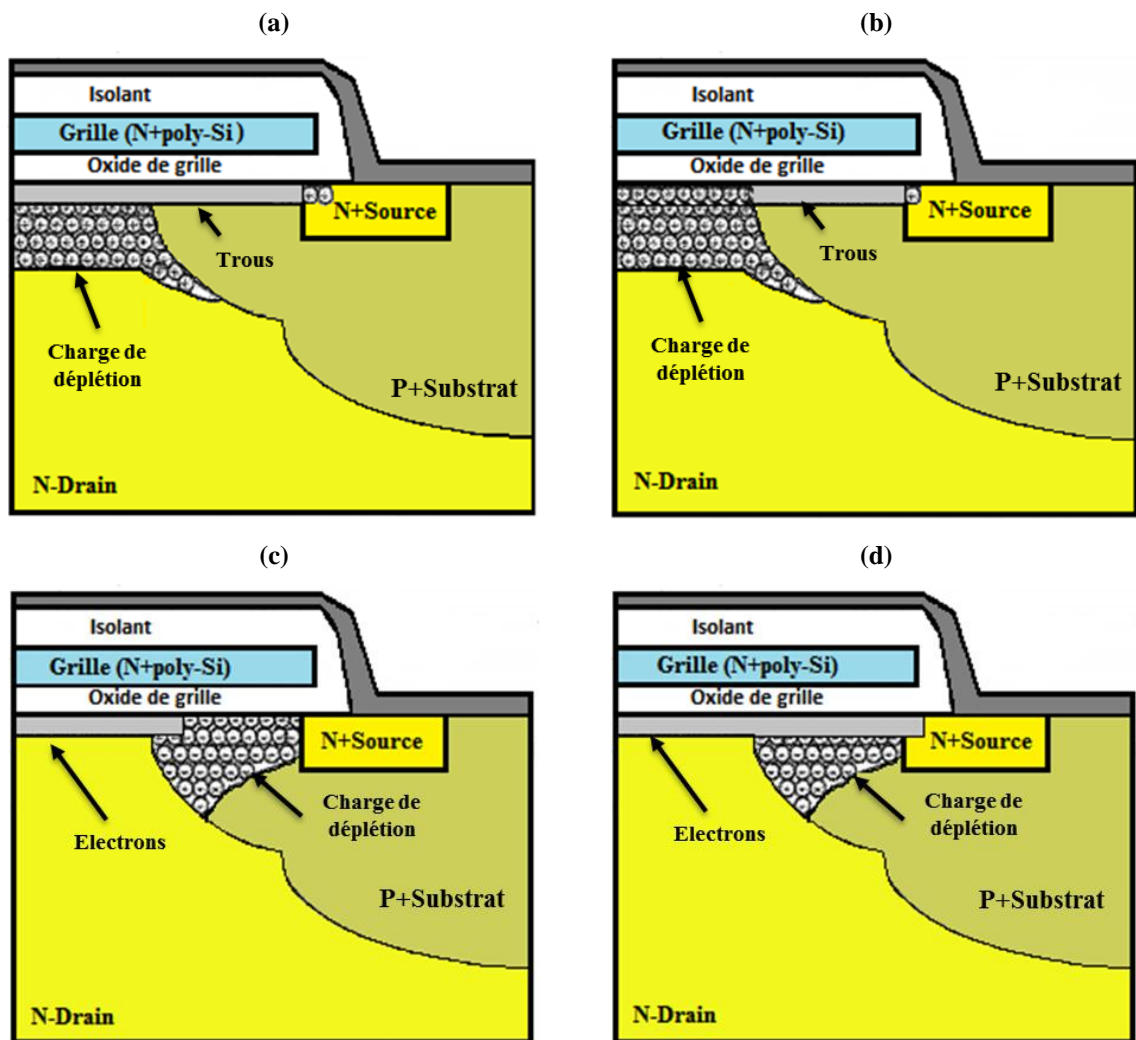


Figure III.7 : Distribution des charges internes dans un transistor *VDMOSFET* à différentes régions de tension de grille

III.3.1. Capacité grille-drain (C_{GD})

Nous commençons le balayage de la tension de grille à partir de la plus grande valeur négative marquée comme « a » dans la **figure III.6 (a)**. Lorsque la tension de grille augmente à une direction de tension positive, C_{GD} reste à peu près constante jusqu'à ce que la surface du drain quitte la forte inversion et entre dans le mode de faible inversion. C_{GD} est alors une série de capacité constituée de capacité d'oxyde de grille (C_{oxd}) et de capacité de déplétion maximale de la région de drain (C_{sd-max}). Ainsi, la capacité est donnée par :

$$C_{GD} = \frac{C_{oxd} \cdot C_{sd-max}}{C_{oxd} + C_{sd-max}} = \left(\frac{C_{ox} \cdot C_{d-max}}{C_{ox} + C_{d-max}} \right) A_{drain} \quad (III.3)$$

Où C_{oxd} et C_{sd-max} sont la capacité d'oxyde de grille et la capacité de déplétion maximale de la région de drain, respectivement. A_{drain} est la surface spécifique du drain sous l'oxyde de grille. C_{ox} et C_{d-max} sont la capacité d'oxyde de grille et la capacité de déplétion maximale par unité de surface, respectivement. Dans ce cas, les trous dans la région de surface du drain fortement inversé sont alimentés à partir de la région *p-substrat* accumulée (voir **figure III.7 (a)**). Cependant, les trous ne répondent pas au signal de grille alternatif (*ac* pour *alternative current*), car le *p-substrat* est flottant par rapport au potentiel *ac*. La largeur de déplétion de la région de surface de drain reste à peu près constante après l'apparition de la forte inversion. La largeur de déplétion maximale à la surface de drain W_{dmax} est donnée par :

$$W_{dmax} = \sqrt{\frac{4\varepsilon_s kT}{q^2 N_D} \ln\left(\frac{N_D}{n_i}\right)} \quad (III.4)$$

Où N_D est la concentration de dopage de surface de drain et ε_s est la constante diélectrique du silicium.

La valeur marquée comme « c » dans la **figure III.6 (a)** (le coude sur la courbe C_{GD} près de $V_{GD} = -1V$) est liée aux potentiels de surface dans la surface de drain qui quittent la forte inversion et entre dans la déplétion (voir la **figure III.7 (b)**). Continuez à augmenter la tension de grille entraîne une diminution de la largeur de région de déplétion et donc une augmentation de la capacité mesurée. A la tension de grille près du point indiqué comme «c» sur la **figure III.6 (a)**, les électrons accumulés sont induits dans la surface du drain. Les électrons accumulés commencent à pénétrer dans le bord latéral de drain de la surface *p-*

substrat de déplétion vers n^+ -*source* pour former une couche d'inversion qui atteint le bord du n^+ -*source* à la tension de grille indiquée comme «e» (voir aussi la [figure III.7 \(c\)](#)). Par conséquent, la capacité mesurée augmente avec l'augmentation de la tension de grille à cause de l'expansion d'électrons en direction du bord n^+ -*source*. Ainsi, la différence de capacité entre «d» et «e» sur la courbe de la [figure III.6 \(a\)](#) correspond à la capacité d'oxyde de grille de la région de p^+ -*substrat*, c'est-à-dire C_{oxb} sur la [figure III.5](#). Une petite augmentation de la tension de grille au-delà de «e» conduit à une forte augmentation de la capacité, puis la capacité atteint sa valeur maximale lorsque la tension de grille augmente encore. La capacité maximale est la somme de la capacité d'oxyde de grille sous le poly-silicium de grille (C_{ox}), la capacité d'isolant de grille (C_{ins}) et la capacité parasite de bord d'oxyde de grille (C_{edge}).

III.3.2. Capacité grille-source (C_{GS})

Pour une grande tension de grille négative, la capacité C_{GS} est la somme de la capacité d'oxyde de grille (C_{ox}) et la capacité d'isolant de grille (C_{ins}). Ceci inclut la capacité de bord d'oxyde de grille (C_{edge}). Une forte inversion et une forte accumulation des trous de la zone p^+ -*substrat* ont lieu à la surface *n-drain* et à la surface p^+ -*substrat*, respectivement (voir [figure III.7 \(a\)](#)). La capacité de déplétion du drain n'est pas impliquée dans la capacité totale parce que les trous dans la couche inversée sont fournis par le p^+ -*substrat* et ils répondent pleinement au potentiel alternatif (*ac*).

Lorsque le potentiel de surface dans la surface du drain quitte la condition de forte inversion, la capacité C_{GS} diminue rapidement jusqu'à ce que le potentiel de surface atteigne l'apparition de la forte inversion à la tension de grille indiquée comme «b» dans la [figure III.6 \(b\)](#) (voir aussi la [figure III.7 \(b\)](#)). La courbe de la capacité forme un coude, tandis que le potentiel de surface passe de la forte inversion à la faible inversion. Suite à l'augmentation de la tension de grille à la direction de tension positive au-delà de «d», le potentiel de surface de drain passe de la faible inversion à la bande plate, et donc la capacité diminue progressivement. La variation de la capacité entre le coude et le point «c» est due au changement de potentiel de surface dans la surface de drain. La capacité mesurée à la tension de grille indiquée comme «c» est la somme de la capacité d'isolant de grille (C_{ins}), la capacité en série constituée de la capacité d'oxyde de grille (C_{oxb}) et la capacité de déplétion (C_{sb}) de la région p^+ -*substrat*. Lorsque la tension de grille augmente au-delà du point «c», les électrons accumulés à la surface du drain commencent à pénétrer dans la surface p^+ -*substrat* vers la

région *n-source*. Lorsque la pénétration des électrons augmente, la capacité mesurée diminue car les électrons réduisent la surface effective des capacités en série dans la région *p-substrat* (voir [figure III.7 \(c\)](#)). L'expansion de la largeur de déplétion de la région *p-substrat* est également responsable d'une partie de la diminution de la capacité. A la tension de grille indiquée comme « d », les électrons atteignent la région *n-source* et forment un passage du courant de conduction. Par conséquent, la capacité mesurée augmente considérablement jusqu'à atteindre le maximum.

III.4. Technique *ESR* (*Electron Spin Resonance*)

La résonance magnétique (*MR* pour *Magnetic Resonance*) a été découverte par le physicien russe Yevgeny Zavoisky en 1944 [104]. Dès lors, cette technique a été appliquée dans de nombreux domaines. Les techniques de résonance magnétique les plus couramment utilisées sont : *EPR*, *NMR* (*Nuclear Magnetic Resonance*), *MRI* (*Magnetic Resonance Imaging*), *ODMR* (*Optically Detected Magnetic Resonance*), *EDMR*, etc.

La résonance de spin électronique est la technique la plus puissante pour identifier des défauts à l'échelle atomique dans les matériaux électroniques. La spectroscopie *EPR* ou *ESR* est une spectroscopie d'absorption permettant d'étudier des espèces contenant des centres paramagnétiques, c'est-à-dire possédant un ou plusieurs électrons non appariés (comme les défauts paramagnétiques dans les dispositifs à semi-conducteurs) [105]–[107].

La spectroscopie *EPR* tire avantage du fait que les électrons ont une propriété de la mécanique quantique appelée « *spin* » (moment magnétique) désigné par M_s [106]. Pour un système de spin électronique $S = 1/2$, les deux orientations possibles du spin déterminent deux états ($M_s = +1/2$ et $M_s = -1/2$) qui sont dégénérés en absence du champ magnétique extérieur B . L'interaction entre le champ magnétique B et le système de spin considéré est appelée « *interaction Zeeman* ». Elle provoque l'apparition de deux niveaux d'énergie, $M_s = +1/2$ et $M_s = -1/2$. La différence d'énergie ΔE entre les deux états est proportionnelle à l'amplitude du champ appliqué (voir [figure III.8](#)). A cette interaction se rajoute un terme représentant l'interaction entre le spin électronique du centre paramagnétique et les spins nucléaires non nuls environnants. Ce phénomène, appelé « *interaction hyperfine* », induit une multiplicité des raies. Encore une fois, les détails des interactions hyperfines sont bien documentés dans divers livres [106], [108]–[111]. Dans le cas $S = 1/2$ et $I = 1$, chaque niveau ($M_s = +1/2$ et $M_s = -1/2$) est subdivisé en trois niveaux correspondant à chaque valeur possible de M_I ($M_I = -1,$

$M_I = 0$ et $M_I = +1$). Pour un système isotrope l'*Hamiltonien* de spin qui décrit les interactions auxquelles est soumis ce système est :

$$H = H_{Zeeman} + H_{Hyperfine} = g\beta\vec{B}\vec{S} + A\vec{S}\vec{I} \quad (III.5)$$

Avec le facteur g égal à 2,0023 pour un électron isolé, β est le magnéton de Bohr électronique ($9,274.10^{-24}$ J/T), A est la constante de couplage hyperfine, B est le champ magnétique extérieur et S et I sont les opérateurs de spin électronique et nucléaire, respectivement. Le terme *Zeeman* est largement supérieur au terme de structure hyperfine qui peut être considéré comme une perturbation de ce dernier. Les énergies au premier ordre sont données par l'expression :

$$E = M_s (g\beta B + AM_I) \quad (III.6)$$

Avec $M_s = \pm 1/2$ et $M_I = -1, 0, +1$.

Une expérience de spectroscopie *EPR* est basée sur l'application d'un rayonnement électromagnétique à une fréquence ν fixe. En onde continue, un spectre *EPR* est enregistré en gardant ν constante et en variant continûment le champ magnétique. La condition de résonance n'est réalisée que lorsque les règles de sélection $\Delta M_s = \pm 1$ et $\Delta M_I = 0$ (voir [figure III.8](#)) sont vérifiées et lorsque l'écart d'énergie entre les deux niveaux équivalents exactement à l'énergie du rayonnement électromagnétique appliqué :

$$\Delta E = h\nu = g\beta B + AM_I \quad (III.7)$$

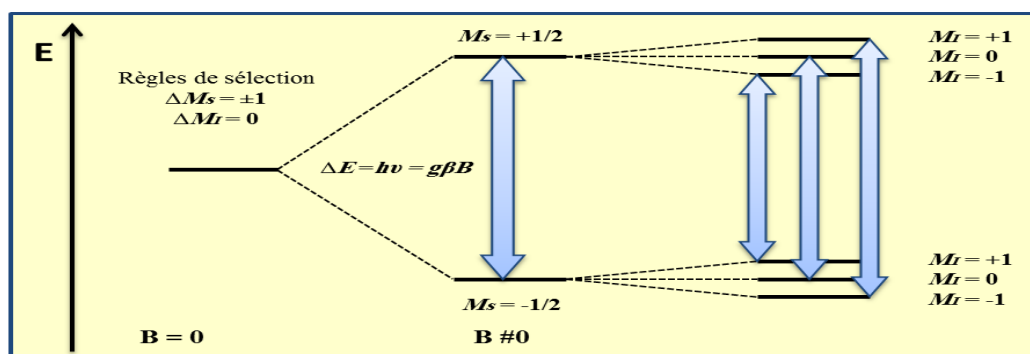


Figure III.8 : Diagramme des niveaux d'énergie pour un système de spin $S = 1/2$ et $I = 1$

Les conditions de résonance sont vérifiées pour trois valeurs différentes du champ magnétique extérieur, appelé *champ magnétique résonant* B_{MI} est donné par :

$$B_{+1} = (h\nu + AM_I) / g\beta$$

$$B_0 = h\nu / g\beta$$

$$B_{-1} = (h\nu - AM_I) / g\beta$$

Avec B_{+1} , la raie à bas champ, B_0 la raie à champ central et B_{-1} , la raie à champ élevé (voir [figure III.9](#)). Le spectre *EPR* que l'on obtient est composé de trois raies équidistantes et séparées d'un même écartement en champ déterminé par $A/g\beta$.

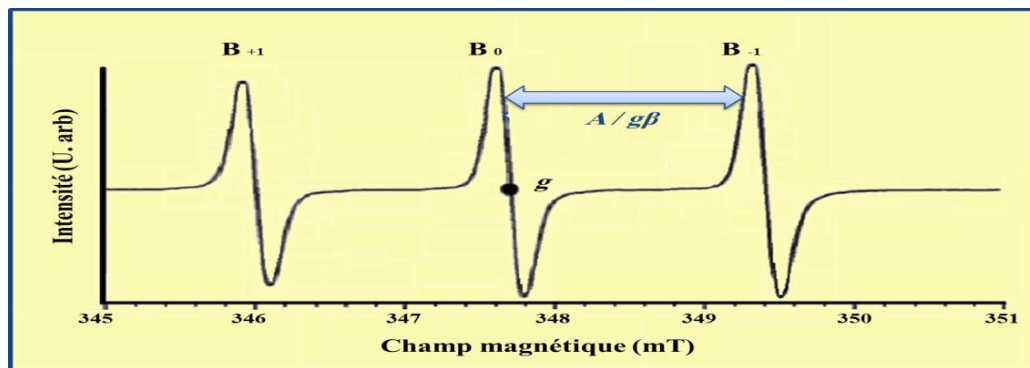


Figure III.9 : Signal *EPR* d'un système $S = 1/2$ et $I = 1$

III.4.1. Spectroscopie *EDMR* (*Electrically Detected Magnetic Resonance*)

La technique *EDMR* est une technique *EPR* très sensible qui est utilisée pour identifier les défauts dans les dispositifs à semi-conducteurs. Plus précisément, l'*EDMR* a une sensibilité plus élevée que celle de l'*EPR* (*EDMR* au moins 10^7 plus sensible qu'une *EPR* classique). La technique *EDMR* permet la détection électrique des défauts à l'échelle atomique, tels que les liaisons pendantes ou le phénomène de transport lié au spin dans les dispositifs micro ou nanoélectroniques entièrement traités. De nombreux travaux exploitant la technique *EDMR* ont déjà été effectués sur des dispositifs qui comprennent les transistors à effet de champ (*MOSFET*) [14], [112]–[115], les transistors bipolaires (*BJT*) [116], [117], les cellules solaires [118], [119], et les condensateurs [120]. La détection de la résonance magnétique de ces défauts permet la détermination de la nature physique et chimique de la structure des défauts, ce qui permet de comprendre la physique derrière les limitations qu'ils provoquent au niveau de la performance des composants.

Dans ce travail, nous avons utilisé deux variantes de la technique *EDMR*, à savoir ; *SDR* et *SDCP* appliqués sur des transistors de puissance *VDMOSFET* entièrement traités. Les

spectroscopies *SDR* et *SDCP* sont des techniques *EPR* dans lesquelles la résonance est détectée par la mesure du courant de recombinaison et du courant de pompage de charge, respectivement [121]. La **figure III.10** donne un schéma illustratif des mécanismes mis en jeu dans les techniques *SDR* et *SDCP*.

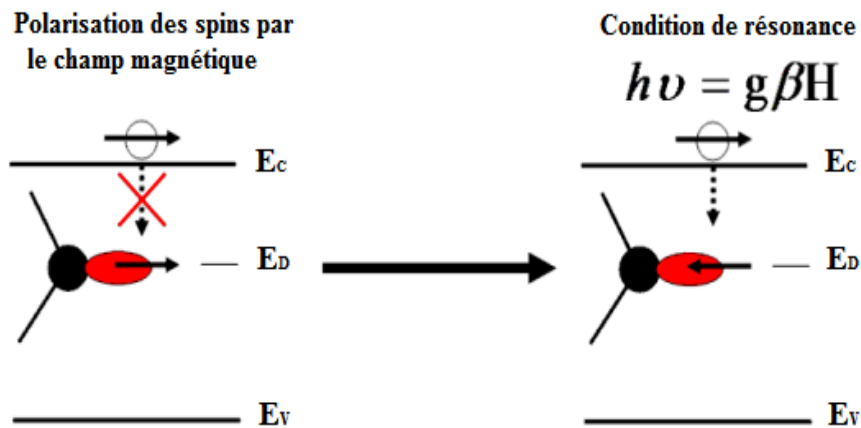


Figure III.10 : Principe d'exclusion de Pauli concernant les techniques *EDMR*

L'identification de la microstructure des défauts induits par la dégradation *NBTI* est primordiale pour comprendre les mécanismes physiques qui sont derrière cette dégradation. Pour cette raison, dans ce travail, nous avons développé un spectromètre basé sur les méthodes *EDMR* (*SDR* et *SDCP*). Le spectromètre *EDMR* à faible champ (< 200Gauss) offre de nombreux avantages significatifs par rapport à une *EPR* conventionnelle. Parmi ces avantages, on peut citer :

- Le coût qui est réduit de manière significative ;
- Le poids qui est sensiblement plus faible ;
- La sensibilité qui est 10 millions de fois plus élevée (par rapport à celle de l'*EPR* conventionnelle, cela est dû à la dépendance du courant mesuré aux mécanismes en relation avec le spin [122]).

III.4.1.1. Description du spectromètre réalisé

L'avantage du spectromètre *EDMR* proposé (voir [figure III.11](#)) est qu'il se branche directement sur la carte son d'un micro-ordinateur, ce qui lui offre une excellente portabilité.



Figure III.11 : Spectromètre *EDMR* réalisé

La [figure III.12](#) donne un schéma synoptique du produit proposé. Le montage comprend deux paires de bobines d'Helmholtz, un circuit résonant, un Gauss-mètre pour la mesure et l'acquisition du champ magnétique, une alimentation *dc* programmable, un amplificateur du signal *EDMR*, un générateur et un amplificateur audio, un générateur et un amplificateur radiofréquence, un amplificateur à détection synchrone virtuelle (*virtual lock-in amplifier*), un régulateur *PID* (proportionnel, intégral, dérivé) numérique du champ magnétique.

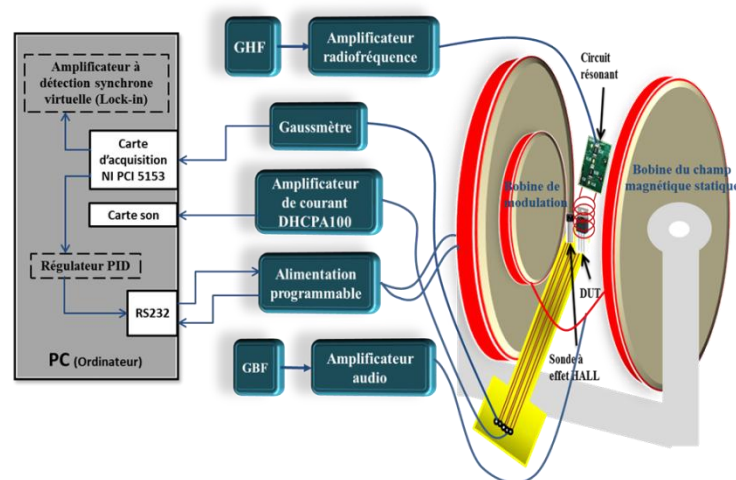


Figure III.12 : Schéma synoptique du spectromètre *EDMR*

III.4.1.2. Bobines d'*Helmholtz*

Les deux paires de bobines présentées dans la **figure III.13** ont pour but de générer un champ magnétique statique uniforme sur lequel est superposé un champ magnétique sinusoïdal. Le but est de moduler le signal *EDMR* pour pouvoir l'extraire du bruit important du montage (voir *lock-in amplifier* dans la section V.2.6). Les caractéristiques des deux paires de bobines sont résumées dans le **tableau III.1**. La réalisation de la bobine est détaillée dans la référence [123].



Figure III.13 : Bobine d'*Helmholtz* réalisée

N°	Spécification	Valeur
1	Nombre de tours par enroulement	$N_m = 95, N_g = 430$
2	Diamètre de fil	$D = 1 \text{ mm}$
3	Diamètre interne de la bobine	$R_m = 4.7 \text{ cm}, R_g = 9 \text{ cm}$
4	Largeur de la bobine	$H_m = 1.6 \text{ cm}, H_g = 2.2 \text{ cm}$
5	Profondeur de la bobine	$D_m = 1 \text{ cm}, D_g = 2 \text{ cm}$
6	Matériel de construction	Amagnétique
7	Intensité du champ magnétique	$B_m = 40 \text{ Gauss}, B_g = 200 \text{ Gauss}$
8	Masse de la bobine	2 Kg

Tableau III.1 : Caractéristiques des deux paires de bobines d'*Helmholtz*, l'indice *m* pour la bobine de modulation et *g* pour la bobine de génération du champ statique

III.4.1.3. Régulation du champ magnétique et génération d'une rampe

L'interaction la plus importante extraite par la technique *EDMR* à faible champ est l'interaction hyperfine (interaction spin d'électron et spin nucléaire) [124]. L'interaction hyperfine est généralement observée par des résonances additionnelles au voisinage de la résonance principale due à la résonance de spin des défauts paramagnétiques. Si le champ magnétique n'est pas suffisamment précis et contrôlé, la résonance hyperfine sera chevauchée avec la résonance principale. Pour cette raison, le champ magnétique doit être correctement mesuré et contrôlé (par régulation). La **figure III.14** donne le schéma synoptique de la chaîne de mesure du champ magnétique.

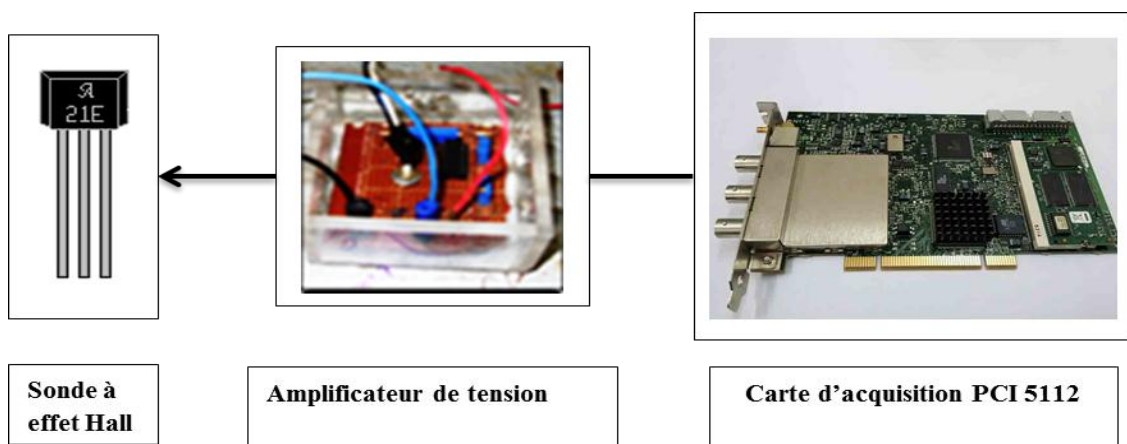


Figure III.14 : Schéma synoptique de la chaîne de mesure du champ magnétique

Pour réguler et générer une rampe du champ magnétique contrôlable (0-200Gauss), nous avons implémenté sous le logiciel *LabVIEW* un régulateur *PID* [125]. Ce dernier agit sur une alimentation contrôlée par un micro-ordinateur via un *RS232* pour contrôler le courant qui traverse la bobine, et par conséquent, la régulation du champ magnétique. Le diagramme régulateur *PID* est donné dans la **figure III.15**.

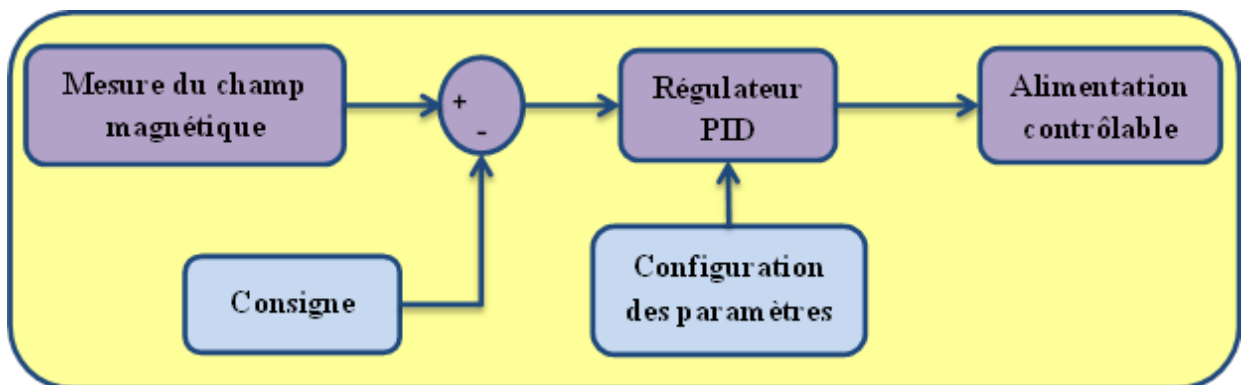


Figure III.15 : Diagramme du programme de régulation du champ magnétique

III.4.1.4. Modulation du champ magnétique

Pour une meilleure performance de l'extraction du signal *EDMR* noyé dans le bruit du montage, nous avons utilisé un générateur d'onde arbitraire *TGA1241* et un amplificateur deux canaux 500 Watts *Sony XM-N502* pour alimenter la bobine de modulation. La fréquence du signal de modulation du champ magnétique doit être supérieure à la fréquence du bruit flicker ($1/f$ *noise* est généralement fortement atténué pour des fréquences $> 1\text{kHz}$) et inférieure à la bande passante de l'amplificateur de signal *EDMR*. La bande passante de l'amplificateur dépend du gain choisi. Par conséquent, la modulation avec un signal audio (1kHz-20kHz) satisfait largement les deux conditions citées. La figure III.16 donne le montage de modulation du champ magnétique.



Figure III.16 : Modulation du champ magnétique

III.4.1.5. Circuit résonant *RF*

Pour avoir une résonance de spin lorsque l'échantillon est soumis à une application du champ magnétique externe B , il faut apporter à cet échantillon une énergie E qui est égale à l'énergie de séparation de deux spins (*spin Up et spin Down*) par l'action B (effet Zeeman). Pour obtenir cette énergie, un rayonnement électromagnétique de basse fréquence peut être implémenté à travers un circuit résonant. Il est à noter que lorsque nous manipulons à des fréquences relativement élevées ($>100\text{MHz}$), des précautions sont nécessaires sur la longueur des câbles à utiliser (si la longueur des câbles à utiliser dépasse une certaine limite, la théorie des lignes de transmission devient alors nécessaire pour la conception du circuit résonant). La longueur d'onde du signal (λ) qui se propage dans une ligne de transmission est donnée par :

$$\lambda = \frac{c}{\nu} \tag{III.8}$$

Avec c est la célérité de la lumière et ν est la fréquence du signal.

La théorie des lignes de transmission est appliquée lorsque les câbles sont électriquement longs, c'est-à-dire que la longueur des câbles est supérieure à un quart de la longueur d'onde de signal ($\lambda/4$). Dans la pratique, nous considérons un câble électriquement long lorsque sa longueur L soit :

$$L > 0.25 \frac{c}{\nu} V_F \tag{III.9}$$

V_F est le facteur de célérité du câble (généralement donné par le fabricant). Par exemple, si la fréquence du signal désiré est de 200MHz, la longueur du câble minimale nécessaire pour ne pas avoir recours à la théorie des lignes de transmission est de 18.7 cm.

Pour ne pas chevaucher la résonance avec celle du « *Zero-field* » (résonance à $B = 0$ Gauss qui peut être large de 100 Gauss (centré sur la résonance à 0 Gauss) [124]), nous avons choisi une fréquence de 200MHz. Notre résonance apparaîtra alors approximativement à 71.4 Gauss.

$$(B(G) = 357.234 \cdot \nu(GHz)) \tag{III.10}$$

La partie *RF* du spectromètre à faible champ est constituée d'un générateur de signaux *RF* Agilent 8048D (impédance de sortie 50Ω), d'un amplificateur *RF* de puissance (1.6W, 500MHz, impédance d'entrée/sortie 50Ω), d'un circuit résonant et d'une bobine d'*Helmholtz*.

Notre circuit *RF* est dimensionné de telle façon à fonctionner à la fréquence de 200MHz. Le circuit résonant utilisé dans ce travail est un circuit RLC série avec une capacité en parallèle pour adapter son impédance d'entrée à 50Ω, (voir [figure III.17](#)).

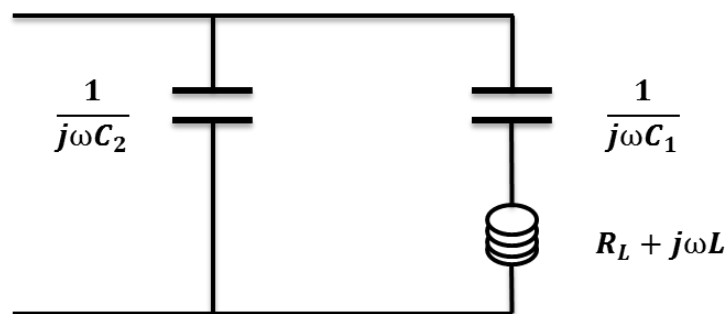


Figure III.17 : Circuit RLC

L'impédance d'entrée (Z) de notre circuit est donnée par :

$$Z_{eq} = \frac{-\frac{R}{\omega C_2} - j \left[R^2 + \left(\omega L - \frac{1}{\omega C_1} \right) \left(\omega L - \frac{1}{\omega \left(\frac{C_1 + C_2}{C_1 C_2} \right)} \right) \right]}{\omega C_2 \left[R^2 + \left(\omega L - \frac{1}{\omega \left(\frac{C_1 + C_2}{C_1 C_2} \right)} \right)^2 \right]} \quad (\text{III.11})$$

Pour simplifier l'équation III.11, quelques approximations peuvent être faites :

$$\left\{ \begin{array}{l} \frac{C_1 + C_2}{C_1 C_2} \approx \frac{1}{C_1} \quad \text{si } C_2 \gg C_1 \\ \omega L - \frac{1}{\omega C_1} = 0 \quad \text{si } \omega = \omega_0 \end{array} \right\} \quad (\text{III.12})$$

En utilisant ces approximations avec la contrainte $R_e \{Z_{eq}\} = 50\Omega$,

$$R_e \{Z_{eq}\} \approx \frac{1}{R (\omega C_2)^2} = 50\Omega \quad (\text{III.13})$$

D'où la capacité C_2 peut être calculée comme suit :

$$C_2 = \frac{1}{\omega} \sqrt{\frac{1}{50R}} \quad (\text{III.14})$$

À la résonance, la partie imaginaire de l'impédance est nulle. D'où la capacité C_1 peut être calculée comme suit :

$$Im \{Z_{eq}\} \approx \omega^2 L + R\omega - \frac{1}{C_1} = 0 \quad (\text{III.15})$$

Si l'on suppose que $\omega L \gg R$ dans la relation précédente, $R\omega$ peut donc être négligé et C_1 peut être trouvé par :

$$C_1 = \frac{1}{\omega^2 L} \quad (\text{III.16})$$

Notez que la capacité C_1 détermine la fréquence de résonance du circuit et C_2 adapte l'impédance d'entrée à 50Ω . Typiquement, C_1 et C_2 sont variables. L'inductance dans notre cas est un solénoïde dont l'inductance est calculée par :

$$L = \mu_0 \frac{N^2 A}{l} \quad (\text{III.17})$$

Où, N est le nombre de spires, A est la surface de la bobine et l est la longueur du fil de la bobine.

Le champ magnétique généré par le circuit résonant doit être perpendiculaire à celui généré par les bobines d'*Helmholtz* B (pour éviter une éventuelle composante additionnelle au champ magnétique B).

Les dimensions de la bobine sont fixées par les échantillons caractérisés dans notre travail et qui sont des transistors commerciaux *VDMOSFET IRF9530N*. Alors que la bobine comprend quatre (4) tours pour couvrir complètement les transistors dans le but d'avoir un champ magnétique uniforme. Le [tableau III.2](#) donne les valeurs des capacités C_1 et C_2 et d'inductance L obtenues pour un circuit qui résonne à 200MHz et que son impédance d'entrée est adaptée à 50Ω. Le circuit résonant est alimenté par un générateur radiofréquence *Agilent 8648D* et un amplificateur *RF 1.6W, 500MHz* (voir [figure III.18](#)).

Paramètre	Valeur
Inductance L	319 mH
Capacité C_1	1.8 pF
Capacité C_2	339 pF

Tableau III.2 : Valeurs obtenues pour le circuit RLC

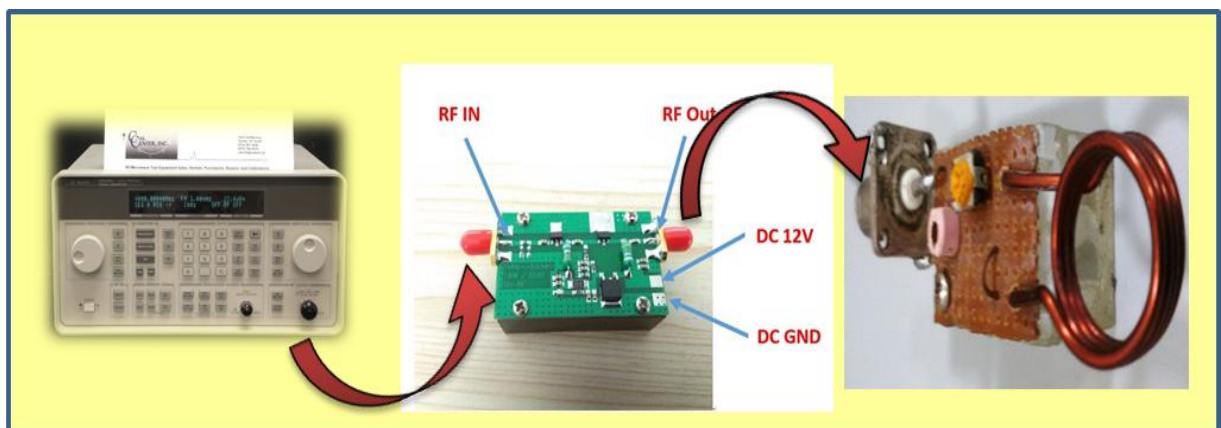


Figure III.18 : Alimentation du résonateur RLC réalisé

III.4.1.6. Chaîne de conditionnement du signal *EDMR*

Généralement, les courants mesurés dans les techniques *EDMR* sont de l'ordre du pico Ampère (pA), ce qui nécessite une amplification. Dans ce travail, nous avons utilisé deux amplificateurs de courant à gain variable (*DHPCA100*) [126], montés en cascade et séparés par un filtre passe bas de fréquence de coupure de 10kHz. Le gain de chaque amplificateur est de 10^2 à 10^8 , ce qui offre une flexibilité du gain total (voir [figure III.19](#)).

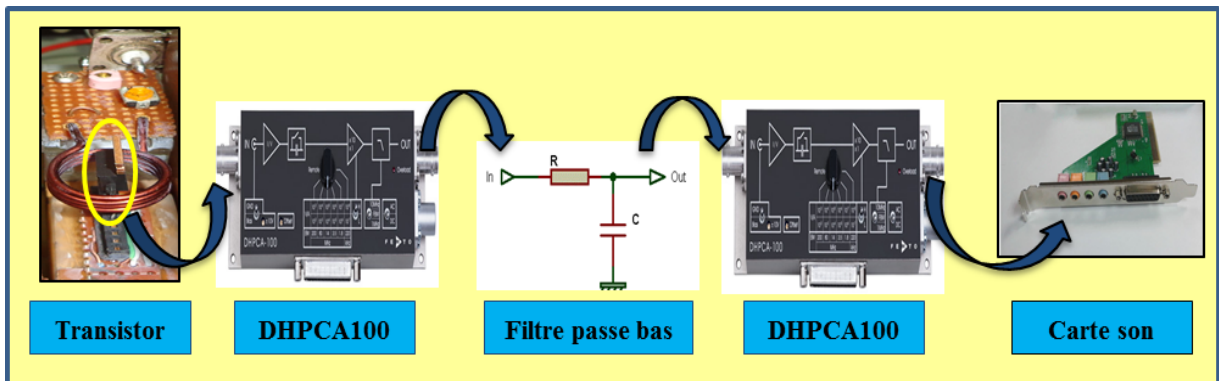


Figure III.19 : Chaîne d'acquisition du signal *EDMR*

III.4.1.7. Amplificateur à détection synchrone virtuelle

Le signal des techniques *EDMR* est noyé dans le bruit du montage et du dispositif (bruit thermique, les interférences électromagnétiques, etc.) [127]. Nous disposons de plusieurs moyens permettant de détecter un signal noyé dans le bruit, telles que les méthodes de filtrage, de corrélation et de démodulation synchrone (*lock-in amplifier*) [128], [129]. Dans ce travail, nous avons utilisé un amplificateur à démodulation synchrone virtuelle implémenté sous *LabVIEW*. La [figure III.20](#) donne le schéma synoptique de cette démodulation.

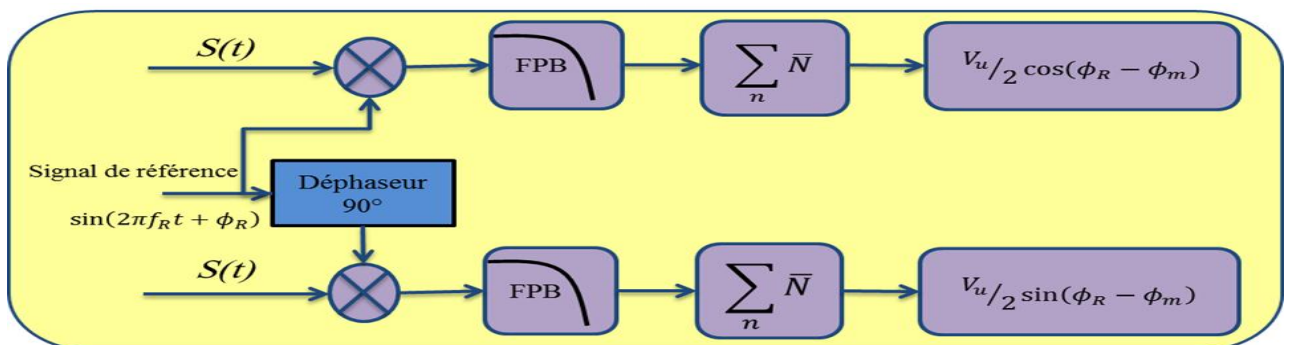


Figure III.20 : Schéma synoptique de l'amplificateur virtuel à détection synchrone

Le signal mesuré $S(t)$ peut s'écrire :

$$S(t) = u(t) + b(t) \quad (\text{III.18})$$

$u(t)$: signal utile d'EDMR (due à l'application du signal modulé) peut s'écrire :

$$u(t) = V_u \sin(2\pi f_m t + \phi_m) \quad (\text{III.19})$$

$b(t)$: bruit de mesure qui peut s'écrire comme une somme de sinusoides de différentes fréquences et amplitudes :

$$\sum_n V_n \sin(2\pi f_n t + \phi_n) \quad (\text{III.20})$$

Le signal EDMR peut être exprimé par :

$$S(t) = V_u \sin(2\pi f_m t + \phi_m) + \sum_n V_n \sin(2\pi f_n t + \phi_n) \quad (\text{III.21})$$

Après le multiplieur, le signal est donné par :

$$S(t) * R_{ref}(t) = \left(V_u \sin(2\pi f_m t + \phi_m) + \sum_n V_n \sin(2\pi f_n t + \phi_n) \right) * (\sin(2\pi f_R t + \phi_R)) \quad (\text{III.22})$$

Dans notre cas, la fréquence $f_m = f_R$, donc :

$$\begin{aligned} S(t) * R_{ref}(t) &= \frac{V_u}{2} \cos(\phi_R - \phi_m) + \\ &\quad \frac{V_u}{2} \cos(4\pi f_m t + \phi_R + \phi_m) + \\ &\quad \sum_n \frac{V_n}{2} \cos[2\pi(f_n \pm f_m) + \phi_R \pm \phi_n] \end{aligned} \quad (\text{III.23})$$

Après le filtre passe bas de fréquence de coupure $< 2f_m$, le deuxième terme est éliminé ainsi que les bruits de fréquence $< 2f_m$. En moyennant plusieurs mesures, nous pouvons éliminer le bruit :

$$x = \frac{V_u}{2} \cos(\phi_R - \phi_m) \quad (\text{III.24})$$

$$y = \frac{V_u}{2} \sin(\phi_R - \phi_m) \quad (\text{III.25})$$

L'amplitude du signal *EDMR* est alors donnée par :

$$\sqrt{x^2 + y^2} = \frac{V_u}{2} \quad (\text{III.26})$$

Et la phase est donnée par :

$$\phi_R - \phi_m = \tan^{-1}(y/x) \quad (\text{III.27})$$

La **figure III.21** donne le diagramme de l'amplificateur à détection synchrone virtuelle (*lock-in*) implémenté sous *LabVIEW*.

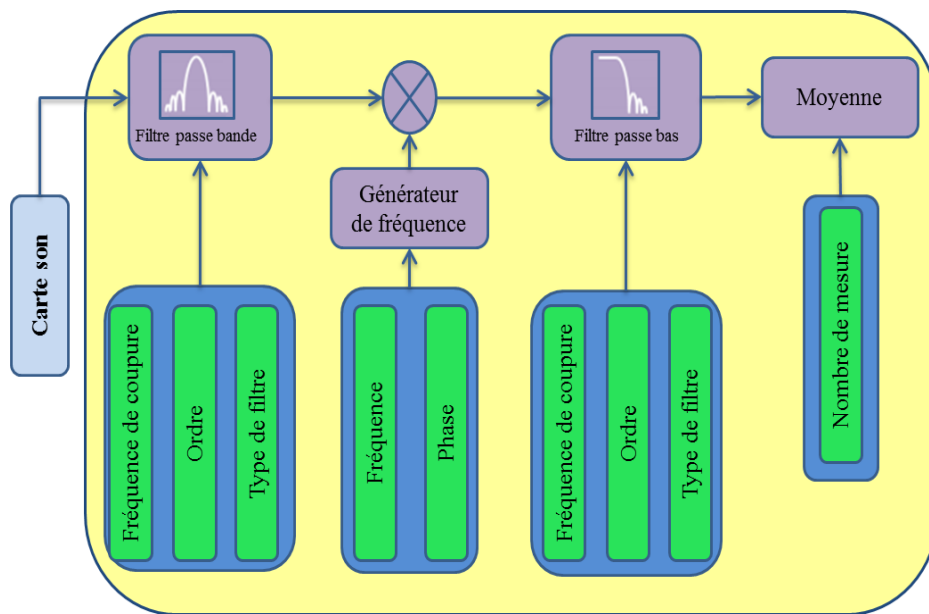


Figure III.21 : Diagramme du programme de l'amplificateur à détection synchrone virtuelle implémenté sous *LabVIEW*

III.4.1.8. Logiciel de contrôle du spectromètre *EDMR* développé

Le logiciel du spectromètre est utilisé pour contrôler et configurer les différentes parties du spectromètre :

- Amplificateur à détection synchrone (filtre, fréquence de référence, etc.) ;
- Rampe du champ magnétique statique ;
- Carte son (fréquence d'échantillonnage, nombre de bit, etc.) ;
- Sauvegarde et affichage des données de l'expérience.

La figure III.22 donne le diagramme de programme de contrôle du spectromètre et la figure III.23 présente l'interface graphique du programme de contrôle de spectromètre EDMR réalisé.

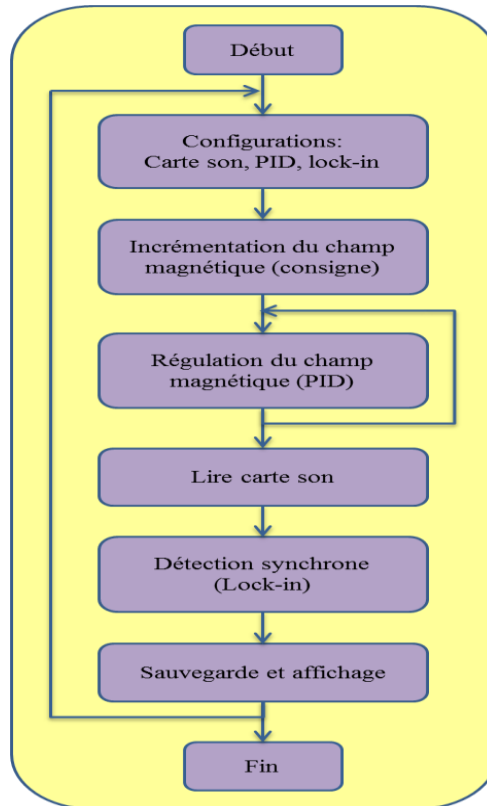


Figure III.22 : Diagramme du programme de contrôle du spectromètre EDMR développé

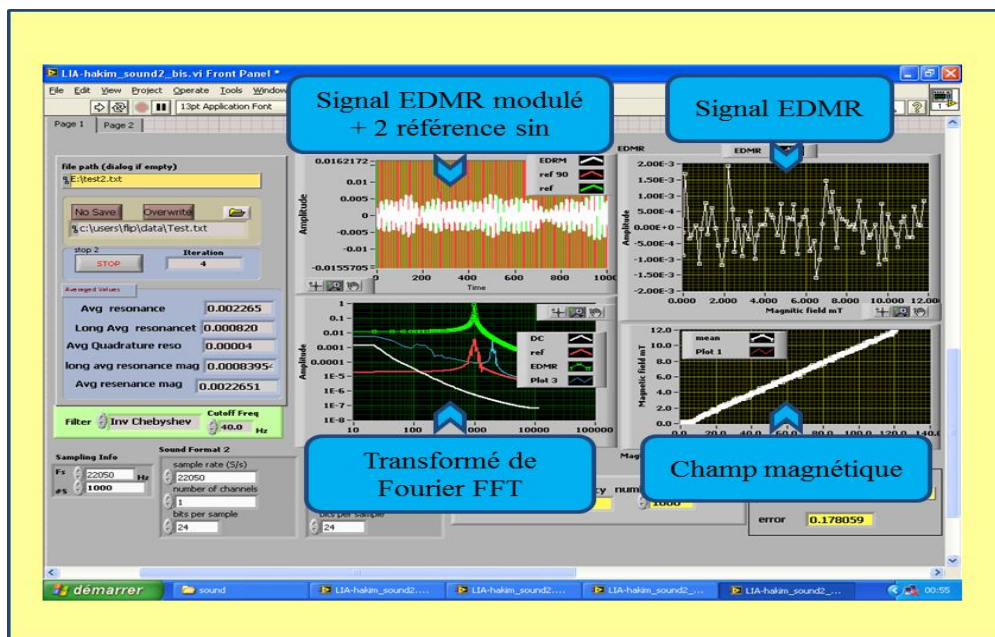


Figure III.23 : Interface du programme de contrôle du spectromètre EDMR

III.4.2. Technique *SDR* (*Spin Dependent Recombination*)

La technique *SDR* est une technique *EDMR* démontrée pour la première fois par Lepine en 1972 [130]. La *SDR* utilise les principes de l'*EPR* ainsi que le modèle Shockley-Read-Hall (*SRH*) pour la recombinaison [131], [132] et le principe d'exclusion de Pauli (PEP) [133]. Dans le modèle *SRH*, l'électron de conduction est capturé par un défaut en profondeur. Ensuite, le trou est capturé au même site de défauts ; l'électron et le trou se recombinent et le processus peut se répéter indéfiniment. Le principe PEP stipule que deux électrons avec le même nombre quantique de spin ne peuvent pas occuper la même orbite. Dans la technique *SDR*, le transistor *MOSFET* est configuré comme une diode commandée par grille pour assurer que le courant du substrat est dominé par la recombinaison à travers les états d'interface (cela correspond au pic dans la technique *DC-IV*) [91], [134]. La figure III.24 présente la caractéristique *DC-IV* pour différentes polarisations du drain pour un transistor *VDMOSFET IRF9530N* dégradé ($V_s = -60V$).

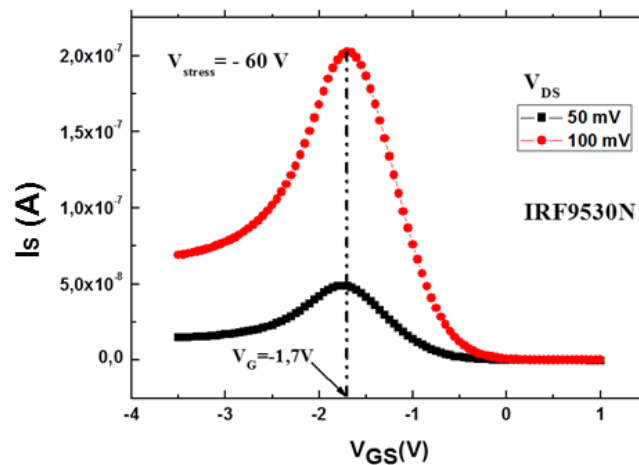


Figure III.24 : Caractéristique *DC-IV* d'un transistor *VDMOSFET IRF9530N* dégradé ($V_s = -60V$)

Le dispositif est placé dans un champ magnétique qui polarise partiellement les spins des électrons de conduction, des trous et des défauts en profondeur. Si un défaut de niveau profond et un électron de conduction ont la même orientation (c'est-à-dire le même nombre quantique de spin), la recombinaison ne peut pas se produire car elle est interdite par le principe d'exclusion de Pauli. Lorsque la condition de résonance de spin électronique paramagnétique est satisfaite, les spins d'électrons du défaut sont "renversés", ce qui

augmente la probabilité d'orientation de deux spins opposés entre les défauts en profondeur et les électrons de conduction, et par conséquent le courant de recombinaison. La *SDR* mesure justement cette augmentation du courant. Après avoir moyenné plusieurs mesures (environ 50 mesures), nous avons obtenu le spectre *SDR* présentés par la [figure III.25](#).

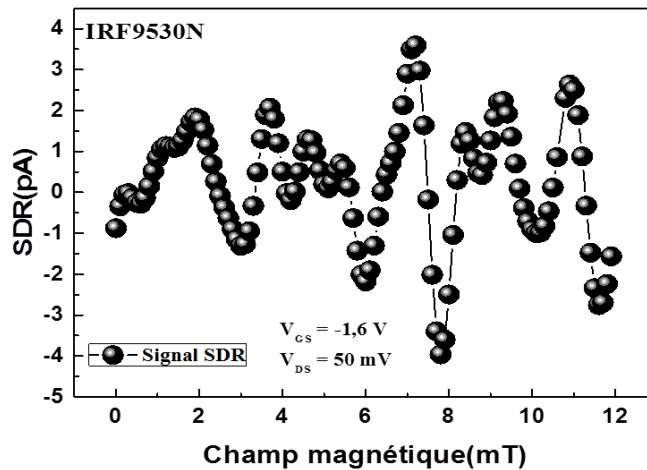


Figure III.25 : Spectre *SDR* pour le transistor *VDMOSFET IRF9530N*

Le modèle de Lepine prévoit une réponse *SDR* correspondant à des changements dans le courant de recombinaison d'environ une partie sur un million (10^{-6}) [130]. D'autres études peuvent montrer un changement du courant d'environ une partie sur 10^4 ou une fraction encore plus faible [135], [136]. Un modèle *SDR* plus sophistiqué mais plus complexe a été proposé par Kaplan, Solomon et Mott (*KSM*) [137]. Le modèle de *KSM* a proposé que dans *SDR*, avant que la recombinaison ait lieu, un électron et un trou entrent dans un état de maintien (couplage de spins). Le modèle *KSM* suppose que la recombinaison concerne principalement les paires singulets (paires dans lesquelles les électrons ont une orientation de spin opposée sans l'aide de la résonance magnétique) [137]. Le taux de recombinaison des paires triplets (paires dans lesquelles les électrons ont la même orientation de spin) est supposé être négligeable [137]. Le modèle *KSM* établit que la polarisation du champ magnétique des électrons non appariés a peu d'effet sur la recombinaison et la taille de l'effet *SDR* dépend du temps de couplage de la paire et du temps de relaxation spin-réseau [137].

III.4.3. Technique *SDCP* (*Spin Dependent Charge Pumping*)

Une sensibilité améliorée sur ce que la technique *SDR* fournit actuellement pourrait aider les chercheurs à identifier les défauts avec une meilleure résolution de mesures. La première démonstration claire de la technique *SDCP* a été présentée par Bettel et al. [138]. La technique *SDCP* combine un outil de caractérisation électrique couramment utilisé (*CP*) et une technique analytique puissante pour identifier des défauts à l'échelle atomique dans les composants électroniques. *SDCP* offre une grande amélioration de la sensibilité par rapport à la technique *SDR* précédemment établie [138].

La technique de pompage de charge est largement utilisée pour caractériser les défauts à l'interface dans les transistors *MOSFET* [92], [94], [139]. Cette technique fournit des informations détaillées sur les aspects purement électroniques des défauts, mais ne fournit pas d'informations sur la structure à l'échelle atomique [92], [94], [139]. La technique *EPR* classique a une puissance analytique extraordinaire pour identifier la structure à l'échelle atomique des défauts centres, mais ne fournit pas de lien direct entre la structure des défauts et leurs propriétés électroniques [134]. L'*EPR* conventionnel est limité dans les études des transistors parce que sa sensibilité est de l'ordre de 10^{10} défauts, ce qui est beaucoup plus grand que le nombre total de défauts électriquement actifs dans la plupart des transistors. Les limitations de la technique *EPR* classique sont surmontées par les techniques *EDMR* [115], [140]–[142].

La [figure III.26](#) illustre le spectre *SDCP* obtenus pour une fréquence de 400kHz. La technique *SDCP* exploite le même processus de capture de charge dépendant du spin que la technique *SDR*, mais offre des avantages substantiels en matière de sensibilité en plus de se situer dans la gamme d'énergie accessible [138]. Une comparaison schématique des techniques *SDR* et *SDCP* est montrée dans la [figure III.27](#). Alors que dans *SDR*, une polarisation *dc* constante au maximum du courant *DC-IV* est appliquée sur la grille du transistor, et dans *SDCP*, une onde triangulaire est appliquée sur la grille et le transistor est polarisé au maximum du courant de pompage de charge. Le signal de modulation est sinusoïdal avec une fréquence de 1kHz, le courant de modulation est de 155mA et la puissance du signal *RF* est de 32dBm.

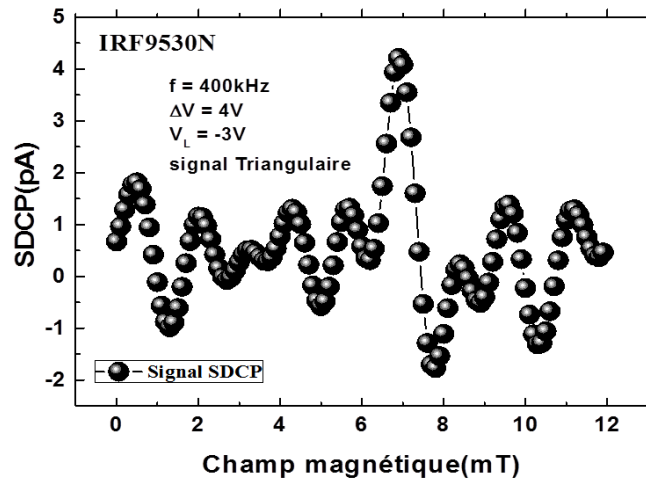


Figure III.26 : Spectre *SDCP* pour le transistor *VDMOSFET IRF9530N*

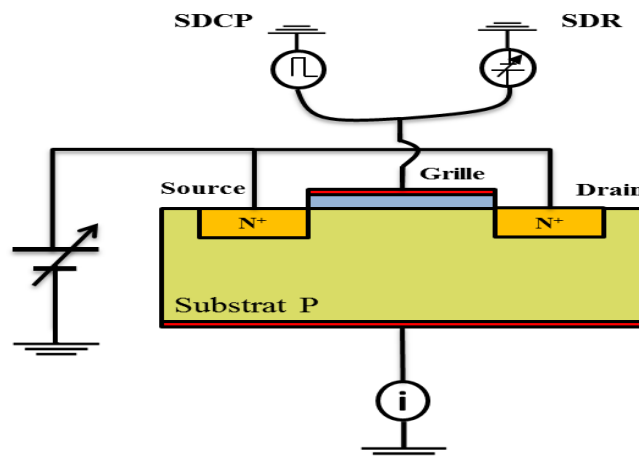


Figure III.27 : Montage expérimental des techniques *SDR* et *SDCP*

Conclusion

Dans ce chapitre, nous avons exposé les méthodes de mesure électrique permettant de caractériser la dégradation *NBTI* des transistors *MOSFET*, ainsi que leurs montages expérimentaux.

Dans la dernière section, pour identifier la microstructure mise en jeu dans la dégradation *NBTI*, nous avons présenté en détail les étapes de réalisation du spectromètre *EDMR* qui permet d'effectuer les caractérisations *SDR* et *SDCP*. Les résultats obtenus doivent être confirmés par d'autres mesures (variation de la puissance du signal *RF* et de la fréquence du signal de modulation).

CHAPITRE IV :

**ÉTUDE EXPÉRIMENTALE DE LA
DÉGRADATION *NBTI* SUR LES
TRANSISTORS *VDMOSFET***

Introduction

La fiabilité peut être définie comme « la probabilité qu'un dispositif exécute une fonction exigée dans des conditions indiquées pendant une période indiquée ». La notion de probabilité est très fréquemment associée aux études de défaillance. Le phénomène *NBTI* est l'un des mécanismes qui conduit à la dégradation des dispositifs *MOSFET* modernes. Cette dégradation est associée à deux composants microscopiques ; l'un est *le piégeage* dans les pièges d'oxyde préexistants/créés (ΔN_{ot}) et l'autre est *la génération des pièges d'interface* (ΔN_{it}) [8], [143]–[145]. Malgré les efforts considérables déployés au cours des dernières années, la microstructure des défauts responsables de la dégradation *NBTI* n'est pas bien comprise. Cependant, ΔN_{it} et ΔN_{ot} sont généralement attribués aux défauts paramagnétiques P_b et E' centres, respectivement [146]. Ces défauts paramagnétiques contiennent un électron non apparié dans leur orbite qui peut être sensible au champ magnétique externe appliqué (B). En effet, sous l'influence d'un champ magnétique externe, le spin d'électron non apparié dans les défauts paramagnétiques est orienté dans une direction particulière (*spin up* ou *spin down*). Dans cette condition, seul l'électron à spin opposé peut être piégé dans ces défauts paramagnétiques. Par conséquent, avec l'application du champ magnétique externe, nous pouvons contrôler l'orientation de l'électron non apparié, et par conséquent, la recombinaison dépendante du spin, le piégeage et le passage par effet tunnel (*tunnelling*) dans les défauts.

Dans ce travail, nous rapportons l'impact de la dégradation *NBTI* sur les régions (la région du canal et la région du drain) des transistors de puissance commerciaux à double diffusion (*VDMOSFET*), ainsi que l'influence de cette dégradation sur ces composants sous différentes intensités du champ magnétique. Nos résultats montrent que la dégradation est importante dans la région de type-*n* (région dopée phosphore) et que le stress et le recouvrement sont affectés par le champ magnétique.

IV.1. Impact du stress *NBTI* sur les régions *VDMOSFET*

Les études de fiabilité des transistors *VDMOSFET* sont compliquées puisque ces dispositifs ont deux parties différentes d'interfaces sous l'oxyde de grille ; une interface dans la région du canal et l'autre dans la région du drain.

Des études typiques de la fiabilité des transistors *VDMOSFET* sont couramment utilisées, telles que les méthodes de courant-tension (*I-V*) et la technique de pompage de charge (*CP*) [147]. Toutefois, ces techniques ne peuvent pas fournir des informations séparées sur la

dégradation des différentes régions qui constituent le *VDMOSFET*. Les méthodes *I-V* mesurent l'influence de la dégradation des deux régions du canal et du drain sur le courant du drain (I_{DS}). La technique *CP* ne permet de caractériser que les pièges dans l'oxyde, à l'interface au-dessus de la région du drain, et dans une partie du canal. En effet, la technique *CP* est incapable de caractériser la région du canal à proximité de la source, cette région étant celle qui détermine à la fois la tension de seuil (V_{th}) et le courant (I_{DS}) dans un *VDMOSFET*.

La technique capacité-tension (*C-V*) a été introduite par Mileusnic et al. [148] comme une technique intéressante pour déterminer, de façon séparée, les pièges dans l'oxyde (ΔN_{it}) et les pièges à l'interface (ΔN_{ot}) dans les régions du canal et du drain des dispositifs *VDMOSFET*.

Dans cette partie, nous avons caractérisé des transistors *VDMOSFET* de puissance à canal-*n* et à canal-*p* par la technique *C-V* pour analyser l'impact de la dégradation *NBTI* sur les régions du canal et du drain. Nous avons montré que la dégradation est importante dans la région de type-*n* (région dopée au phosphore).

IV.1.1. Banc de caractérisation électrique

La **figure IV.1** présente une vue d'ensemble du banc de test électrique dont nous disposons dans notre laboratoire et que nous avons utilisé dans ce travail de thèse. Ce banc de caractérisation est une plate-forme de caractérisation constituée d'un :

- **Testeur sous pointes, *Karl-Suss AP4 Prober*** : C'est un testeur semi-automatique muni d'un porte-échantillon, un micro-positionneur et un microscope optique. Le testeur sous pointes est embarqué dans une cage Faraday reliée à la masse pour empêcher toutes sortes d'interactions avec le milieu extérieur (ondes électromagnétiques et lumière).
- **Analyseur des paramètres de semi-conducteurs, *Agilent 4156C*** : C'est un équipement permettant de mesurer et d'analyser les caractéristiques courant-tension $I(V)$ et pompage de charge (*CP*) de dispositifs à base de semi-conducteurs. Les caractéristiques sont mesurées par des *SMU* en anglais « *Source Monitor Unit* » de haute résolution (1fA/2μV 100mA/100V) permettant d'appliquer et de mesurer simultanément soit une tension ou un courant. Ces *SMU* possèdent des sorties triaxiales assurant des mesures allant jusqu'à 10^{-15} A. Cet analyseur comprend également un générateur d'impulsions nommée *PGU* (*Pulse Generator Unit*)

permettant le contrôle des temps de front de montée et de descente d'un signal arbitraire d'une fréquence maximale de 500kHz.

- **Capacimètre, Agilent 4284A** : Cet appareil permet de mesurer l'impédance et d'effectuer des mesures des caractéristiques capacité-tension $C(V)$. La gamme de fréquences s'étend de 20Hz à 1MHz et l'amplitude de la tension continue est de $\pm 20V$.
- **Electromètre, Keithley 617** : Il est constitué d'une source de tension continue ($\pm 100V$, max 2mA) et d'un électromètre permettant la mesure de faibles courants de l'ordre du pico-ampère.
- **Générateur de signaux, Keithley 3940** : Il permet de délivrer différents signaux (sinusoïdal, carré, triangulaire et arbitraire) de fréquence allant de 0 Hz à 20MHz avec une résolution de 0.1MHz. L'amplitude de tension, V_{p-p} (crête à crête) est de 20V à la tension d'offset 0 V.
- **Oscilloscope numérique, Tektronix TDS3054B** : Il permet de visualiser les différents signaux et de suivre leur évolution avant et au cours de leur application sur le dispositif.

Notons que tous ces instruments disposent d'un bus de communication *GPIB* (*General Purpose Interface Bus*) qui permet leur contrôle par un ordinateur. Les programmes de commande et d'acquisition de données ont été réalisés à l'aide du langage graphique *LabView*.

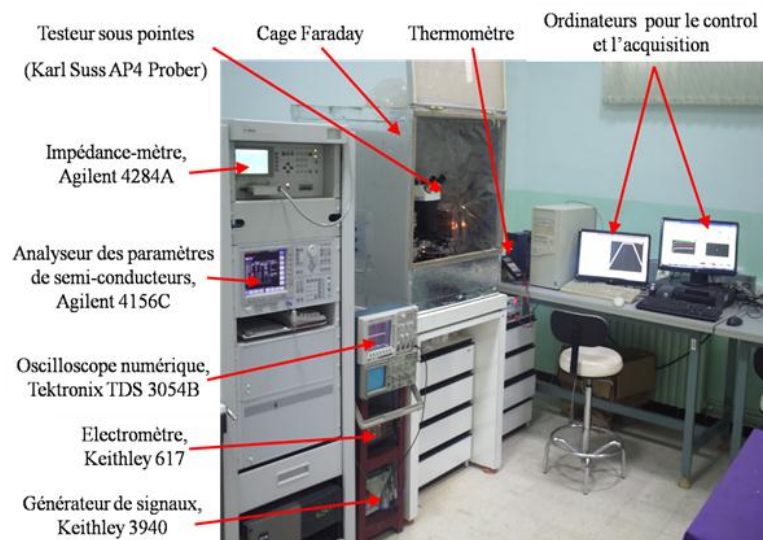


Figure IV.1 : Banc de caractérisation électrique utilisé dans les expériences *NBTI*

IV.1.2. Dispositif de test et détail expérimental

Les dispositifs étudiés dans cette thèse sont des transistors commerciaux *VDMOSFET* *IRF9530N* à canal-*p* et *IRF510* à canal-*n* encapsulé dans TO-220. L'épaisseur d'oxyde de grille des dispositifs est de l'ordre de 100nm. Les séquences mesure/stress/mesure (*MSM*) ont été effectuées en utilisant un montage expérimental entièrement automatisé. Le banc de caractérisation comporte un analyseur des paramètres de semi-conducteurs *Agilent HP4156C* pour appliquer la tension de stress, un *LCR-mètre Agilent 4284A*, et un *Agilent 16440A SMU/pulse generator selector* pour basculer entre le stress et la mesure.

Le montage de mesure de la capacité grille-source (C_{GS}) par la technique *C-V* est présenté dans la **figure IV.2**. La grille et la source de transistor *VDMOSFET* sont connectées respectivement à la borne V_{High} et V_{Low} du *LCR-mètre 4248A*. Ce dernier peut effectuer des mesures en fréquence allant de 20Hz à 1MHz. Les mesures de la capacité en fonction de la tension de grille (V_G) sont effectuées en superposant à la tension continue de polarisation, un signal sinusoïdal d'amplitude de 25mV et de fréquence de 1MHz pour les mesures hautes fréquences. L'acquisition de la mesure est effectuée via le bus *GPIB* qui est relié à un ordinateur contenant une application développée sous *LabVIEW*.

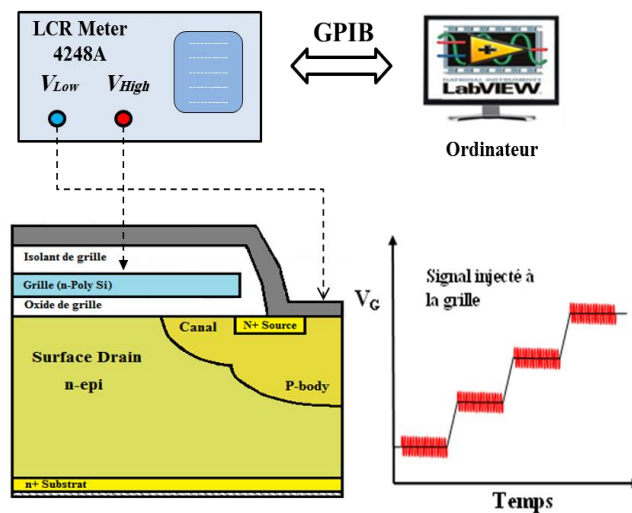


Figure IV.2 : Montage expérimental de mesure de la capacité grille-source (C_{GS}) par la technique *C-V*

Les dispositifs sont stressés jusqu'à 4800s en appliquant une tension négative de -50, -55 et -60V pour *IRF9530N* et -40, -60 et -65V pour *IRF510* sur la grille pour les transistors vierges. Le stress est suivi d'un recouvrement à une tension nulle ($V_G = 0V$). La température de stress est de 27°C (température ambiante). Le stress a été interrompu à différents moments

pour réaliser les expériences désignées. Les données $C-V$ et $I-V$ ont été prises rapidement, et puis le stress a été repris.

IV.1.3. Effet de stress électrique sur la caractéristique $C_{GS}(V_G)$

L'application du stress sur la grille provoque une génération de charges d'oxyde piégés dans la couche d'oxyde de grille et une accumulation de pièges d'interface à l'interface d'oxyde de grille via une injection *Fowler-Nordheim* d'électrons dans le substrat de silicium [149].

Les figures IV.3 et IV.4 illustrent l'extraction du décalage de la tension de seuil (ΔV_{th}) en utilisant la caractéristique $C_{GS}(V_G)$ dans les régions du canal et du drain à la fois pour les dispositifs *IRF510* à canal- n et *IRF9530N* à canal- p .

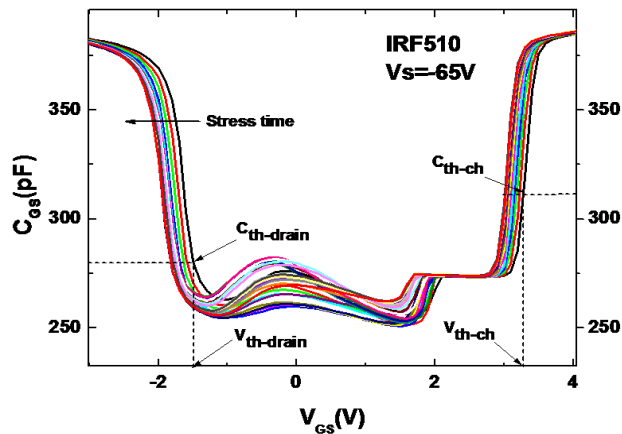


Figure IV.3 : Extraction du décalage de la tension de seuil induit par le stress *NBTI* en utilisant la caractéristique $C_{GS}(V)$, dans un *VDMOSFET* à canal- n

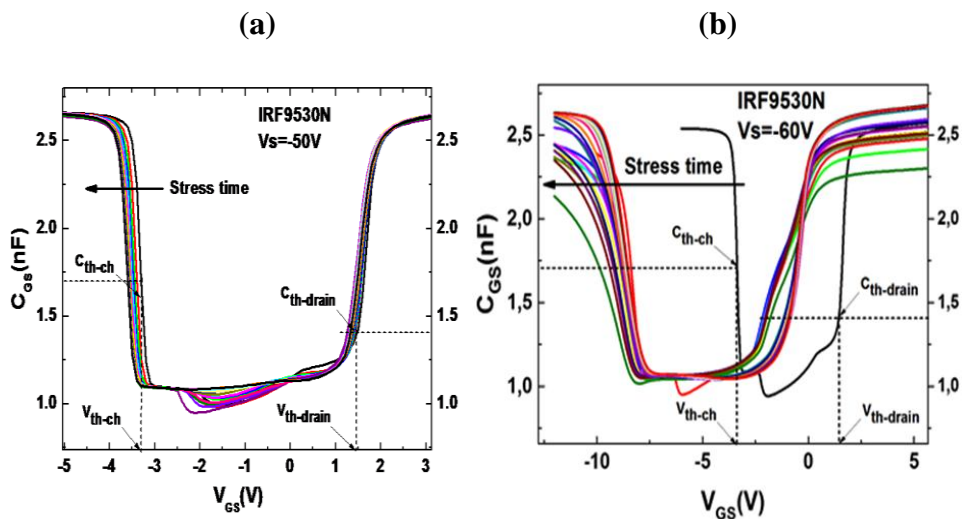


Figure IV.4 : Extraction du décalage de la tension de seuil induit par le stress *NBTI* en utilisant la caractéristique $C_{GS}(V)$ dans un *VDMOSFET* à canal- p pour différentes tensions de stress

A partir de la **figure IV.5**, il apparaît très clair que la dégradation est plus élevée dans la région du drain par rapport à la région du canal pour le *VDMOSFET IRF510* à canal-*n*. La situation est inversée pour le *VDMOSFET IRF9530N* à canal-*p*, où la région du canal est plus dégradée par rapport à la région du drain.

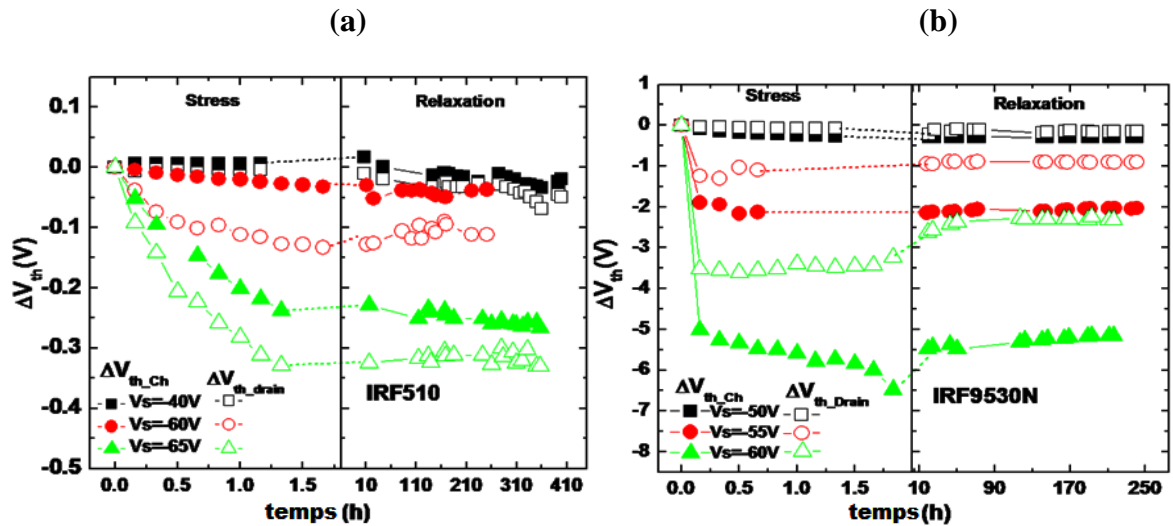


Figure IV.5 : ΔV_{th} induit par le stress *NBTI* dans les régions du canal et du drain extrait en utilisant la caractéristique $C_{GS}(V_G)$, (a) pour le *VDMOSFET IRF510* à canal-*n*, (b) pour le *VDMOSFET IRF9530N* à canal-*p*

IV.1.4. Discussion

Compte tenu des observations formulées ci-dessus, on pourrait résumer que les régions de type-*n* (les régions dopées au phosphore) sont plus sensibles au stress *NBTI*. En effet, Il a déjà été mentionné que la dégradation *NBTI* est observée dans les deux transistors à canal-*n* et à canal-*p* [49] [150]. Cependant, l'instabilité est plus sévère dans le transistor à canal-*p* (région dopée type-*n*), plutôt que dans le transistor à canal-*n* (région dopée type-*p*). Comme on le voit dans les **figures IV.3** et **IV.4**, il y a un décalage et une extension de la caractéristique $C_{GS}(V_G)$ dans la direction de la tension négative pour les deux transistors *IRF510* à canal-*n* et *IRF9530N* à canal-*p*. Les deux pièges d'oxyde et d'interface induisent un décalage négatif de la ΔV_{th} dans le transistor à canal-*p* (région dopée type-*n*). Contrairement au transistor à canal-*n* (région dopée type-*p*), les pièges d'interface et d'oxyde induisent un décalage positif et négatif de la ΔV_{th} , respectivement. Toutes les courbes sont décalées parallèlement vers une tension négative.

Puisque notre résultat montre que les régions de type-*n* (régions dopées au phosphore) sont plus sensibles au stress *NBTI*. Nous pourrions interpréter ce résultat en utilisant le modèle décrit par Tsetseris [151]. Ce modèle suggère que l'hydrogène est d'abord libéré facilement à partir de complexes *P-H* dans la région de déplétion de type-*n* (plutôt qu'à partir des complexes *B-H* dans la région de type-*p*) dans des conditions de stress *NBTI*, et ensuite entraîné par le champ électrique vers l'interface et l'oxyde. Ainsi, l'hydrogène interagit avec les précurseurs de défauts et conduit à générer les pièges dans l'oxyde et à l'interface.

IV.2. Influence du champ magnétique sur la dégradation *NBTI*

Le comportement électrique du transistor *MOSFET* dépend fortement de la qualité d'oxyde ainsi que de la qualité de l'interface *Si/SiO₂*. Les interactions des porteurs du canal avec les défauts du système *Si/SiO₂* réduisent les performances électriques du dispositif. L'application d'une contrainte *NBTI* au *MOSFET* est l'une des origines possibles de la dégradation de l'oxyde et de la détérioration de l'interface [12]. De plus, ces dégradations sont un problème de fiabilité pour les transistors *VDMOSFET* et leur étude pourrait être cruciale pour un fonctionnement fiable de ces dispositifs [152]–[157]. Dans certaines applications, le transistor *VDMOSFET* devra parfois fonctionner sous un champ magnétique, comme le cas des instruments médicaux qui génèrent des champs magnétiques statiques (par exemple, la technique d'imagerie médicale *MRI*). La question qui se pose ici est de savoir quel est l'impact du champ magnétique sur la dégradation *NBTI* des transistors *VDMOSFET* ? Il convient de noter qu'il n'existe que des études expérimentales très limitées sur l'effet du champ magnétique sur la dégradation *NBTI*[158]–[160]. Dans cette section, nous examinons le stress et le recouvrement *NBTI* sur des transistors *VDMOSFET* de puissance sans et sous l'application d'un champ magnétique faible, en utilisant de nombreuses techniques de caractérisation telles que la technique *I-V*, *CP* et *DC-IV*.

IV.2.1. Impact du champ magnétique sur des transistors *n-VDMOSFET* dégradés

IV.2.1.1. Echantillons et détail expérimental

Les dispositifs utilisés dans cette étude sont des transistors commerciaux *VDMOSFET* à canal-*n* *BS108* encapsulé dans *TO-92* [161]. La tension de seuil initiale V_{th0} est extraite par la méthode d'extrapolation linéaire et se trouve dans la plage (0.4 – 1.8 V), identique à celle donnée par le fabricant [161].

La technique de stress utilisée est le stress à tension constante (*CVS* pour *Constant Voltage Stress*) qui consiste à appliquer une forte tension constante sur la grille en reliant le drain et la source à la masse.

Après l'obtention de la courbe $I_{DS}(V_{GS})$ du transistor vierge (sans stress), et dans le but d'avoir la tension de seuil de ce dernier, une tension de stress négative (V_s) est appliquée sur la grille. Puis le courant I_{DS} est mesuré autour de la tension de seuil ($V_{th} = 1.3V$) (toute les 10 secondes). Pendant cette mesure, une tension drain-source ($V_{DS} = 50mV$) est appliquée. La température du stress est la température ambiante. Ce protocole est appliqué sans champ magnétique et sous différentes intensités du champ magnétique (3, 5, 8 et 10mT) et pour différentes tensions de stress ($V_s = -10, -15$ et $-20V$) pendant 800 secondes. Puis intervient une relaxation pendant 1200 secondes. Le protocole de stress-mesure est illustré dans la **figure IV.6**. Ce protocole est automatisé par une application développée sous *LabVIEW*.

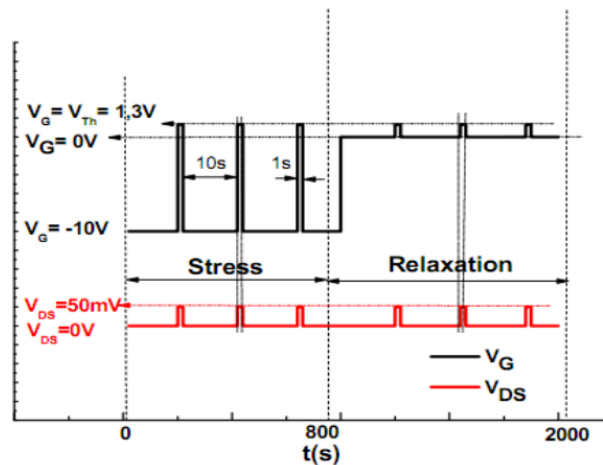


Figure IV.6 : Chronogramme des tensions appliquées à un VDMOSFET sous contrainte NBTI par la technique CVS

Le champ magnétique uniforme appliqué est généré à l'aide d'une bobine d'*Helmholtz* de notre fabrication, de 44cm de diamètre, capable de générer un champ magnétique approximatif de 10mT [123] (voir **figure IV.7**). Le champ magnétique généré est contrôlé à l'aide d'une alimentation commandée par ordinateur. Le champ magnétique est limité à 10mT en raison de l'échauffement de la bobine d'*Helmholtz*.

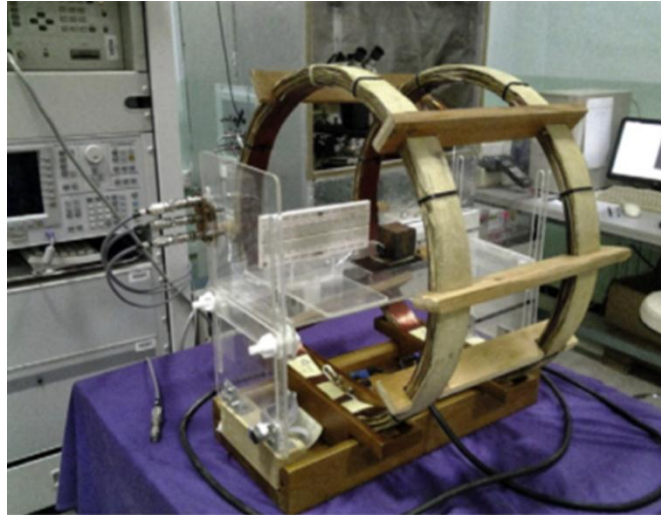


Figure IV.7 : Photographie de la bobine d'Helmholtz utilisée pour générer le champ magnétique uniforme

IV.2.1.2. Impact du champ magnétique sur les dispositifs vierges

Dans le but de vérifier l'influence du champ magnétique sur la caractéristique $I_{DS}(V_{GS})$ des transistors vierges (non stressés), nous avons comparé les courbes $I_{DS}(V_{GS})$ obtenues sans et sous différents champs magnétiques. Le résultat est montré dans la [figure IV.8](#). Une légère influence du champ magnétique sur la courbe $I_{DS}(V_{GS})$ est constatée. Cette influence est probablement due à la déviation des électrons par le champ magnétique. Pour éliminer cette influence et mesurer uniquement le décalage de la tension de seuil (ΔV_{th}) due à la dégradation NBTI, l'extraction de ΔV_{th} avec (sans) champ magnétique est obtenu en utilisant la tension de seuil (V_{th}) initiale du transistor vierge [extraite de la courbe $I_{DS}(V_{GS})$] avec (sans) champ magnétique.

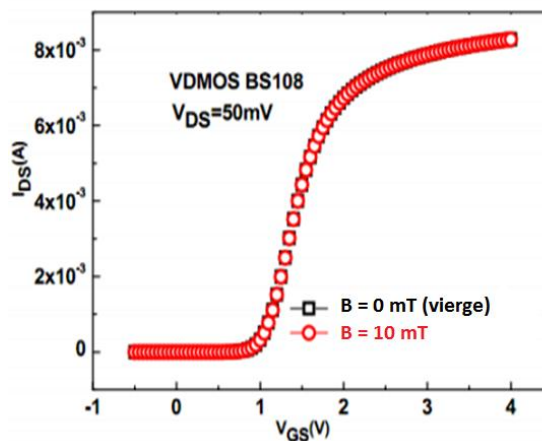


Figure IV.8 : Caractéristique $I_{DS}(V_{GS})$ sans et avec un champ magnétique

IV.2.1.3. Dégradation du courant I_{DS} sans et sous l'application du champ magnétique

La figure IV.9 présente l'évolution du courant I_{DS} avec le temps pendant les phases de stress et de recouvrement ($V_G = 0V$) avec et sans l'application du champ magnétique. La diminution du courant I_{DS} , pendant le stress, est due à la création des pièges à l'interface et dans l'oxyde. Tandis que durant la période de relaxation, le courant I_{DS} a tendance à revenir vers son état initial. Ce comportement est observé pour toutes les tensions de stress avec et sans champ magnétique.

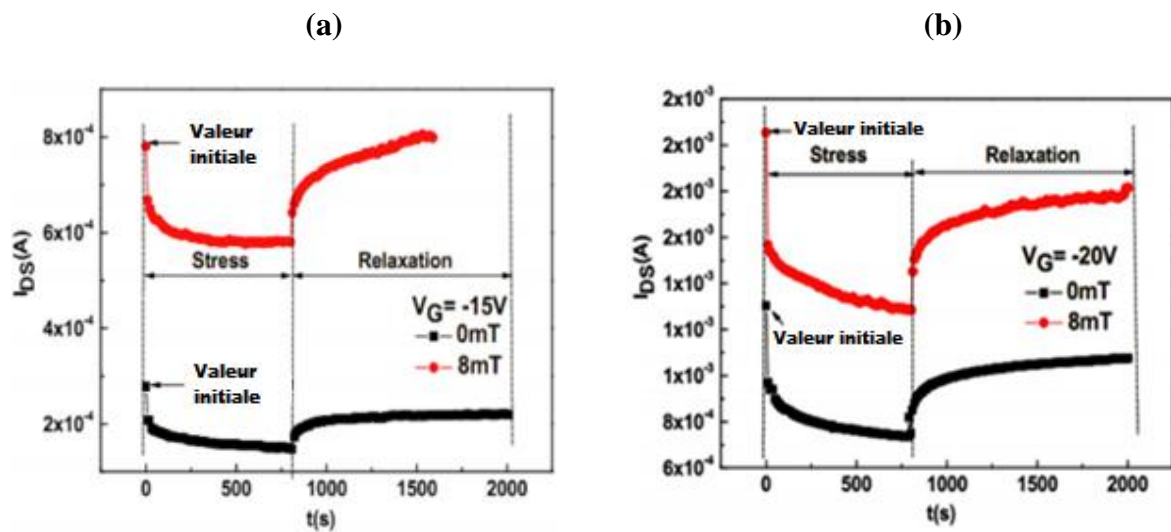


Figure IV.9 : Evolution du courant I_{DS} en fonction du temps dans les phases de stress et de relaxation, (a) pour $V_G = -15V$ et $B = 8mT$, (b) pour $V_G = -20V$ et $B = 8mT$

IV.2.1.4. Impact de la tension de stress sur la dégradation de ΔV_{th} sans l'application du champ magnétique

L'évolution de la dégradation et la relaxation de la tension de seuil (ΔV_{th}) avec le temps, pour différentes tensions de stress, est présentée dans la figure IV.10. La dégradation de la ΔV_{th} augmente avec le temps et avec l'augmentation de la tension de stress, signe de création des pièges. Pendant le stress, l'évolution de la ΔV_{th} suit, approximativement, une loi en puissance avec le temps ($\Delta V_{th} \propto t^n$). Cette observation est en accord avec les travaux rapportés par les références [7], [162],. Au début de la phase de relaxation (quelques secondes après que la tension de stress est enlevée), la ΔV_{th} a tendance à revenir rapidement à l'état initial puis continue lentement. Cette observation est un comportement rapporté par plusieurs groupes de chercheurs [67], [163].

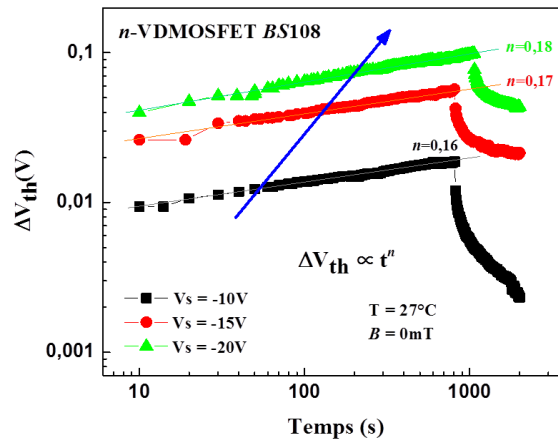


Figure IV.10 : ΔV_{th} en fonction du temps de stress pour différentes conditions de stress

IV.2.1.5. Dégradation de la ΔV_{th} sous un champ magnétique

La figure IV.11 compare la dégradation de la dérive de la tension de seuil (ΔV_{th}) obtenue pour des stress sans et sous différents champs magnétiques. Notons que ΔV_{th} peut être exprimée d’après la norme de standardisation JEDEC (*Joint Electron Device Engineering Council*) [164], par l’inverse de la pente sous le seuil (S). Le paramètre S est défini d’après l’équation (I.7) par l’expression,

$$S = \frac{dV_{GS}}{d \log(I_{DS})} \tag{III.7}$$

$$\Delta V_{th} = S_0 \log\left(\frac{I_{DS0}}{I_{DS}}\right) \tag{III.7}$$

Avec S_0 et I_{DS0} correspondant, respectivement, à l’inverse de la pente sous le seuil et au courant drain-source du transistor sans stress (transistor vierge).

En ce qui concerne les résultats expérimentaux ci-dessous, nous pouvons noter que la dégradation est moins importante sous un stress avec champ magnétique et le recouvrement est plus rapide avec l’application d’un champ magnétique. Ces deux points observés sont reproductibles pour toutes les tensions de stress utilisées dans notre travail.

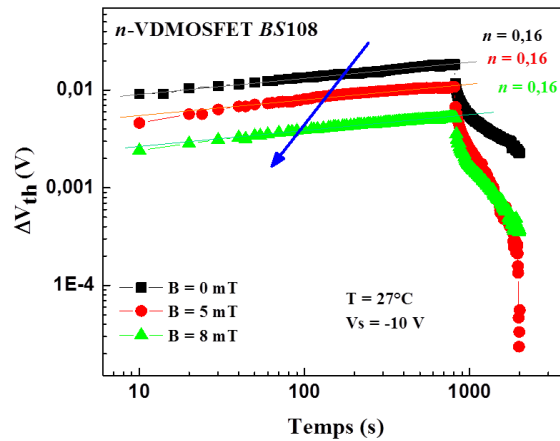


Figure IV.11 : Comparaison de la ΔV_{th} sans et avec l’application du champ magnétique à $V_s = -10V$

La dégradation de la ΔV_{th} diminue avec l’application du champ magnétique. Plus le champ magnétique est important, plus ΔV_{th} est moins importante. La diminution de la dégradation est peut être due à la diminution de la contribution des défauts paramagnétiques « centres P_b » (défaut à l’interface) et « centres E' » (défauts dans l’oxyde) à la dégradation ΔV_{th} , sous l’effet du champ magnétique. En outre, les caractéristiques ΔV_{th} , dans la phase de stress sont bien ajustés par le modèle exponentiel comme montré dans la figure IV.12 [165]–[167]

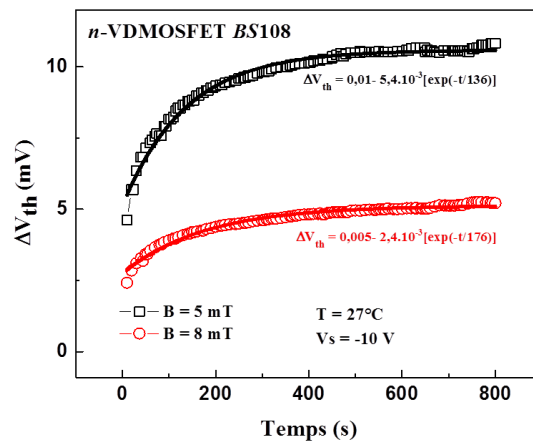


Figure IV.12 : Courbe d’évolution de la ΔV_{th} en fonction du temps sous le champ magnétique pour 5 et 8mT à $V_s = -10V$

Nous pensons que l’évolution exponentielle est le signe de la création des pièges non paramagnétiques. Mais d’autres investigations sont nécessaires pour confirmer cette

hypothèse, telles que la comparaison de la dégradation de ΔV_{th} mesurée électriquement (contribution de tous les défauts paramagnétiques et non paramagnétiques) avec la caractérisation résonance paramagnétique de spin (contribution uniquement des défauts paramagnétiques).

Avec l'application du champ magnétique, la dégradation ΔV_{th} relaxe rapidement, c'est-à-dire la tension de seuil avec l'application d'un champ magnétique a tendance à revenir plus rapidement vers l'état initial. L'application d'un champ magnétique a donc pour effet de prolonger la durée de vie des dispositifs *MOSFET* [159].

IV.2.2. Étude de la dégradation *NBTI* sur des transistors *p-VDMOSFET* sous champ magnétique

IV.2.2.1. Dispositif de test et détail expérimental

Les dispositifs utilisés dans cette étude sont des transistors commerciaux *p-VDMOSFET IRF9530N* encapsulés dans TO-220 [168]. La **figure IV.13** représente le transistor *VDMOSFET IRF9530N* et sa structure interne. L'épaisseur de l'oxyde de grille (T_{ox}) est estimée par la caractérisation capacité-tension (*C-V*) et à l'aide d'un microscope optique comme décrit dans la référence [169]. On a trouvé que T_{ox} est d'environ de 100nm. La tension de seuil initiale V_{th0} est extraite en utilisant la méthode de la transconductance et se trouve dans la plage de -4 à -2V donnée par le fabricant [168].

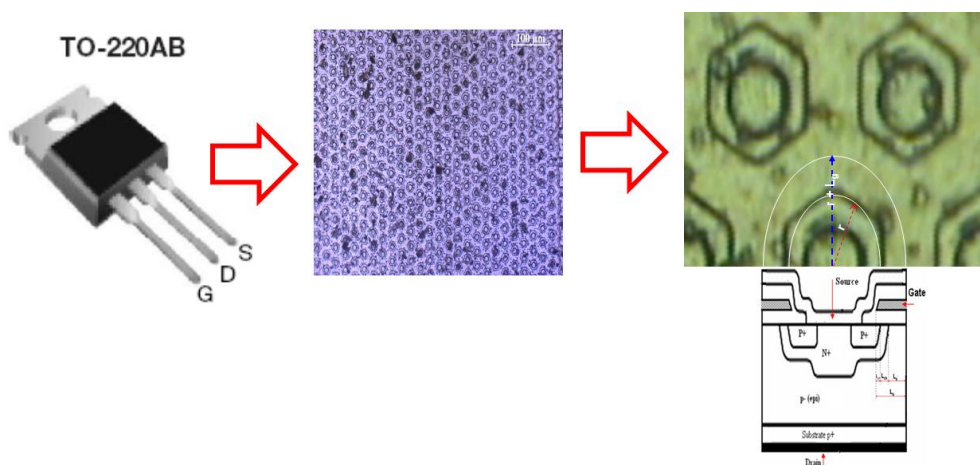


Figure IV.13 : Transistor *VDMOSFET IRF9530N* et sa structure interne

Les techniques de caractérisation que nous avons utilisées dans cette section sont des méthodes de caractérisation classiques *MSM* (*Mesure/Stress/Mesure*) basées sur la mesure $I_{DS}(V_{GS})$ et *CP*. Rappelons que les méthodes *MSM* consistent en l'application séquentielle d'une tension de stress et de mesures de courant. Ces dernières permettent de suivre l'évolution du courant soit :

- en deux points (le premier point correspond à la tension V_{th} et le deuxième point correspond à la tension $V_{th} + \Delta V_G$, avec ΔV_G égal à 50mV) de la caractéristique $I_{DS}(V_{GS})$, c'est la technique proposée par Brisbin et al. [170].
- en un seul point de la caractéristique du courant de pompage de charges. C'est le courant I_{CPMax} permettant de déterminer la densité des pièges à l'interface (états d'interface) N_{it} .

Nous appelons la première technique *MSM-IV* et la deuxième technique *MSM-CP*.

Les séquences *MSM-IV* ont été effectuées en utilisant le banc expérimental entièrement automatisé, (voir figure IV.14). Le banc contient un Agilent sensible *HP 4156C* pour mesurer le courant et un générateur *SMU/impulsion Agilent 16440A* pour basculer entre le stress et la mesure. Les dispositifs sont stressés pendant 900s en appliquant une tension négative de -50V et -60V, suivie d'une phase de recouvrement de 400s à une tension de grille nulle ($V_G = 0V$). Les températures du stress sont 27°C (température ambiante) et 80°C. Pendant la mesure, le courant du drain I_{DS} est mesuré autour de la V_{th} (à $V_G = -3V$) avec une tension drain-source appliquée (V_{DS}) de -50mV.

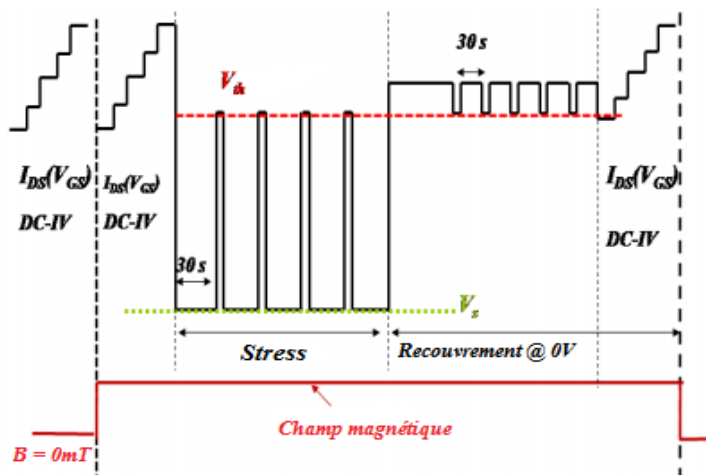


Figure IV.14 : Protocole *Mesure/Stress/Mesure*, mesure du courant I_{DS} (*MSM-IV*)

IV.2.2.2. Evolution de la ΔV_{th} sous champ magnétique

Dans la figure IV.15, nous comparons les caractéristiques $I_{DS}(V_{GS})$ avec et sans l'application du champ magnétique pour les transistors vierges. Les champs magnétiques appliqués n'influencent pas les caractéristiques $I_{DS}(V_{GS})$. La variation relative de I_{DS} à $V_G = -3V$ ne dépasse pas 0,04%.

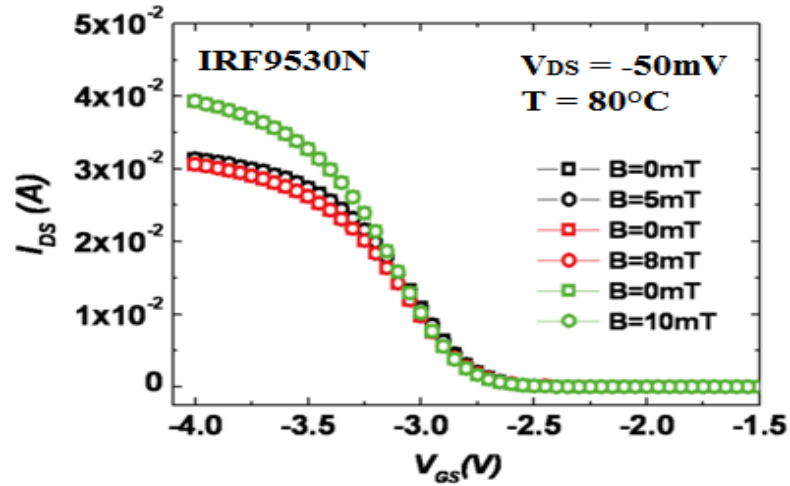


Figure IV.15 : Caractéristiques $I_{DS}(V_{GS})$ avec et sans l'application du champ magnétique

La figure IV.16 donne l'évolution temporelle de la dérive de la tension de seuil (ΔV_{th}) à $V_s = -60V$ et $T = 27$ et $80^\circ C$ pour différentes intensités du champ magnétique. ΔV_{th} diminue clairement avec l'augmentation du champ magnétique pour les deux températures de stress ($T = 27$ et $80^\circ C$).

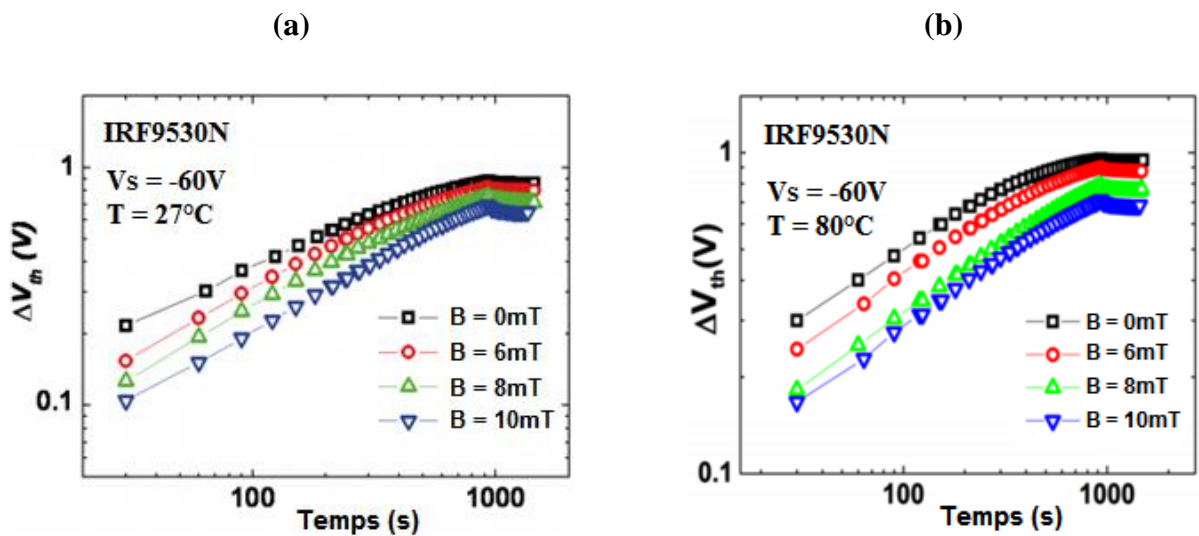


Figure IV.16 : ΔV_{th} à $V_s = -60V$ pour différentes intensités du champ magnétique, (a) pour $T = 27^\circ C$, (b) pour $T = 80^\circ C$

La figure IV.17 compare la dynamique du stress et du recouvrement de la dérive de la tension de seuil (ΔV_{th}) avec et sans champ magnétique perpendiculaire (\perp) et parallèle ($//$) appliqué à l'interface Si/SiO_2 . Toutes les courbes ΔV_{th} avec l'application du champ magnétique perpendiculaire et parallèle sont les mêmes. La dégradation NBTI ne dépend donc de la direction du champ magnétique appliqué.

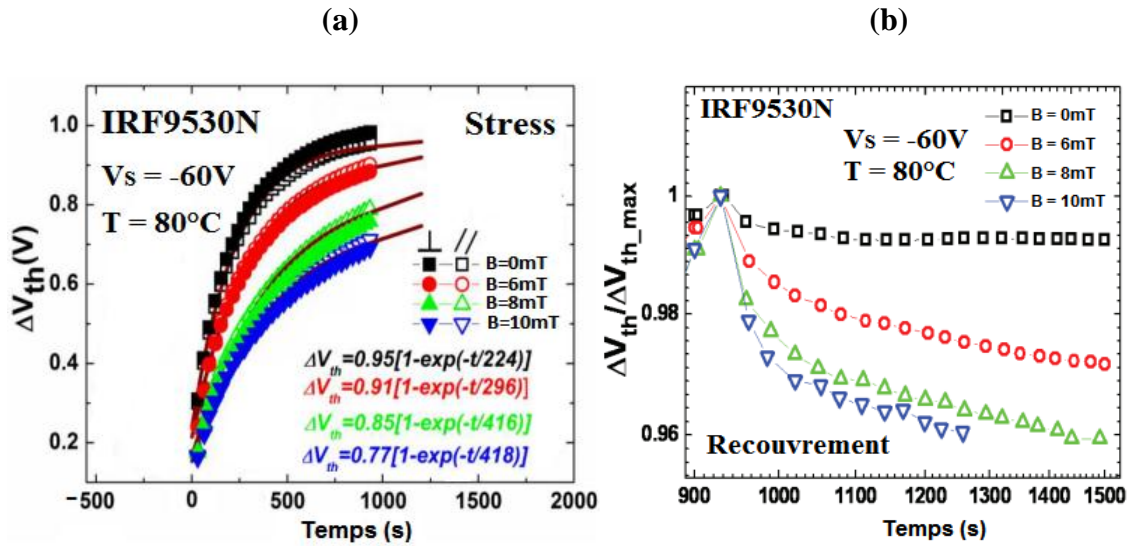


Figure IV. 17 : Dynamique du stress et de recouvrement avec et sans champ magnétique perpendiculaire (\perp) et parallèle ($//$) appliqué à l'interface Si/SiO_2

En outre, les caractéristiques ΔV_{th} , dans la phase de stress sont bien ajustés par le modèle exponentiel [165]–[167].

$$\Delta V_{th} = \Delta V_{max} \cdot [1 - \exp(-t / \tau)] \tag{III.7}$$

Où ΔV_{max} est le niveau de saturation du décalage de la tension de seuil et « τ » est la caractéristique de la constante du temps. Le niveau ΔV_{max} est réduit par application du champ magnétique. De plus, la caractéristique de la constante du temps de ΔV_{th} augmente par application du champ magnétique. Ceci indique que « τ » de ΔV_{th} est affectée, et par voie de conséquence la dynamique de stress (taux de dégradation) de la ΔV_{th} change avec l'application du champ magnétique. Toutes les courbes de recouvrement de ΔV_{th} commencent au même point et diminuent pour atteindre la composante permanente. Il est clair que le recouvrement de ΔV_{th} est accéléré, car à un temps de recouvrement donné $\Delta V_{th}/\Delta V_{th-max}$ est plus petit avec l'application du champ magnétique. Par conséquent, concernant l'observation ci-dessus, le stress et le recouvrement sont affectés par l'application du champ magnétique. La

dynamique de ΔV_{th} dans la phase de stress est réduite et le recouvrement de ΔV_{th} devient plus important (accélééré) lorsque le champ magnétique devient élevé (voir [figure IV.17](#)).

IV.2.2.3. Impact du champ magnétique sur la caractéristique $DC-IV$

Pour étudier profondément le type de piège induit par le stress $NBTI$ (ΔN_{it} ou ΔN_{ot}) sous l'application du champ magnétique, nous avons comparé la caractéristique $DC-IV$ mesurée avant et après le stress avec et sans champs magnétiques. Cette comparaison est donnée dans la [figure IV.18](#). Le pic maximum lié aux pièges à l'interface (ΔN_{it}) diminue avec l'augmentation du champ magnétique. La position de la tension du pic maximum - corrélée aux pièges dans l'oxyde (ΔN_{ot}) - se déplace vers la tension positive avec l'application du champ magnétique. Cela signifie que ΔN_{it} et ΔN_{ot} diminuent avec l'augmentation du champ magnétique. Ces résultats ne sont pas surprenants, car ΔN_{it} et ΔN_{ot} pourraient être des défauts paramagnétiques qui peuvent être affectés par le champ magnétique externe. Cependant, l'autre possibilité de diminution de la ΔV_{th} (ΔN_{it} et ΔN_{ot}) avec l'application du champ magnétique est que le stress avec champ magnétique induit moins de pièges que celui sans champ magnétique [158].

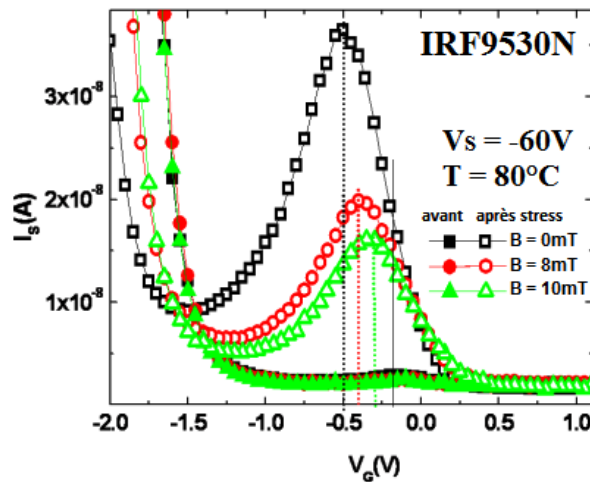


Figure IV.18 : Caractéristiques $DC-IV$ avant et après le stress avec et sans champ magnétique

IV.2.2.4. Stress $NBTI$ et recouvrement par la technique de pompage de charge (CP) sous champ magnétique

Le stress $NBTI$ est effectué en utilisant le protocole $MSM-CP$ illustré dans la [figure IV.19](#). Pendant ce protocole, le courant de pompage de charge maximum est mesuré au niveau de

contact du drain, où la source est mise à la masse. Les mesures *CP* sont réalisées en utilisant une onde triangulaire avec une amplitude de 4V et une fréquence de 400kHz. Nous avons utilisé l'onde triangulaire pour réduire la composante géométrique, tandis que la forme d'onde carrée avec de petites périodes de transition pourrait augmenter la composante géométrique. En effet, en utilisant une forme d'onde triangulaire avec une période de transition suffisante, les trous de la couche d'inversion peuvent avoir suffisamment du temps pour revenir aux régions source et *-p* avant de se recombiner avec les porteurs majoritaires entrants des régions-*n*. Par conséquent, le composant géométrique est réduit.

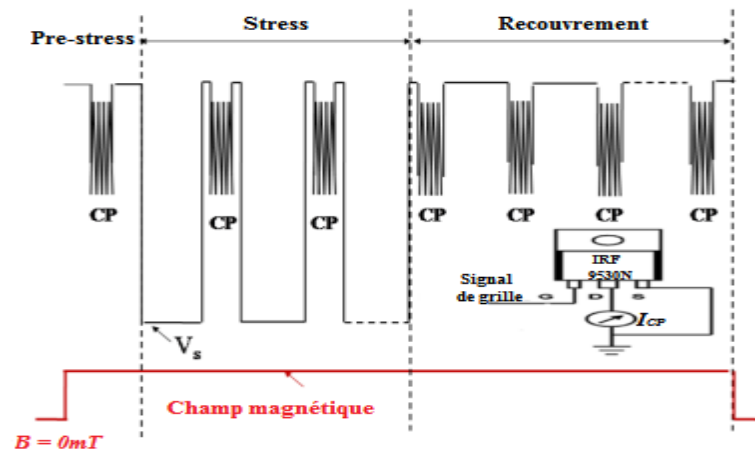


Figure IV.19 : Protocole MSM, technique de pompage de charge (MSM-CP)

La figure IV.20 présente les caractéristiques courant-tension ($I_{DS}(V_{GS})$) et les courbes *CP* des transistors *VDMOSFET* vierges (*IRF9530N*) sans et sous différents champs magnétiques appliqués perpendiculairement et parallèlement à l'interface *Si/SiO₂* (noter que la direction du champ magnétique n'affecte pas nos données).

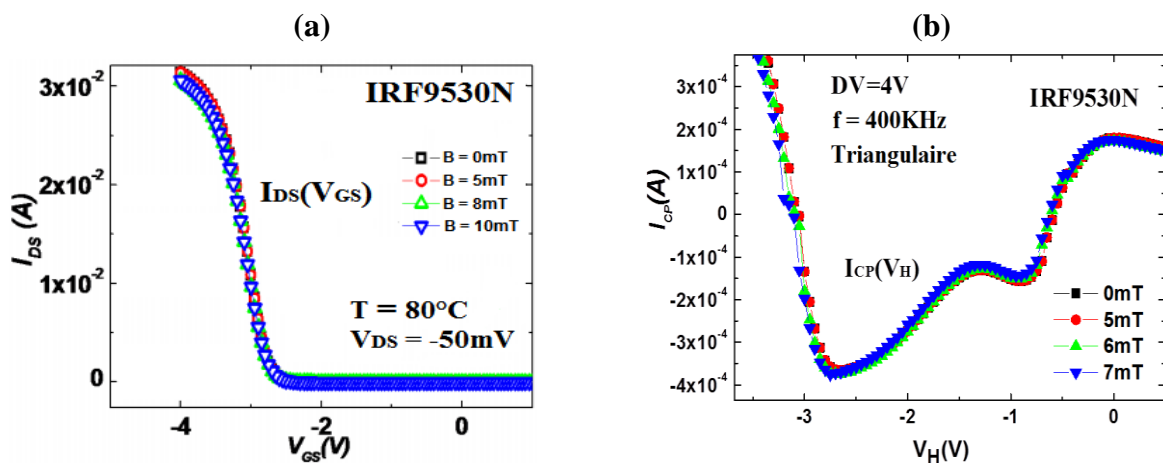


Figure IV.20 : Caractéristiques $I_{DS}(V_{GS})$ et courbes *CP* de transistors *VDMOSFET* vierges sans et sous l'application du champ magnétique

Cette figure montre que toutes les caractéristiques $I_{DS}(V_{GS})$ (les courbes *CP*) avec et sans l'application du champ magnétique sont les mêmes (la déviation des électrons par champ magnétique est négligeable). Par conséquent, toute divergence de stress *NBTI* induit une variation sur le courant de pompage de charge $\Delta I_{DS(CP)}$ [$(\Delta I_{DS} = I_{DS(CP)} - I_{DS(CP)_0})$, où $\Delta I_{DS(CP)}$ et $\Delta I_{DS(CP)_0}$ sont le courant de pompage de charge après le stress et le courant initial, respectivement.] ou sur le courant I_{DS} sous l'application du champ magnétique, cela est dû à l'impact du champ magnétique sur le stress *NBTI*.

La figure IV.21 compare la différence du courant de pompage de charge (ΔI_{CP}) induit par le stress *NBTI* avec et sans l'application du champ magnétique. ΔI_{CP} diminue clairement avec l'augmentation du champ magnétique. ΔI_{CP} augmente légèrement pendant la phase de recouvrement. Notons que les mêmes résultats ont été rapportés par Stojadinovic et al. [171] et Manic et al. [172] pour des dispositifs à oxyde de grille épais (l'augmentation de ΔI_{CP} est due à la génération des pièges d'interface pendant la phase de recouvrement). Ils ont expliqué cette augmentation par la redistribution des pièges à l'intérieur de la bande interdite de silicium et des espèces réactives liées à l'hydrogène nécessaires pour les processus de passivation et de dépassivation qui se produisent à l'interface *Si/SiO₂* pendant le stress et après la fin du stress de la même manière que dans le cas des dispositifs exposés à l'irradiation [173]–[175].

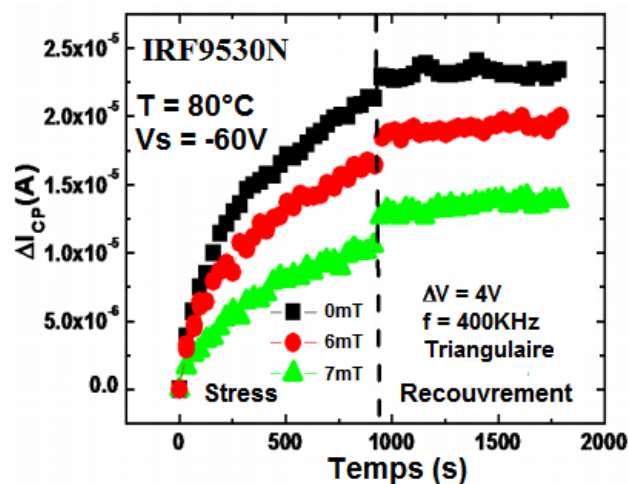


Figure IV.21 : Comparaison de ΔI_{CP} avec et sans l'application du champ magnétique

Ainsi, et comme il a été précédemment indiqué, il est généralement reconnu que le décalage de ΔV_{th} est dû à la contribution des pièges à l'interface (ΔN_{it}) et dans l'oxyde (ΔN_{ot})

[8], [176], [177]. Cependant, ΔI_{CP} est dominée par la contribution des pièges à l'interface (ΔN_{it}) (pour les mesures à haute fréquence) [178]. Par conséquent, concernant les observations ci-dessus, il est clair que les deux pièges ΔN_{it} et ΔN_{ot} induits par le stress *NBTI* sont réduits par l'application du champ magnétique. Ceci est confirmé par la comparaison des caractéristiques *DC-IV* mesurées avant et après le stress avec et sans l'application du champ magnétique, cette comparaison est présentée dans la **figure IV.18**.

IV.2.3. Discussion

On pourrait penser que l'impact observé du champ magnétique sur le stress *NBTI* est peut-être dû aux matériaux utilisés dans les dispositifs de puissance qui présentent parfois une magnétorésistance (le champ magnétique affectant la résistance) ou un effet ferromagnétique. Cependant, ceci n'est pas possible dans notre cas puisque la caractéristique $I_{DS}(V_{GS})$ et les courbes *CP* des transistors vierges ne montrent aucun changement avec l'application du champ magnétique.

Il a été rapporté que le niveau de *Fermi* (E_F) d'un semi-conducteur change (c'est-à-dire qu'il y a un changement de sa densité électronique d'états) avec le changement du champ magnétique appliqué de l'extérieur (B) [179], [180]. Dans notre cas, la variation induite par l'application du champ magnétique sur E_F (ΔE_F) ne dépasse pas $1.8 \cdot 10^{-9}$ eV, pour $B < 10$ mT et $T = 80^\circ\text{C}$. Cette valeur de ΔE_F est très faible pour expliquer l'observation rapportée ci-dessus. Notez que ΔE_F est calculé en utilisant la relation suivante :

$$\Delta E_F = kT \ln \left[\frac{\sinh(\theta)}{\theta \cosh(\alpha)} \right] \quad (\text{III.7})$$

$$\text{Avec } \theta = \frac{\hbar \omega_C}{2kT}, \quad \alpha = \frac{g \mu_B B}{2kT} \quad \text{et} \quad \omega_C = \frac{qB}{m^*}$$

Où k est la constante de *Boltzmann*, \hbar est la constante de *Planck* réduite, ω_C est la fréquence cyclotron, μ_B est le magnéton de *Bohr*, g est le facteur de spin électronique, m^* est la masse effective de l'électron et T est la température. En outre, le champ magnétique n'affecte pas la caractéristique $I_{DS}(V_{GS})$ et les courbes *CP* mesurées avant et après le stress *NBTI*. Cela signifie que l'application du champ magnétique influence seulement les mécanismes de la dégradation *NBTI*. De plus, l'énergie imposée par l'application du champ magnétique ($E_M = g \mu_B B$) ne peut pas modifier (augmenter) l'énergie d'activation nécessaire pour créer un défaut par le stress *NBTI*, qui est de l'ordre de 0,5-1eV [181]. En fait, l'énergie calculée pour un champ

magnétique $B < 10\text{mT}$ (tel qu'utilisé dans notre travail) est $E_M < 1.16 \cdot 10^{-6}\text{eV}$, qui est très inférieure à l'énergie thermique de stress à $T = 80^\circ\text{C}$ (30meV). Alors, dans ce cas, le champ magnétique ne peut pas affecter l'état d'équilibre du défaut. Par conséquent, l'impact du champ magnétique sur la dégradation *NBTI* observé dans ce travail pourrait être lié à la nature dépendante du spin des défauts paramagnétiques induits par le stress *NBTI*, tels que le piégeage dépendant du spin et l'effet tunnel dépendant du spin (*SDT*). En effet, ces derniers résultent du fait que le piégeage n'est possible que si le spin des électrons non appariés du défaut paramagnétique et le spin du trou piégé sont dans la même orientation (le spin du trou est opposé à celui de l'électron), car d'après le PEP, les électrons ne peuvent pas se trouver au même endroit (même état énergétique) dans le même état quantique [133]. L'application du champ magnétique permet l'orientation (polarisation) des électrons non appariés des défauts paramagnétiques et les trous libres de la couche d'inversion. On réduit donc le piégeage des trous par PEP. En d'autres termes, l'application du champ magnétique réduit la section transversale moyenne de capture des pièges. C'est probablement l'explication de la réduction de ΔI_{CP} et ΔV_{th} sous l'application du champ magnétique. Le courant correspondant aux mécanismes précités (mécanismes du champ magnétique dépendant du spin) est en général très faible et il est difficile d'étudier ces effets de mécanismes dépendants du spin dans les dispositifs de petites superficies. C'est pourquoi nous avons utilisé le *VDMOSFET* qui a une surface de 8mm^2 et contient 17621 cellules *VDMOSFET*. Notons que les nombres de cellules sont estimés en utilisant la méthode décrite dans la référence [169].

En plus des effets des mécanismes dépendants du spin, la réaction électrochimique qui conduit à la création et au recouvrement des pièges pourrait être influencée par l'application du champ magnétique. Cela pourrait probablement expliquer la modification de la dynamique de création et de recouvrement de ΔN_{ot} . Nous notons que de nombreux auteurs rapportent l'influence du champs magnétique sur le taux de la réaction chimique [182], [183]. Cependant, dans ce travail, il est difficile de déterminer la nature de la réaction chimique impliquée dans l'observation rapportée et d'expliquer l'effet du champ magnétique sur cette réaction. Par conséquent, des recherches supplémentaires sont nécessaires. Néanmoins, d'après nos résultats qui démontrent que, par application du champ magnétique, les pièges à l'interface et dans l'oxyde induits par le stress *NBTI* sont réduits, le taux de création des pièges dans l'oxyde est diminué et le recouvrement des pièges dans l'oxyde est accéléré. Par conséquent, nous pouvons conclure que le fonctionnement de *VDMOSFET* sous l'application d'un champ magnétique faible pourrait améliorer la durée de vie de ces dispositifs [158].

Conclusion

Dans cette partie, nous avons suggéré que les régions du drain et du canal soient examinées séparément pour une interprétation correcte des effets de stress *NBTI*. L'examen des deux régions d'interface d'un *VDMOSFET* de puissance à canal-*n* et à canal-*p* en utilisant la technique *C-V* a été discuté. De plus, on montre que la technique *C-V* est une méthode simple pour examiner toutes les régions d'interface sous l'oxyde de grille d'un *VDMOSFET* par une seule mesure. Cependant, les techniques conventionnelles telles que le *CP*, la *I-V* et les techniques *DC-IV* ne peuvent examiner qu'une partie des régions d'interface des transistors *VDMOSFET*. Nos résultats indiquent que les régions de type-*n* (la région du drain dans le *VDMOSFET* à canal-*n* et la région du canal dans le *VDMOSFET* à canal-*p*) sont plus sensibles au stress *NBTI*. Il est possible que l'hydrogène soit libéré facilement des complexes *P-H* (existant dans la région de type-*n*) plutôt que des complexes *B-H* (existant dans la région de type-*p*). Cependant, des recherches supplémentaires sont nécessaires pour clarifier davantage cette problématique.

En outre, nous avons étudié la dégradation *NBTI* des transistors de puissance commerciaux *VDMOSFET* de type-*n* et *p* sous l'application du champ magnétique en utilisant la mesure du courant du drain, les techniques *CP* et *DC-IV*. Toutes les techniques utilisées montrent les mêmes résultats : la dégradation *NBTI* du transistor *VDMOSFET* est réduite par l'application du champ magnétique. Ainsi, l'application du champ magnétique pendant le fonctionnement du transistor *VDMOSFET* pourrait être bénéfique pour prolonger sa durée de vie. Toutefois, les mécanismes physiques responsables de la réduction de la dégradation *NBTI* par l'application du champ magnétique ne sont pas clairs. Ils pourraient être causés par des mécanismes dépendant du spin et de l'effet du champ magnétique sur la réaction électrochimique qui conduit à la création et au recouvrement des pièges.

CONCLUSION GENERALE ET PERSPECTIVES

Ce manuscrit présente un travail de thèse sur l'un des principaux problèmes de fiabilité des dispositifs *MOSFET* communément appelés *Negative Bias Temperature Instability (NBTI)*. Une variété de solutions, couvrant les techniques de conception ainsi que les procédés technologiques a été proposée afin de réduire les effets du phénomène *NBTI*. Cependant, la compréhension des mécanismes physiques derrière cette dégradation est indispensable pour une bonne prévision de la durée de vie des dispositifs étudiés. C'est dans ce contexte que s'inscrit ce travail de thèse qui comporte une étude expérimentale de l'effet de la contrainte *NBTI* dans les dispositifs *VDMOSFET* sans et sous l'application d'un champ magnétique. Nous avons aussi discuté les différentes étapes de réalisation du spectromètre *EDMR* qui permettent d'effectuer les caractérisations *SDR* et *SDCP* pour identifier la microstructure mise en jeu dans la dégradation *NBTI* des dispositifs *VDMOSFET*. Par ailleurs, malgré les problèmes d'étalonnage et les perturbations dues à la compatibilité électromagnétique du système pour obtenir le signal *EDMR*, la caractérisation a révélé un résultat intéressant, à savoir l'existence d'un pic de résonance paramagnétique dans l'intervalle du champ magnétique de 6 à 8mT. L'objectif étant d'améliorer la compréhension des mécanismes de dégradation *NBTI* pour les dispositifs *MOSFET*. Nous donnons dans les points suivants les principales conclusions découlant de cette étude :

La méthode *C-V* pour la caractérisation *NBTI*, dont la validation a été effectuée sur différents transistors *VDMOSFET* a permis d'examiner toutes les régions d'interface sous l'oxyde de grille d'un *VDMOSFET* par une seule mesure. Cependant, les techniques conventionnelles telles que le *CP*, la *I-V* et les techniques *DC-IV* ne peuvent examiner qu'une partie des régions d'interface des transistors *VDMOSFET*. Nos résultats indiquent que les régions de type-*n* (la région du drain dans le *VDMOSFET* à canal-*n* et la région du canal dans le *VDMOSFET* à canal-*p*) sont plus sensibles au stress *NBTI*. Il est possible que l'hydrogène soit libéré facilement des complexes *P-H* (existant dans la région de type-*n*) plutôt que des complexes *B-H* (existant dans la région de type-*p*).

L'effet du champ magnétique sur la dégradation *NBTI* des dispositifs *VDMOSFET* a fait ressortir des observations très intéressantes. Le champ magnétique n'affecte pas la caractéristique *I-V* et les courbes *CP* mesurées avant et après le stress *NBTI*. Cela signifie que l'application du champ magnétique influence seulement les mécanismes de la dégradation *NBTI*. Les résultats ont également confirmé que les pièges à l'interface et dans l'oxyde induits

par le stress *NBTI* sont réduits, le taux de création des pièges dans l'oxyde est diminué et le recouvrement des pièges dans l'oxyde est accéléré par l'application du champ magnétique. Ainsi, nous avons pu conclure que le fonctionnement des transistors *VDMOSFET* sous l'application d'un champ magnétique faible pourrait améliorer la durée de vie de ces dispositifs. Toutefois, les mécanismes physiques responsables de la réduction de la dégradation *NBTI* par l'application du champ magnétique ne sont pas clairs. Ils pourraient être causés par des mécanismes dépendant du spin et de l'effet du champ magnétique sur la réaction électrochimique qui conduit à la création et au recouvrement des pièges.

A l'avenir, il sera intéressant d'étudier la fiabilité des transistors *MOSFET* soumis à d'autres types de contrainte, tels que *HCI* et *TDDDB*, et plus particulièrement, l'estimation des différents pièges induits par ces dégradations dans les différentes régions constituant le transistor *VDMOSFET*. De même, nous prévoyons d'examiner l'influence du champ magnétique sur les dégradations *HCI* et *TDDDB*.

Afin de valider notre dernier résultat de caractérisation *EDMR* concernant l'existence d'autres pics secondaires (c'est-à-dire l'existence d'autres types de défauts paramagnétiques), il sera tout aussi instructif d'effectuer des caractérisations en variant la puissance du signal *RF* et la fréquence du signal de modulation.

REFERENCES BIBLIOGRAPHIQUES

- [1] S. I. Association, “process integration, devices and structures,” *Int. Technol. roadmap Semicond.*, 2011.
- [2] M. Denais, “Etude des phénomènes de dégradation de type Negative Bias Temperature Instability (NBTI) dans les transistors MOS submicroniques des filières CMOS avancées.” Université de Provence-Aix-Marseille I, 2005.
- [3] J. H. Stathis, S. Mahapatra, and T. Grasser, “Controversial issues in negative bias temperature instability,” *Microelectron. Reliab.*, vol. 81, pp. 244–251, 2018.
- [4] Y. Miura and Y. Matukura, “Investigation of silicon-silicon dioxide interface using MOS structure,” *Jpn. J. Appl. Phys.*, vol. 5, no. 2, pp. 180–180, 1966.
- [5] B. E. Deal, M. Sklar, a. S. Grove, and E. H. Snow, “Characteristics of the surface-state charge (Q_{ss}) of thermally oxidized silicon,” *J. Electrochem. Soc.*, vol. 114, no. 3, pp. 266–274, 1967.
- [6] K. O. Jeppson and C. M. Svensson, “Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices,” *J. Appl. Phys.*, vol. 48, no. 5, pp. 2004–2014, 1977.
- [7] M. Alam and S. Mahapatra, “A comprehensive model of PMOS NBTI degradation,” *Microelectron. Reliab.*, vol. 45, no. 1, pp. 71–81, 2005.
- [8] T. Grasser, B. Kaczer, W. Goes, T. Aichinger, P. Hehenberger, M. Nelhiebel, and Ieee, “A Two-Stage Model for Negative Bias Temperature Instability,” *2009 IEEE Int. Reliab. Phys. Symp.*, pp. 33–44, 2009.
- [9] S. Mahapatra, S. De, K. Joshi, S. Mukhopadhyay, R. K. Pandey, and K. Murali, “Understanding process impact of hole traps and NBTI in HKMG P-MOSFETs using measurements and atomistic simulations,” *IEEE Electron Device Lett.*, vol. 34, no. 8, pp. 963–965, 2013.
- [10] Y. Huang, T. Yew, W. Wang, Y. Lee, J. R. Shih, and K. Wu, “Re-investigation of frequency dependence of PBTI / TDDB and its impact on fast switching logic circuits,” *IEEE Int. Reliab. Phys. Symp.*, p. 4A.4.1-4A.4.5, 2013.
- [11] S. Mahapatra, N. Goel, S. Desai, S. Gupta, B. Jose, S. Mukhopadhyay, K. Joshi, A. Jain, A. E. Islam, and M. A. Alam, “A comparative study of different physics-based NBTI models,” *IEEE Trans. Electron Devices*, vol. 60, no. 3, pp. 901–916, 2013.
- [12] X. Federspiel, M. Rafik, D. Angot, F. Cacho, and D. Roy, “Interaction between BTI and HCI degradation in High-K devices,” *IEEE Int. Reliab. Phys. Symp. Proc.*, p. XT.9.1-XT.9.4, 2013.
- [13] E. H. Poindexter, G. J. Gerardi, M. E. Rueckel, P. J. Caplan, N. M. Johnson, and D. K. Biegelsen, “Electronic traps and Pb centers at the Si/SiO₂ interface: band-gap energy distribution,” *J. Appl. Phys.*, vol. 56, no. 10, pp. 2844–2849, 1984.
- [14] C. J. Cochrane, P. M. Lenahan, and A. J. Lelis, “An electrically detected magnetic resonance study of performance limiting defects in SiC metal oxide semiconductor field effect transistors,” *J. Appl. Phys.*, vol. 109, no. 1, p. 14506, 2011.
- [15] E. H. Nicollian and J. R. Brews, *MOS (Metal Oxide Semiconductor) physics and technology*. John Wiley & Sons, 1982.
- [16] S. M. Sze and K. K. Ng, *Physics of semiconductor devices*. John Wiley & Sons, 2007.

- [17] J.-P. Colinge and C. A. Colinge, *Physics of semiconductor devices*. Kluwer Academic Publishers, 2002.
- [18] V. K. Khanna, “Physics of carrier-transport mechanisms and ultra-small scale phenomena for theoretical modelling of nanometer MOS transistors from diffusive to ballistic regimes of operation,” *Phys. Rep.*, vol. 398, no. 2, pp. 67–131, 2004.
- [19] M. L. Green, E. P. Gusev, R. Degraeve, and E. L. Garfunkel, “Ultrathin (<4 nm) SiO₂ and Si-O-N gate dielectric layers for silicon microelectronics: Understanding the processing, structure, and physical and electrical limits,” *J. Appl. Phys.*, vol. 90, no. 5, pp. 2057–2121, 2001.
- [20] J. McPherson, J. Y. Kim, A. Shanware, and H. Mogul, “Thermochemical description of dielectric breakdown in high dielectric constant materials,” *Appl. Phys. Lett.*, vol. 82, no. 13, pp. 2121–2123, 2003.
- [21] A. Demkov and O. Sankey, “Growth study and theoretical investigation of the ultrathin oxide SiO₂-Si heterojunction,” *Phys. Rev. Lett.*, vol. 83, no. 10, pp. 2038–2041, 1999.
- [22] a. M. Stoneham, C. R. M. Grovenor, and a. Cerezo, “Oxidation and the structure of the silicon/oxide interface,” *Philos. Mag. Part B*, vol. 55, no. 2, pp. 201–210, 1987.
- [23] E. Cartier, D. a. Buchanan, J. H. Stathis, and D. J. DiMaria, “Atomic hydrogen-induced degradation of thin SiO₂ gate oxides,” *J. Non. Cryst. Solids*, vol. 187, pp. 244–247, 1995.
- [24] G. Larosa, “Negative bias temperature instabilities in pMOSFET devices,” in *Reliability Wearout Mechanisms in Advanced CMOS Technologies*, S. K. T. And and J. E. Brewer, Eds. John Wiley & Sons, 2009, pp. 331–434.
- [25] G. Ghibaudo, R. Clerc, E. Vincent, S. Bruyère, and J. L. Autran, “Gate dielectrics for ultimate CMOS technologies – Limitations and alternative solutions,” *Comptes Rendus l’Académie des Sci. - Ser. IV - Phys.*, vol. 1, no. 7, pp. 911–927, 2000.
- [26] R. H. Fowler and L. Nordheim, “Electron emission in intense electric fields,” *Proceeding R. Soc. A*, vol. 119, pp. 173–181, 1928.
- [27] J. Frenkel, “On pre-breakdown phenomena in insulators and electronic semi-conductors,” *Phys. Rev.*, vol. 54, no. 8, pp. 647–648, 1938.
- [28] F. Jiménez-Molinos, F. Gámiz, A. Palma, P. Cartujo, and J. A. López-Villanueva, “Direct and trap-assisted elastic tunneling through ultrathin gate oxides,” *J. Appl. Phys.*, vol. 91, no. 8, pp. 5116–5124, 2002.
- [29] G. Barbottin and A. Vapaille, “Defects in silica films,” in *Instabilities in Silicon Devices*, vol. 3, North-Holland : Elsevier Science Publishers B.V., 1989, pp. 101–153.
- [30] B. E. Deal, “Standardized terminology for oxide charges associated with thermally oxidized silicon,” *IEEE Trans. Electron Devices*, vol. 27, no. 3, pp. 606–608, 1980.
- [31] D. M. Fleetwood, “Border traps in MOS devices,” *IEEE Trans. Nucl. Sci.*, vol. 39, no. 2, pp. 269–271, 1992.
- [32] E. Klausmann, W. R. Fahrner, and D. Bräunig, “The intrinsic states and fixed charges of the Si±SiO₂ interface,” *Instab. Silicon Devices. Amsterdam Elsevier*, 1989.
- [33] B. Djezzar, S. Oussalah, and A. Smatti, “A new oxide-trap based on charge-pumping (OTCP) extraction method for irradiated MOSFET devices: Part I (high frequencies),” *IEEE Trans. Nucl. Sci.*, vol. 51, no. 4, pp. 1724–1731, 2004.

- [34] C. J. Nicklaw, Z.-Y. Lu, D. M. Fleetwood, R. D. Schrimpf, and S. T. Pantelides, "The structure, properties, and dynamics of oxygen vacancies in amorphous SiO₂," *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 2667–2673, 2002.
- [35] D. M. Fleetwood, "Fast and slow border traps in MOS devices," *IEEE Trans. Nucl. Sci.*, vol. 43, no. 3, pp. 779–786, 1996.
- [36] A. J. Leles and T. R. Oldham, "Time dependence of switching oxide traps," *IEEE Trans. Nucl. Sci.*, vol. 41, no. 6, pp. 1835–1843, 1994.
- [37] B. Nadji, H. Tahiri, and B. Djeddar, "Fast and simple method for estimation and separation of radiation-induced traps in MOSFETs devices," *IEEE Int. Conf. Qual. Reliab.*, pp. 469–472, 2011.
- [38] Y. Nishi, "Study of silicon-silicon dioxide structure by electron spin resonance," *Jpn. J. Appl. Phys.*, vol. 10, no. 1, pp. 52–62, 1971.
- [39] A. H. Edwards, "Interaction of H and H₂ with the silicon dangling orbital at the 111 Si/SiO₂ interface," *Phys. Rev. B*, vol. 44, no. 4, pp. 1832–1838, 1991.
- [40] P. J. Caplan, E. H. Poindexter, B. E. Deal, and R. R. Razouk, "ESR centers, interface states, and oxide fixed charge in thermally oxidized silicon wafers," *J. Appl. Phys.*, vol. 50, no. 9, pp. 5847–5854, 1979.
- [41] Y. Y. Kim and P. M. Lenahan, "Electron-spin-resonance study of radiation-induced paramagnetic defects in oxides grown on (100) silicon substrates," *J. Appl. Phys.*, vol. 64, no. 7, pp. 3551–3557, 1988.
- [42] E. H. Poindexter, P. J. Caplan, B. E. Deal, and R. R. Razouk, "Interface states and electron spin resonance centers in thermally oxidized (111) and (100) silicon wafers," *J. Appl. Phys.*, vol. 52, no. 2, pp. 879–884, 1981.
- [43] A. Stesmans and V. V. Afanas'ev, "Electron spin resonance features of interface defects in thermal (100) Si/SiO₂," *J. Appl. Phys.*, vol. 83, no. 5, pp. 2449–2457, 1998.
- [44] K. L. Brower, "Structural features at the Si-SiO₂ interface," *Zeitschrift Fur Phys. Chemie Neue Folge*, vol. 151, pp. 177–189, 1987.
- [45] J. P. Campbell, P. M. Lenahan, C. J. Cochrane, a T. Krishnan, and S. Krishnan, "Atomic-scale defects involved in the negative bias temperature instability," *IEEE Trans. Device Mater. Reliab.*, vol. 7, no. 4, pp. 540–557, 2007.
- [46] W. Futako, N. Mizuochi, and S. Yamasaki, "In situ ESR observation of interface dangling bond formation processes during ultrathin SiO₂ growth on Si(111)," *Phys. Rev. Lett.*, vol. 92, no. 10, pp. 105505-1-105505-4, 2004.
- [47] P. M. Lenahan, N. A. Bohna, and J. P. Campbell, "Radiation-induced interface traps in MOS devices: Capture cross section and density of states of Pb1 silicon dangling bond centers," *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 2708–2712, 2002.
- [48] P. M. Lenahan, T. D. Mishima, J. Jumper, T. N. Fogarty, and R. T. Wilkins, "Direct experimental evidence for atomic scale structural changes involved in the interface-trap transformation process," *IEEE Trans. Nucl. Sci.*, vol. 48, no. 6, pp. 2131–2135, 2001.
- [49] D. K. Schroder, "Negative bias temperature instability: What do we understand?," *Microelectron. Reliab.*, vol. 47, no. 6, pp. 841–852, 2007.
- [50] C. M. Svensson, "The defect structure of the Si-SiO₂ interface, a model based on trivalent silicon and its hydrogen 'compounds,'" in *The Physics of SiO₂ and its Interfaces*, S. T. Pantelides, Ed. New-York : Pergamon, 1978, pp. 328–332.

- [51] G. Hollinger, "Structures chimique et electronique de l'interface SiO₂-Si," *Appl. Surf. Sci.*, vol. 8, no. 3, pp. 318–336, 1981.
- [52] F. Grunthaler and P. Grunthaler, "Chemical and electronic structure of the SiO₂/Si interface," *Mater. Sci. reports*, vol. 1, no. 2, pp. 65–160, 1986.
- [53] R. A. Weeks, "The many varieties of E' centers: a review," *J. Non. Cryst. Solids*, vol. 179, pp. 1–9, 1994.
- [54] J. T. Ryan, P. M. Lenahan, T. Grasser, and H. Enichlmair, "Recovery-free electron spin resonance observations of NBTI degradation," *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 43–49, 2010.
- [55] P. W. Atkins and M. C. R. Symons, *The structure of inorganic radicals . An Application of Electron Spin Resonance to the study of molecular structure*. New York: Elsevier Publishing Company, 1967.
- [56] S. P. Karna, A. C. Pineda, R. D. Pugh, W. M. Shedd, and T. R. Oldham, "Electronic structure theory and mechanisms of the oxide trapped hole annealing process," *IEEE Trans. Nucl. Sci.*, vol. 47, no. 6, pp. 2316–2321, 2000.
- [57] F. J. Feigl, W. B. Fowler, and K. L. Yip, "Oxygen vacancy model for the E'1 center in SiO₂," *Solid State Commun.*, vol. 14, no. 3, pp. 225–229, 1974.
- [58] C. D. Lai, M. Xie, and D. N. P. B. T.-H. of S. Murthy, "Ch. 3. Bathtub-shaped failure rate life distributions," in *Advances in Reliability*, vol. 20, Elsevier, 2001, pp. 69–104.
- [59] E. H. Snow, A. S. Grove, B. E. Deal, and C. T. Sah, "Ion Transport Phenomena in Insulating Films," *J. Appl. Phys.*, vol. 36, no. 5, pp. 1664–1673, 1965.
- [60] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, and G. Ghibaudo, "Review on high-k dielectrics reliability issues," *IEEE Trans. Device Mater. Reliab.*, vol. 5, no. 1, pp. 5–19, 2005.
- [61] G. LaRosa, "Negative bias temperature instabilities in pMOSFET devices," in *Reliability Wearout Mechanisms in Advanced CMOS Technologies*, Hoboken: Wiley, 2009, pp. 331–439.
- [62] T. Grasser, W. Goes, and B. Kaczer, "Toward Engineering Modeling of Negative Bias Temperature Instability," in *Defects in Microelectronic Materials and Devices*, Boca Raton, London, New York: CRC Press, 2009, pp. 399–436.
- [63] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing," *J. Appl. Phys.*, vol. 94, no. 1, pp. 1–18, 2003.
- [64] D. Lu, G. A. Ruggles, and J. J. Wortman, "Effects of processing conditions on negative bias temperature instability in metaloxide semiconductor structures," *Appl. Phys. Lett.*, vol. 52, no. 16, pp. 1344–1346, 1988.
- [65] S. K. Haywood and R. F. De Keersmaecker, "Hole trapping and interface state generation during bias temperature stress of SiO₂ layers," *Appl. Phys. Lett.*, vol. 47, no. 4, pp. 381–383, 1985.
- [66] T. L. Tewksbury, H. Lee, and S. Member, "Characterization, modeling, and minimization of transient threshold voltage shifts in MOSFET' s," *EEE J. SOLID-STATE CIRCUIT*, vol. 29, no. 3, pp. 239–252, 1994.

- [67] H. Reisinger, O. Blank, W. Heinrigs, W. Gustin, and C. Schlunder, "Analysis of NBTI degradation and recovery-behavior based on ultra fast VT-measurements," *IEEE Int. Reliab. Phys. Symp.*, pp. 448–453, 2006.
- [68] V. Huard, C. R. Parthasarathy, C. Guerin, and M. Denais, "Physical modeling of negative bias temperature instabilities for predictive extrapolation," *IEEE Int. Reliab. Phys. Symp.*, pp. 733–734, 2006.
- [69] D. J. Breed, "A new model for the negative voltage instability in MOS devices," *Appl. Phys. Lett.*, vol. 116, no. 3, pp. 116–118, 1975.
- [70] D. J. Breed, "Non-ionic room temperature in MOS devices," *Solid. State. Electron.*, vol. 17, pp. 1229–1243, 1974.
- [71] S. Ogawa, M. Shimaya, and N. Shiono, "Interfacetrapping generation at ultrathin SiO₂ (4 – 6 nm) Si interfaces during negative bias temperature aging," *J. Appl. Phys.*, vol. 77, no. 3, pp. 1137–1148, 1995.
- [72] G. J. Gerardi, E. H. Poindexter, P. J. Caplan, M. Harmatz, and W. R. Buchwald, "Generation of Pb centers by high electric fields: thermochemical effects," *J. Electrochem. Soc.*, vol. 136, no. 9, pp. 2609–2614, 1989.
- [73] C. E. Blat, E. H. Nicollian, and E. H. Poindexter, "Mechanism of negative-bias-temperature instability," *J. Appl. Phys.*, vol. 69, no. 3, pp. 1712–1720, 1991.
- [74] A. E. Islam, "Theory and characterization of random defect formation and its implication in variability of nanoscale transistors." Purdue University, 2010.
- [75] S. Chakravarthi, A. Krishnan, V. Reddy, C. F. Machala, and S. Krishnan, "A comprehensive framework for predictive modeling of negative bias temperature instability," *IEEE Int. Reliab. Phys. Symp.*, pp. 273–282, 2004.
- [76] M. a. Alam, "A critical examination of the mechanics of dynamic NBTI for PMOSFETs," *IEEE Int. Electron Devices Meet. 2003*, pp. 345–348, 2003.
- [77] S. N. Rashkeev, D. M. Fleetwood, R. D. Schrimpf, and S. T. Pantelides, "Defect generation by hydrogen at the Si- SiO₂ interface," *Phys. Rev. Lett.*, vol. 87, no. 16, pp. 165506-1-165506-4, 2001.
- [78] C. G. Van De Walle and B. R. Tuttle, "Microscopic theory of hydrogen in silicon devices," *IEEE Trans. Electron Devices*, vol. 47, no. 10, pp. 1779–1786, 2000.
- [79] A. E. Islam, H. Kufluoglu, D. Varghese, S. Mahapatra, and M. A. Alam, "Recent issues in Negative-Bias Temperature Instability : initial degradation , field dependence of interface trap generation , hole trapping effects , and relaxation," *IEEE Trans. Electron Devices*, vol. 54, no. 9, pp. 2143–2154, 2007.
- [80] M. A. Alam, H. Kufluoglu, D. Varghese, and S. Mahapatra, "A comprehensive model for PMOS NBTI degradation: Recent progress," *Microelectron. Reliab.*, vol. 47, no. 6, pp. 853–862, 2007.
- [81] H. Küflüoglu and M. A. Alam, "A generalized Reaction – Diffusion model with explicit H – H₂ dynamics for Negative-Bias Temperature-Instability (NBTI) degradation," *IEEE Trans. Electron Devices*, vol. 54, no. 5, pp. 1101–1107, 2007.
- [82] M. A. Alam and H. Kufluoglu, "On quasi-saturation of negative bias temperature degradation," *Electrochem. Soc. Trans.*, pp. 139–145, 2005.

- [83] N. Stojadinovic, I. Manic, S. Djoric-Veljkovic, V. Davidovic, S. Golubovic, and S. Dimitrijevic, "Mechanisms of positive gate bias stress induced instabilities in power VDMOSFETs," *Microelectronics Reliability*, vol. 41, pp. 1373–1378, 2001.
- [84] S. Dimitrijevic and N. Stojadinovic, "Analysis of CMOS transistor instabilities," *Solid State Electron.*, vol. 30, no. 10, pp. 991–1003, 1987.
- [85] M. S. Park, I. M. Na, C. I. Lee, and C. R. Wie, "DCIV and spectral charge-pumping studies of γ -ray and X-ray irradiated power VDMOSFET devices," *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 3230–3237, 2002.
- [86] M. S. Park and C. R. Wie, "Study of radiation effects in γ -ray irradiated power VDMOSFET by DCIV technique," *IEEE Trans. Nucl. Sci.*, vol. 48, no. 6, pp. 2285–2293, 2001.
- [87] P. Habas, Z. Prijic, and D. Pantic, "The application of charge-pumping technique to characterize the Si / SiO₂ interface in power VDMOSFETs," *Microelectron. Eng.*, vol. 28, pp. 171–174, 1995.
- [88] S. C. Witzak, K. F. Galloway, R. D. Schrimpf., J. L. Titus, J. R. Brews, and G. Prevost, "The determination of Si-SiO₂ interface trap density in irradiated four-terminal VDMOSFETs using charge-pumping," *IEEE Trans. Nucl. Sci.*, vol. 43, no. 6, pp. 2558–2564, 1996.
- [89] M.-S. Park, I. Na, and C. R. Wie, "A comparison of ionizing radiation and high field stress effects in n-channel power vertical double-diffused metal-oxide-semiconductor field-effect transistors," *J. Appl. Phys.*, vol. 97, no. 1, p. 14503, 2005.
- [90] J. F. Conley and P. M. Lenahan, "Molecular hydrogen, E' center hole traps, and radiation induced interface traps in MOS devices," *IEEE Trans. Nucl. Sci.*, vol. 40, no. 6, pp. 1335–1340, 1993.
- [91] A. Neugroschel, C.-T. Sah, K. M. Han, M. S. Carroll, T. Nishida, J. T. Kavalieros, and Y. Lu, "Direct-current measurements of oxide and interface traps on oxidized silicon," *IEEE Trans. Electron Devices*, vol. 42, no. 9, pp. 1657–1662, 1995.
- [92] J. S. Brugler and P. G. A. Jespers, "Charge pumping in MOS devices," *IEEE Trans. Electron Devices*, vol. 16, no. 3, pp. 297–302, 1969.
- [93] A. B. M. Elliot, "The use of charge pumping currents to measure surface state densities in MOS transistors," *Solid. State. Electron.*, vol. 19, pp. 241–247, 1976.
- [94] G. Groeseneken, H. E. Maes, N. Beltran, and R. F. DE Keersmaecker, "A reliable approach to charge-pumping measurements in MOS transistors," *IEEE Trans. Electron Devices*, vol. 31, no. 1, pp. 42–53, 1984.
- [95] P. Heremans, J. Witters, G. Groeseneken, and H. E. Maes, "Analysis of the charge pumping technique and its application for the evaluation of MOSFET degradation," *IEEE Trans. Electron Devices*, vol. 36, no. 7, pp. 1318–1335, 1989.
- [96] G. Prevost, P. Augier, and J.-M. Palau, "The use of charge-pumping for characterizing irradiated power MOSFETs," *IEEE Trans. Nucl. Sci.*, vol. 43, no. 3, pp. 858–864, 1996.
- [97] J. Koomen, "Investigation of the most channel conductance in weak inversion," *Solid State Electron.*, vol. 16, no. 7, pp. 801–810, 1973.
- [98] P. Vitanov, U. Schwabe, and I. Eisele, "Electrical characterization of feature sizes and parasitic capacitances using a single test structure," *IEEE Trans. Electron Devices*, vol. 31, no. 1, pp. 96–100, 1984.

- [99] D. K. Schroder, *Semiconductor material and device characterization*, Third Edit. John Wiley & Sons, 2005.
- [100] E. F. Stikvoort, "Increase of gate capacitance in DMOST," *IEEE Trans. Electron Devices*, vol. 25, no. 12, 1978.
- [101] G. J. Miller, "Study of the input and reverse transfer capacitance of vertical MOS transistors," *IEEE Trans. Electron Devices*, vol. 30, no. 10, pp. 1344–1347, 1983.
- [102] C. M. Liu and J. B. Kuo, "Quasi-saturation capacitance behavior of a DMOS device," *IEEE Trans. Electron Devices*, vol. 44, no. 7, pp. 1117–1123, 1997.
- [103] R. Scott, G. Franz, and J. Johnson, "An accurate model for power DMOSFET's including interelectrode capacitances," *IEEE Trans. Power Electron.*, vol. 6, pp. 192–198, 1991.
- [104] E. Zavoisky, "Paramagnetic absorption in perpendicular and parallel fields for salts, solutions and metals," PhD thesis, Kazan State University, 1944.
- [105] P. M. Lenahan and J. F. Conley, "What can electron paramagnetic resonance tell us about the Si / SiO₂ system ?," *J. Vac. Sci. Technol. B*, vol. 16, no. 4, pp. 2134–2153, 1998.
- [106] J. A. Weil and J. R. Bolton, *Electron paramagnetic resonance*, Second edi. John Wiley & Sons, Inc., Hoboken, New Jersey, 2007.
- [107] J. E. Wertz and J. R. Bolton, *Electron spin resonance: Elementary theory and practical applications*. Chapman and Hall New York • London, 1986.
- [108] I. N. Levine, *Quantum chemistry*, Seventh ed. Pearson Education, 2014.
- [109] M. H. Levitt, *Spin dynamics : Basics of nuclear magnetic resonance*, Second Edi. John Wiley & Sons, 2008.
- [110] C. P. Slichter, *Principles of magnetic resonance*. Springer-Verlag Berlin Heidelberg, 1990.
- [111] C. P. Poole, *Electron spin resonance : A comprehensive treatise on experimental techniques*, Second Edi. John Wiley & Sons, 1983.
- [112] J. P. Campbell, P. M. Lenahan, A. T. Krishnan, and S. Krishnan, "Identification of the atomic-scale defects involved in the negative bias temperature instability in plasma-nitrided p -channel metal-oxide-silicon field-effect transistors," *J. Appl. Phys.*, vol. 103, no. 4, p. 44505, 2008.
- [113] D. J. Meyer, N. A. Bohna, P. M. Lenahan, and A. J. Lelis, "Spin dependent recombination at deep-level centers in 6H silicon carbide/silicon metal oxide semiconductor field effect transistors," *Mater. Sci. Forum*, vol. 457–460, pp. 477–480, 2004.
- [114] C. J. Cochrane, P. M. Lenahan, and J. P. Campbell, "Observation of negative bias stressing interface trapping centers in metal gate hafnium oxide field effect transistors using spin dependent recombination," *Appl. Phys. Lett.*, vol. 90, no. 12, p. 123502, 2007.
- [115] C. J. Cochrane, P. M. Lenahan, and A. J. Lelis, "Identification of a silicon vacancy as an important defect in 4H SiC metal oxide semiconducting field effect transistor using spin dependent recombination," *Appl. Phys. Lett.*, vol. 100, no. 2, p. 23509, 2012.

- [116] C. J. Cochrane, P. M. Lenahan, and A. J. Lelis, “Deep level defects which limit current gain in 4H SiC bipolar junction transistors,” *Appl. Phys. Lett.*, vol. 90, no. 12, pp. 88–91, 2007.
- [117] C. J. Cochrane, P. M. Lenahan, and A. J. Lelis, “Direct observation of lifetime killing defects in 4H SiC epitaxial layers through spin dependent recombination in bipolar junction transistors,” *J. Appl. Phys.*, vol. 105, no. 6, p. 64502, 2009.
- [118] M. Fehr, J. Behrends, S. Haas, B. Rech, K. Lips, and A. Schnegg, “Electrical detection of electron-spin-echo envelope modulations in thin-film silicon solar cells,” *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 84, no. 19, p. 193202, 2011.
- [119] J. Behrends, A. Schnegg, C. Boehme, S. Haas, H. Stiebig, F. Finger, B. Rech, and K. Lips, “Recombination and transport in microcrystalline pin solar cells studied with pulsed electrically detected magnetic resonance,” *J. Non. Cryst. Solids*, vol. 354, no. 19–25, pp. 2411–2415, 2008.
- [120] J. T. Ryan, P. M. Lenahan, A. T. Krishnan, and S. Krishnan, “Spin dependent tunneling spectroscopy in 1.2 nm dielectrics,” *J. Appl. Phys.*, vol. 108, no. 6, p. 64511, 2010.
- [121] Y. Sheng, T. D. Nguyen, G. Veeraraghavan, Ö. Mermer, M. Wohlgenannt, S. Qiu, and U. Scherf, “Hyperfine interaction and magnetoresistance in organic semiconductors,” *Phys. Rev. B*, vol. 74, no. 4, p. 45213, 2006.
- [122] C. J. Cochrane and P. M. Lenahan, “Zero-field detection of spin dependent recombination with direct observation of electron nuclear hyperfine interactions in the absence of an oscillating electromagnetic field,” *J. Appl. Phys.*, vol. 112, no. 12, p. 123714, 2012.
- [123] S. M. Merah and B. Nadji, “Development and design of Helmholtz coil for NBTI degradation studies,” in *Electrical Engineering-Boumerdes (ICEE-B), 2017 5th International Conference on*, 2017, pp. 1–5.
- [124] C. J. Cochrane, “Development of new atomic scale defect identification schemes in micro / nanoelectronics incorporating digital signal processing methods for investigating zero/low field spin dependent transport and passage effects in electrically detected magnetic resona,” The Pennsylvania State University, 2013.
- [125] T. K. Kiong, W. Qing-Guo, H. C. Chieh, and T. J. Hagglund, *Advances in PID Control*. Springer-Verlag London Berlin Heidelberg, 1999.
- [126] “High Speed Current Amplifier DHPCA-100,” *Femto, Datasheet*. .
- [127] M. Meade, *Lock-in Amplifiers: Principles and Applications*. Peter Peregrinus Ltd, 1983.
- [128] R. H. Dicke, “The measurement of thermal radiation at microwave frequencies,” *Rev. Sci. Instrum.*, vol. 17, no. 7, pp. 268–275, 1946.
- [129] D. W. Prestou and E. R. Dietz, *The art of experimental physics*. John Wiley & Sons, 1991.
- [130] D. J. Lepine, “Spin-dependent recombination on silicon surface,” *Phys. Rev. B*, vol. 6, no. 2, pp. 436–441, 1972.
- [131] W. Shockley and W. T. Read, “Statistics of the recombination of holes and electrons,” *Phys. Rev.*, vol. 87, pp. 835–842, 1952.
- [132] W. Shockley and G. L. Pearson, “Modulation of conductance of thin films of semi-conductors by surface charges,” *Phys. Rev.*, vol. 74, pp. 232–233, 1948.

- [133] W. Pauli, "Exclusion principle and quantum mechanics," *Nobel Lect.*, 1946.
- [134] J. Fitzgerald and A. S. Grove, "Surface recombination in semiconductors," *Surf. Sci.*, vol. 9, pp. 347–369, 1968.
- [135] J. W. Gabrys, P. M. Lenahan, and W. Weber, "High resolution spin dependent recombination study of hot carrier damage in short channel MOSFETs : ^{29}Si hyperfine spectra," *Microelectron. Eng.*, vol. 22, pp. 273–276, 1993.
- [136] M. A. Jupina and P. M. Lenahan, "A spin dependent recombination study of radiation induced defects at and near the Si / SiO_2 interface," *IEEE Trans. Nucl. Sci.*, vol. 36, no. 6, pp. 1800–1807, 1989.
- [137] D. Kaplan, I. Solomon, and N. F. Mott, "Explanation of the large spin-dependent recombination effect in semiconductors," *J. Phys. Lettres*, vol. 39, no. 4, pp. 51–54, 1978.
- [138] B. C. Bittel, P. M. Lenahan, J. T. Ryan, J. Fronheiser, and A. J. Lelis, "Spin dependent charge pumping in SiC metal-oxide-semiconductor field-effect-transistors," *Appl. Phys. Lett.*, vol. 99, no. 8, p. 83504, 2011.
- [139] D. B. Habersat, A. J. Lelis, J. M. McGarrity, F. B. Mclean, and S. Potbhare, "The effect of nitridation on SiC MOS oxides as evaluated by charge pumping," *Mater. Sci. Forum*, vol. 600–603, pp. 743–746, 2009.
- [140] D. J. Meyer, N. A. Bohna, P. M. Lenahan, and A. J. Lelis, "Structure of 6H silicon carbide / silicon dioxide interface trapping defects Structure," *Appl. Phys. Lett.*, vol. 84, no. 17, pp. 3406–3408, 2004.
- [141] M. S. Dautrich, P. M. Lenahan, and A. J. Lelis, "Identification of trapping defects in 4 H -silicon carbide metal-insulator-semiconductor field-effect transistors by electrically detected magnetic resonance," *Appl. Phys. Lett.*, vol. 89, p. 223502, 2006.
- [142] C. J. Cochrane, P. M. Lenahan, and A. J. Lelis, "Electrically detected magnetic resonance studies of processing variations in 4H SiC based MOSFETs," *Mater. Sci. Forum*, vol. 600–603, pp. 719–722, 2009.
- [143] D. S. Ang, S. Wang, and C. H. Ling, "Evidence of two distinct degradation mechanisms from temperature dependence of negative bias stressing of the ultrathin gate p-MOSFET," *IEEE Electron Device Lett.*, vol. 26, no. 12, pp. 906–908, 2005.
- [144] V. Huard, M. Denais, and C. Parthasarathy, "NBTI degradation: From physical mechanisms to modelling," *Microelectron. Reliab.*, vol. 46, no. 1, pp. 1–23, 2006.
- [145] S. Ogawa and N. Shiono, "Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si- SiO_2 interface," *Phys. Rev. B*, vol. 51, no. 7, pp. 4218–4230, 1995.
- [146] J. P. Campbell, P. M. Lenahan, A. T. Krishnan, and S. Krishnan, "Direct observation of the structure of defect centers involved in the negative bias temperature instability," *Appl. Phys. Lett.*, vol. 87, no. 20, pp. 1–3, 2005.
- [147] N. Stojadinović, D. Danković, S. Djorić-Veljković, V. Davidović, I. Manić, and S. Golubović, "Negative bias temperature instability mechanisms in p-channel power VDMOSFETs," *Microelectron. Reliab.*, vol. 45, no. 9–11, pp. 1343–1348, 2005.
- [148] S. Mileusnic; P. Haba; M.Zivanov, "New characterization technique for oxide degradation in power VDMOSFET based on split C-V," *Semicond. Conf. 1999. CAS '99 Proceedings. 1999 Int.*, pp. 165–168, 1999.

- [149] C. Picard, C. Brisset, a. Hoffmann, J.-P. Charles, F. Joffre, L. Adams, and a. Holmes Siedle, "Use of electrical stress and isochronal annealing on power MOSFETs in order to characterize the effects of 60Co irradiation," *Microelectron. Reliab.*, vol. 40, no. 8–10, pp. 1647–1652, 2000.
- [150] V. Huard, M. Denais, F. Perrier, N. Revil, C. Parthasarathy, A. Bravaix, and E. Vincent, "A thorough investigation of MOSFETs NBTI degradation," *Microelectron. Reliab.*, vol. 45, no. 1, pp. 83–98, 2005.
- [151] L. Tsetseris, X. J. Zhou, D. M. Fleetwood, R. D. Schrimpf, and S. T. Pantelides, "Physical mechanisms of negative-bias temperature instability," *Appl. Phys. Lett.*, vol. 86, p. 142103, 2005.
- [152] N. Stojadinović, D. Danković, S. Djorić-Veljković, V. Davidović, I. Manić, and S. Golubović, "Negative bias temperature instability mechanisms in p-channel power VDMOSFETs," *Microelectron. Reliab.*, vol. 45, no. 9–11, pp. 1343–1348, 2005.
- [153] D. Danković, I. Manić, V. Davidović, S. Djorić-Veljković, S. Golubović, and N. Stojadinović, "Negative bias temperature instability in n-channel power VDMOSFETs," *Microelectron. Reliab.*, vol. 48, no. 8–9, pp. 1313–1317, 2008.
- [154] I. Manić, D. Danković, S. Djorić-Veljković, V. Davidović, S. Golubović, and N. Stojadinović, "Effects of low gate bias annealing in NBT stressed p-channel power VDMOSFETs," *Microelectron. Reliab.*, vol. 49, no. 9–11, pp. 1003–1007, 2009.
- [155] N. Stojadinović, I. Manić, D. Danković, S. Djorić-Veljković, V. Davidović, A. Prijić, S. Golubović, and Z. Prijić, "Negative bias temperature instability in thick gate oxides for power MOS transistors," in *Bias Temperature Instability for Devices and Circuits*, Springer, 2014, pp. 533–559.
- [156] V. Davidović, D. Danković, A. Ilić, I. Manić, S. Golubović, S. Djorić-Veljković, Z. Prijić, and N. Stojadinović, "NBTI and irradiation effects in p-channel power VDMOS transistors," *IEEE Trans. Nucl. Sci.*, vol. 63, no. 2, pp. 1268–1275, 2016.
- [157] D. Danković, I. Manić, V. Davidović, A. Prijić, M. Marjanović, A. Ilić, Z. Prijić, and N. D. Stojadinović, "On the recoverable and permanent components of NBTI in p-channel power VDMOSFETs," *IEEE Trans. Device Mater. Reliab.*, vol. 16, no. 4, pp. 522–531, 2016.
- [158] H. Tahiri, C. Tahanout, M. Boubaaya, B. Djeddar, S. M. Merah, B. Nadji, and N. Saoula, "Experimental investigation of NBTI degradation in power VDMOS transistors under low magnetic field," *IEEE Trans. Device Mater. Reliab.*, vol. 17, no. 1, pp. 99–105, 2017.
- [159] S. M. Merah, B. Nadji, and H. Tahiri, "Low magnetic field Impact on NBTI degradation," *Microelectron. Reliab.*, vol. 55, no. 9–10, pp. 1460–1463, 2015.
- [160] C. Tahanout, H. Tahiri, M. Boubaaya, B. Djeddar, S. M. Merah, and B. Nadji, "NBTI Stress on power VDMOS Transistors under Low Magnetic Field," *Int. Integr. Reliab. Work.*, pp. 147–150, 2015.
- [161] "'BS108', data sheet <http://www.redrok.com/>."
- [162] D. S. Ang, Z. Q. Teo, T. J. J. Ho, and C. M. Ng, "Reassessing the mechanisms of negative-bias temperature instability by repetitive stress/relaxation experiments," *IEEE Trans. Device Mater. Reliab.*, vol. 11, no. 1, pp. 19–34, 2011.

- [163] B. Kaczer, T. Grasser, P. J. Roussel, J. Martin-Martinez, R. O'Connor, B. J. O'Sullivan, and G. Groeseneken, "Ubiquitous relaxation in BTI stressing-new evaluation and insights," *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 20–27, 2008.
- [164] JEDEC 14.2.2, "A Procedure for Wafer Level DC Characterization of P-MOSFET Negative Bias Temperature Instabilities," 2009.
- [165] C. H. Liu, M. T. Lee, C. Y. Lin, J. Chen, K. Schroefer, J. Brighten, N. Rovedo, T. B. Hook, M. V Khare, S. F. Huang, C. Wann, T. C. Chen, and T. H. Ning, "Mechanism and process dependence of negative bias temperature instability (NBTI) for pMOSFETs with ultrathin gate dielectrics," *Int. Electron Devices Meet.*, pp. 861–864, 2001.
- [166] M. S. Krishnan and V. Kol'dyaev, "Modeling kinetics of gate oxide reliability using stretched exponents," in *IEEE International Reliability Physics Symposium Proceedings*, 2002, pp. 421–422.
- [167] C. H. Liu, M. T. Lee, C. Y. Lin, J. Chen, Y. T. Loh, F. T. Liou, K. Schroefer, A. A. Katsetos, Z. Yang, N. Rovedo, T. B. Hook, C. Wann, and T. C. Chen, "Mechanism of threshold voltage shift (ΔV_{th}) caused by negative bias temperature instability (NBTI) in deep submicron pMOSFETs," *Jpn. J. Appl. Phys.*, vol. 41, no. 4 B, pp. 2423–2425, 2002.
- [168] "Data sheet Irf9530N, International Rectifier, <http://www.irf.com>."
- [169] C. Salame, P. Mialhe, and J.-P. Charles, "VDMOSFET model parameter extraction based on electrical and optical measurements," *Microelectronics J.*, vol. 32, no. 7, pp. 599–603, 2001.
- [170] D. Brisbin and P. Chaparala, "A New Fast Switching NBTI Characterization Method that Determines Subthreshold Slope Degradation during Stress," *IEEE International Reliab. Phys. Symp.*, vol. 9, no. 2, pp. 1005–1010, 2009.
- [171] N. Stojadinović, I. Manić, D. Danković, S. Djorić-Veljković, V. Davidović, A. Prijić, S. Golubović, and Z. Prijić, "Negative bias temperature instability in thick gate oxides for power MOS transistors," in *Bias Temperature Instability for Devices and Circuits*, T. Grasser, Ed. Springer New York, 2014, pp. 533–559.
- [172] I. Manić, S. Djorić-Veljković, V. Davidović, D. Danković, S. Golubović, and N. Stojadinović, "Mechanisms of spontaneous recovery in DC gate bias stressed power VDMOSFETs," *IET Circuits Devices Syst.*, vol. 2, no. 2, pp. 213–221, 2008.
- [173] R. E. Stahlbush, A. H. Edwards, D. L. Griscom, and B. J. Mrstik, "Post-irradiation cracking of H₂ and formation of interface states in irradiated metal-oxide-semiconductor field-effect transistors," *J. Appl. Phys.*, vol. 73, no. 2, pp. 658–667, 1993.
- [174] F. B. McLean and H. E. Boesch, "Time-dependent degradation of MOSFET channel mobility following pulsed irradiation," *IEEE Trans. Nucl. Sci.*, vol. 36, no. 6, pp. 1772–1783, 1989.
- [175] D. B. Brown and N. S. Saks, "Time dependence of radiation-induced interface trap formation in metal-oxide-semiconductor devices as a function of oxide thickness and applied field," *J. Appl. Phys.*, vol. 70, no. 7, pp. 3734–3747, 1991.
- [176] V. Huard, "Two independent components modeling for Negative Bias Temperature Instability," *2010 IEEE Int. Reliab. Phys. Symp.*, pp. 33–42, 2010.

- [177] T. J. J. Ho, D. S. Ang, A. A. Boo, Z. Q. Teo, and K. C. Leong, "Are interface state generation and positive oxide charge trapping under negative-bias temperature stressing correlated or coupled?," *IEEE Trans. Electron Devices*, vol. 59, no. 4, pp. 1013–1022, 2012.
- [178] R. E. Paulsen and M. H. White, "Theory and application of charge-pumping for the characterization of Si/SiO₂ interface and near-interface oxide traps," *IEEE Trans. Electron Devices*, vol. 41, no. 7, pp. 1213–1216, 1994.
- [179] P. S. Kireev, *Semiconductor Physics*. MIR, Moscow, 1975.
- [180] A. N. Roy Choudhury and V. Venkataraman, "Measuring the magnetic-field-dependent chemical potential of a low-density three-dimensional electron gas in n -GaAs and extracting its magnetic susceptibility," *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 93, no. 4, pp. 1–11, 2016.
- [181] T. Grasser, P. Wagner, H. Reisinger, T. Aichinger, G. Pobegen, M. Nelhiebel, and B. Kaczer, "Analytic Modeling of the Bias Temperature Instability Using Capture / Emission Time Maps," *IEEE Int. Electron Devices Meet.*, pp. 618–621, 2011.
- [182] U. E. Steiner and T. Ulrich, "Magnetic field effects in chemical kinetics and related phenomena," *Chem. Rev.*, vol. 89, pp. 51–147, 1989.
- [183] O. V Koplak, A. I. Dmitriev, T. Kakeshita, and R. B. Morgunov, "Magnetic field effect on spin dependent conversion of nonequilibrium Si – O chemical bonds on the Czochralski-grown Si crystal surface," *J. Appl. Phys.*, vol. 110, pp. 44905-1-44905–8, 2011.

LISTE DES PUBLICATIONS

- [1] **S. M. Merah** and **B. Nadji**, “Impact of NBTI stress on VDMOSFET regions,” *Alger. J. SIGNALS Syst.*, vol. 3, no. 2, pp. 65–69, 2018.
- [2] H. Tahi, C. Tahanout, M. Boubaaya, B. Djeddar, **S. M. Merah**, **B. Nadji**, and N. Saoula, “Experimental Investigation of NBTI Degradation in Power VDMOS Transistors Under Low Magnetic Field,” *IEEE Trans. Device Mater. Reliab.*, vol. 17, no. 1, pp. 99–105, 2017.
- [3] **S. M. Merah** and **B. Nadji**, “Development and design of helmholtz coil for NBTI degradation studies,” in *Electrical Engineering-Boumerdes (ICEE-B), 2017 5th International Conference on*, 2017, pp. 1–5.
- [4] **S. M. Merah**, **B. Nadji**, and H. Tahi, “Low magnetic field Impact on NBTI degradation,” *Microelectron. Reliab.*, vol. 55, no. 9–10, pp. 1460–1463, 2015.
- [5] C. Tahanout, H. Tahi, M. Boubaaya, B. Djeddar, **S. M. Merah**, **B. Nadji**, and N. Saoula, “NBTI stress on power VDMOS transistors under low magnetic field,” in *Integrated Reliability Workshop (IRW), 2015 IEEE International*, 2015, pp. 147–150.