

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE

UNIVERSITE M'HAMED BOUGARA-BOUMERDES



Faculté des Hydrocarbures et de la Chimie

Mémoire de Magister

Présenté par

MADANI Hassan

Filière : Génie Electrique et Electrotechnique

Option : Infotronique

Caractérisation de l'effet d'irradiation sur les transistors LDD MOSFET par des méthodes basées sur le pompage de charge

Devant le jury :

LAGHROUCHE	Mourad	Prof	UMMTO	Président
KRIBES	Youcef	MC/A	UMBB	Examineur
HABI	Idir	MC/A	UMBB	Examineur
RAHMOUNE	Fayçal	MC/A	UMBB	Examineur
KASRAOUI	Mohamed	MC/A	UMBB	Examineur
NADJI	Becharia	Prof	UMBB	Encadreur

Année Universitaire : 2012/2013

A la mémoire de mes grandes mères,

A mes chers parents,

A mon frère et mes sœurs,

A tous mes proches et mes amis.

Remerciements

*Je remercie tout particulièrement mon encadreur, Madame **NADJI Becharia**, professeur à l'université M'HAMED BOUGARA de Boumerdès et responsable de l'équipe microélectronique et MEMS de Laboratoire de Recherche sur l'Electrification des Entreprises (LREE) qui a dirigé ce travail. Je lui suis extrêmement reconnaissant pour sa confiance, sa disponibilité, et aussi pour ses qualités humaines.*

*Je remercie **Dr. TAHI Hakim**, attaché de recherche au centre de développement des technologies avancées (CDTA), qui m'a initié au logiciel SILVACO et m'a guidé avec beaucoup de patience pour finaliser ce travail. Je le remercie aussi pour sa générosité, sa disponibilité, ses conseils et son encouragement.*

*J'exprime mes sincères remerciements à Monsieur **LAGHROUCHE Mourad**, Professeur à l'université Mouloud MAMMERI de Tizi Ouzou, qui ma fait l'honneur de s'intéresser à ce travail et de présider son jury.*

*Je voudrais aussi remercier Messieurs **HABI Idir, KRIBES Youcef, KASRAOUI Mohamed et RAHMOUNE Faycel**, tous Maîtres de Conférences à l'université de Boumerdès, qui ont accepté et m'ont fait l'honneur de bien vouloir juger ce travail.*

Mes remerciements vont à mes collègues du laboratoire LREE pour leur soutien, leurs encouragements et leur sympathie.

Enfin, je remercie tous ceux qui ont contribué de près ou de loin au bon déroulement de ce travail.

Table des matières

Introduction générale.....	1
----------------------------	---

Chapitre I : Le transistor MOS et les défauts d'interface

1. Evolution de la technologie CMOS.....	4
2. Contraintes pour les générations futures.....	5
3. Présentation d'un Transistor MOS.....	7
4. Principe de fonctionnement d'un transistor MOS.....	8
4.1. Régime d'accumulation	9
4.2. Régime de déplétion.....	9
4.3. Régime d'inversion	9
5. Nature des défauts dans l'oxyde et à l'interface	11
5.1. Charges fixes d'oxyde Q_f	11
5.2. Charges mobiles d'oxyde Q_m	11
5.3. Charges piégées dans l'oxyde	12
5.4. Charges piégées Q_{ss} à l'interface Si/SiO ₂	12
6. Caractéristique de l'oxyde de silicium	12
6.1. Notion de défaut électriquement actif	13
6.2. Les liaisons pendantes.	14
6.3. Les liaisons distordues.....	14

Chapitre II : Effet d'irradiation et les techniques d'extraction des pièges induits

1. Effet d'irradiation sur les transistors MOS.....	16
1.1. Effets du rayonnement ionisant sur les dispositifs MOS.....	16
1.2. Génération et recombinaison des paires électron-trou dans le SiO ₂	16
1.3. Transport des trous dans l'oxyde SiO ₂	18
1.4. Formation de charge dans l'oxyde par piégeage des trous.....	19
1.5. Formation des pièges à l'interface.....	20
2. Effet des pièges créés par l'irradiation sur les paramètres des dispositifs MOS.....	21
2.1. Dérive de la tension de seuil.....	21
2.2. Dégradation de la mobilité	24
2.3. Augmentation du courant de fuite et durcissement par miniaturisatio	24
3. Méthodes d'extraction des pièges induits par l'irradiation	26
3.1. C(VG) (Capacitance-Voltage)..... ;.....	26
3.2. STS (SubThreshold Slope).....	27
3.3. MG (Mid Gap).....	29
3.4. DTCPC (Dual Transistor Charge Pumping)	30

3.5. DTBT (Dual Transistor Border Trap)	31
3.6. Oxide Trap based on Charge Pumping (OTCP).....	33

Chapitre III : Conception et caractérisation par simulation d'un transistor nMOSFET 1 μ m

1. Pourquoi utiliser les simulateurs TCAD?	37
2. Présentation du logiciel TCAD-SILVACO.....	38
3. Bases physiques du principe de fonctionnement du simulateur TCAD-SILVACO	38
3.1. Equations de base de la physique des semi-conducteurs.....	38
3.2. Modèles physiques utilisés.....	40
4. Les modules de TCAD SILVACO utilisés	43
4.1. DECKBUILD.....	43
4.2. ATHENA.....	44
4.3. TONYPLOT.....	45
4.4. ATLAS.....	45
4.5. DevEdit3D.....	45
5. Simulation de transistor NMOS 1μm avec LDD et LOCOS sur TCAD SILVACO	46
6. Caractérisation par simulation du transistor	51

Chapitre IV : Simulation de la méthode Oxid Traps Charge Pumping (OTCP)

1. Phénomène de pompage de charge.....	53
1.1. Principe de base.....	53
1.2. Expression du courant pompé	54
1.3. La technique de pompage de charge à amplitude ΔV_G constant et V_L variable.....	55
1.4. Insuffisance du modèle pour le transistor MOSFET à structure LDD et LOCOS	56
2. Le modèle de la méthode Oxide Traps Charge Pumping (OTCP).....	56
2.1. Simulation de la distribution de V_{th} et V_{fb} dans les régions canal, LDD et LOCOS	57
2.2. Expression du courant pompé dans les transistors à structure LDD et LOCOS	60
2.3. Extraction des densités N_{it}^C , N_{it}^{LDD} et N_{it}^{LOCOS}	63
3. Simulation de la courbe du pompage de charge des transistors à structures LDD et oxyde de champ (LOCOS).....	64
3.1. Simulation de la courbe ICP(V_L, V_H) dans la région LOCOS (Transistor Parasite).....	64
3.2. Simulation de la courbe ICP(V_L, V_H) dans la région Sub-LDD.....	65
3.3. Simulation de la courbe ICP (V_L, V_H) dans la région Canal-Eff.....	65
4. Comparaison entre les courbes simulées et celles mesurées.....	66

5. Estimation de ΔN_{it} dans les différentes régions du transistor.....	68
--	----

Chapitre V : Extraction de la densité des pièges induits par l'irradiation

1. L'insuffisance de l'OTCP pour l'estimation de ΔN_{bt} dans le transistor MOS	73
2. Estimation de ΔN_{it} par la méthode de pompage de charge.....	73
2.1. Prise en compte de l'émission	74
2.2. Les différentes phases de capture et d'émission (transistor à canal n)	74
2.2.1. Accumulation	74
2.2.2. Passage de l'accumulation à l'inversion forte	75
2.2.3. Passage de l'inversion forte à l'accumulation.....	75
2.3. Expression du courant	75
3. Extraction de ΔN_{bt} par la méthode I(V)	78
4. Calibration de l'énergie scannée par la technique de (PC et I (V))	79
5. Résultats et discussion.....	80
Conclusion générale.....	83
Annexe A.....	85
Annexe B.....	98
Annexe C.....	103

Références Bibliographiques

Table des symboles et des abréviations

Symboles	Définition
A_G	Surface de la grille du transistor MOS (cm ²)
$A_G(V_L, V_H)$	Surface activée par la tension V_L (cm ²)
$A_G^C(V_{L_{i+1(i)}}, V_{H_{i+1(i)}})$	Surface activée par la tension $V_{L_{i+1}}$ (V_{L_i}) dans la région du Canal-Eff (cm ²)
$A_G^{LDD}(V_{L_{i+1(i)}}, V_{H_{i+1(i)}})$	Surface activée par les tensions $V_{L_{i+1}}$ (V_{L_i}) dans la région du LDD-Sub (cm ²)
$A_G^{LOCOS}(V_{L_{i+1(i)}}, V_{H_{i+1(i)}})$	Surface activée par les tensions $V_{L_{i+1}}$ et (V_{L_i}) dans la région du LOCOS-Eff (cm ²)
$A_G^{LOCOS-LDD}(V_{L_{i+1(i)}}, V_{H_{i+1(i)}})$	Surface activée par les tensions $V_{L_{i+1}}$ et (V_{L_i}) dans la région du LOCOS-LDD (cm ²)
$\Delta A_G^C(V_{L_{i+1,i}}, V_{H_{i+1,i}})$	Différence entre les surfaces activées par les tensions $V_{L_{i+1}}$ et V_{L_i} dans la région du Canal-Eff (cm ²)
$\Delta A_G^{LDD}(V_{L_{i+1,i}}, V_{H_{i+1,i}})$	Différence entre les surfaces activées par les tensions $V_{L_{i+1}}$ et V_{L_i} dans la région du LDD-Sub (cm ²)
$\Delta A_G^{LOCOS}(V_{L_{i+1,i}}, V_{H_{i+1,i}})$	Différence entre les surfaces activées par les tensions $V_{L_{i+1}}$ et V_{L_i} dans la région du LOCOS-Eff (cm ²)
C_{ox}	Capacité de l'oxyde de grille (F/cm ²)
C_{HF}	Capacité à haute fréquence (F/cm ²)
$C_{sc,d}$	Capacité de déplétion du semiconducteur (F/cm ²)
C_b	Capacité des bandes plates (F/cm ²)
C_{mg}	Capacité haute fréquence au point mid gap (F/cm ²)
$C_{mg,D}$	Capacité de déplétion, lorsque $\Psi_s = \Phi_F$
C_n	Taux de capture des électrons (cm ³ /s)
C_p	Taux de capture des trous (cm ³ /s)
C_{it}	Capacité associée aux états d'interface (F/cm ²)
D_{it}	Densité moyenne des pièges à l'interface (cm ⁻² .eV ⁻¹)
ΔD_{itm}	Densité des pièges à l'interface induits par irradiation dans un transistor NMOS (cm ⁻² .eV ⁻¹)
ΔD_{itp}	Densité des pièges à l'interface induits par irradiation dans un transistor PMOS (cm ⁻² .eV ⁻¹)
E_{OX}	Champ électrique dans l'oxyde (V/cm)
E_p	Energie nécessaire pour créer une paire électron-trou dans le SiO ₂ (eV)
E_i	Energie du niveau intrinsèque du silicium (eV)
E_C	Energie du niveau inférieur de la bande de conduction (eV)
E_V	Energie du niveau supérieur de la bande de valence (eV)
E_F	Energie du niveau de Fermi (eV)
E_L	Champ latéral dans le canal (V/cm)
E_n	Energie de fin émission hors équilibre des électrons (eV)
E_p	Energie de fin émission hors équilibre des trous (eV)
f	Fréquence du signal appliqué à la grille (Hz)
f_h	Signal haute fréquence (Hz)

f_b	Signal basse fréquence (Hz)
f_0	Fréquence limite de contribution des pièges border-traps
ΔF	Fonction de remplissage des pièges
I_{CP}	Courant de pompage de charge (A)
I_{CPmax}	Courant maximal du pompage de charge (A)
$I_{CPmax0,h}$	Courant maximal du pompage de charge mesuré avec f_h avant irradiation (A)
$I_{CPmax0,b}$	Courant maximal du pompage de charge mesuré avec f_b avant irradiation (A)
$I_{CPmax1,h}$	Courant maximal du pompage de charge mesuré avec f_h après irradiation (A)
$I_{CPmax1,b}$	Courant maximal du pompage de charge mesuré avec f_b après irradiation (A)
$I_{CP}(V_L, V_H)$	Courbe du pompage de charge à amplitude constante (courbe d'Elliot)
$\Delta I_{CPmax,h}$	Différence entre les courants maximaux avant et après irradiation (mesurés avec f_h) (A)
$\Delta I_{CPmax,b}$	Différence entre les courants maximaux avant et après irradiation (mesurés avec f_b) (A)
K	Constante de Boltzmann (J/K)
L_G	Longueur de la grille dessinée (conçue) (μm)
L_{EFF}	Longueur effective du canal (μm)
ΔL	Diffusion latérale du LDD sous l'oxyde de grille (μm)
$L_{EFF}^{CP}(V_L, V_H)$	Longueur activée par le pompage de charge dans la région du Canal-Eff (μm)
$\Delta L^{CP}(V_L, V_H)$	Longueur activée par le pompage de charge dans la région du LDD-Sub (μm)
n_i	Concentration intrinsèque des porteurs (cm^{-3})
$N_{a,d}$	Dopage du canal (cm^{-3})
N_{it}	Densité des pièges à l'interface (cm^{-2})
N_{it}^C	Densité des pièges à l'interface dans la région du Canal-Eff (cm^{-2})
N_{it}^{LDD}	Densité des pièges à l'interface dans la région du LDD-Sub (cm^{-2})
N_{it}^{LOCOS}	Densité des pièges à l'interface dans la région du LOCOS-Eff (cm^{-2})
$N_{it}^{LOCOS-LDD}$	Densité des pièges à l'interface dans la région LOCOS-LDD (cm^{-2})
ΔN_{it}	Densité des pièges à l'interface induits par irradiation (cm^{-2})
ΔN_{ot}	Densité des pièges dans l'oxyde induits par irradiation (cm^{-2})
ΔN_{bt}	Densité des pièges border-traps induits par irradiation (cm^{-2})
$\Delta N_{ot,h}$	Densité des pièges dans l'oxyde induits par irradiation mesurée à f_h (cm^{-2})
$\Delta N_{ot,b}$	Densité des pièges dans l'oxyde induits par irradiation mesurée à f_b (cm^{-2})
ΔN_{it}^C	Densité des pièges à l'interface induits par irradiation dans la région du Canal-Eff (cm^{-2})
ΔN_{it}^{LDD}	Densité des pièges à l'interface induits par irradiation dans la région du LDD-Sub (cm^{-2})
ΔN_{it}^{LOCOS}	Densité des pièges à l'interface induits par irradiation dans la région du LOCOS-Eff (cm^{-2})
Q_{bt}	Charge piégée dans l'oxyde près de l'interface (ramenée à l'interface) (C/cm^{-2})
Q_{it}	Charge piégée à l'interface (C/cm^{-2})
Q_f	Charge fixe dans l'oxyde (ramenée à l'interface) (C/cm^{-2})
Q_{total}	Charge totale par unité de surface dans le système Si/SiO ₂
Q_m	Charge mobile dans l'oxyde (ramenée à l'interface) (C/cm^{-2})
Q_{ot}	Charge piégée dans l'oxyde de grille (C/cm^{-2})

t_f	Temps de descente du signal appliqué à la grille (s)
t_r	Temps de montée du signal appliqué à la grille (s)
T	Température (K)
T_H	Temps du palier haut du signal appliqué à la grille (s)
T_H	Temps du palier bas du signal appliqué à la grille (s)
T_{inv}	Temps d'inversion (s)
T_{acc}	Temps d'accumulation (s)
T_{ox}	Epaisseur de l'oxyde de grille (cm)
V_H	Niveau haut du signal appliqué à la grille (V)
V_L	Niveau bas du signal appliqué à la grille (V)
V_{th}	Tension de seuil (V)
V_{fb}	Tension des bandes plates (V)
V_r	Tension en inverse appliquée entre drain /source-substrat (V)
V_{GS}	Tension grille-source
V_{mg}	Tension au point mid gap (V)
V_{DS}	Tension Drain- Source
v_{th}	Vitesse thermique des porteurs (cm/s)
ΔV_{it}	Dérive de la tension de seuil induite par l'augmentation des pièges à l'interface (V)
ΔV_{ot}	Dérive de la tension de seuil induite par l'augmentation des pièges dans l'oxyde (V)
ΔV_{bt}	Dérive de la tension de seuil induite par l'augmentation des pièges border-traps (V)
ΔV_G	Amplitude du signal appliqué à la grille (V)
W_G	Largeur de la grille dessinée (conçue) (μm)
$\Delta W^{CP}(V_L, V_H)$	Largeur activée par le pompage de charge (cm)
ϵ_{Si}	Permittivité du silicium (F/cm)
ϵ_0	Permittivité du vide : 8.85418×10^{-14} (F/cm)
Ψ_s	Potentiel en surface (V)
$\Delta \Psi_n$	Potentiel en surface balayé par le pompage de charge dans un transistor NMOS
$\Delta \Psi_p$	Potentiel en surface balayé par le pompage de charge dans un transistor PMOS
σ_n	Section de capture des électrons (cm^2)
σ_p	Section de capture des trous (cm^2)
ϕ_F	Potentiel du niveau de Fermi (V)
ϕ_{Fn}	Potentiel du niveau de Fermi dans le transistor PMOS (V)
ϕ_{Fp}	Potentiel du niveau de Fermi dans le transistor NMOS (V)
ϕ_{ms}	Différence des potentiels d'extraction du métal et du semiconducteur (V)
μ_p	Mobilité des trous ($\text{cm}^2/\text{V.s}$)
μ_p	Mobilité des électrons ($\text{cm}^2/\text{V.s}$)

Liste des figures

Figure I.1 : Réduction d'échelle de la technologie CMOS, en accord avec la loi De Moore.	5
Figure I.2 : Evolution des grandeurs caractéristiques de la technologie CMOS, selon les prévisions de la SIA.	7
Figure I.3 : Schéma du transistor MOS à canal n.	7
Figure I.4 : Régimes de fonctionnement d'un transistor MOS à canal n.	10
Figure I.5 : Classement des défauts dans l'isolant des structures MOS en fonction de leur localisation (a) et de leur réponse électrique (b).	11
Figure I.6 : Représentation schématique de quelques défauts du système Si-SiO ₂ .	14
Figure I.7 : Représentation Schématique de la densité d'états d'interface introduits par les liaisons pendantes et distordues.	15
Figure II.1: Schéma illustratif des effets d'un rayonnement ionisant dans les dispositifs MOS.	17
Figure II.2: (a) Les différents types de charges dans le système SiO ₂ /Si (d'après la nomenclature du comité Deal complétée par Fleetwood), (b) charges piégées créées par l'irradiation.	18
Figure II.3 : (a) et (b) Diagramme de bandes d'un transistor NMOS et PMOS en forte inversion présentant des pièges à l'interface accepteurs chargés, (c) schématisation de la structure atomique des pièges à l'interface (états d'interface), souvent appelée Centre P _{b0} et P _{b1} .	21
Figure II.4 : Représentation de la dérive de la tension de seuil due à la présence de charges positives et négatives piégées dans l'oxyde, dans l'oxyde près de l'interface et à l'interface. (a) NMOS, (b) PMOS.	23
Figure II.5 : Processus de guérison dans un transistor NMOS d'après [40]. Selon l'amplitude de la guérison des trous et la création des pièges à l'interface, la défaillance du circuit à des temps très longs peut être causée par la dérive positive de la tension de seuil.	24
Figure II.6 : (a) Courant de fuite induit par la structure LOCOS, (b) courant de fuite induit par une structure STI entre deux transistors adjacents.	25
Figure II.7 : Extraction par la méthode C(V _G) à haute fréquence (1 MHz).	26
Figure II.8 : Extraction par la méthode SubThreshold Slope (STS).	28
Figure II.9 : Extraction par la méthode MG (transistor NMOS avec W _G /L _G =10/10.	30
Figure II.10 : Extraction par la méthode DTBT.	32

Figure II.11 : Charge recombinaée (Q_{CP}) par cycle aux hautes et à basses fréquences. f_0 est la fréquence frontière entre les contributions des pièges à l'interface et des border-traps au Q_{CP} . L'augmentation de Q_{CP} avec f (commence à f_0) est due à la contribution des border-traps.	34
Figure II.12 : Extraction de $\Delta I_{CPmax,h}$ (ou $\Delta I_{CPmax,b}$) et ΔV_{th} à partir du PC. ΔV_{th} est extraite à 50% du courant maximal pompé.	36
Figure III.1 : Dépôt d'un matériau par le modèle de Monté Carlo.	40
Figure III.2 : Diagramme de flux de plasma (a), réflexion spéculaire (b), et réflexion aléatoire (c).	41
Figure III.3: Schéma Synoptique des modules utilisés dans la simulation par TCAD-SILVACO.	44
Figure III.4: Maillage du dispositif.	46
Figure III.5 : Formation de caisson.	47
Figure III.6 : Le Channel Stopper	48
Figure III.7 : L'implantation d'ajustement de la V_{TH}	48
Figure III.8 : simulation en 2D du procédé LOCOS (LOCAl Oxidation of Silisium) par Athena.	49
Figure III.9 : La structure 3D obtenue affichée par Tonyplot3D.	50
Figure III.10 : La structure 3D obtenue avec source et drain.	51
Figure III.11 : la structure finale du transistor NMOS $1\mu m$ avec LDD et LOCOS obtenue.	51
Figure III.12 : la courbe caractéristique $I_{DS}(V_{GS})$ de transistor NMOS $1\mu m$ avec LDD et LOCOS obtenue par Atlas.	52
Figure IV.1 : Schéma de principe du banc de mesure utilisé pour l'étude par pompage de charge des transistors MOS.	54
Figure IV.2: a) Position du signal de grille par rapport à V_{fb} et V_{th} . b) Représentation schématique d'une caractéristique $I_{cp}(V_L)$ théorique charge à deux niveaux à ΔV_G constant.	56
Figure IV.3: a) Courbe $I_{CP}(V_H)$ avec différents régimes de pompage b) Position du signal de grille par rapport à V_{fb} et V_{th} .	57
Figure IV.4 : a) Structure à 3 dimensions (3D) du LDD-NMOS simulé b) (b) schéma illustratif des régions (1) canal effectif (Canal-Eff) (2) diffusion de LDD sous l'oxyde de grille (LDD-Sub) (3) LOCOS effectif (LOCOS-Eff) et (4) diffusion de LDD sous le LOCOS (LOCOS-LDD).	59
Figure IV.5 : (a) Région LDD, (b) distribution de la concentration des électrons dans la région du canal et LDD pour les différentes tensions de polarisation de grille.	61

Figure IV.6: Illustration d'un plan de coupe.	61
Figure IV.7: (a) Pompage de charge d'un transistor LDD-NMOS à l'échelle logarithmique, les lettres de (A) à (F) correspondent à la contribution des différentes régions (canal-Eff, LDD-Sub et LOCOS) au courant du PC, (b) distributions de V_{th} et de V_{fb} dans les régions; canal-Eff, LDD-Sub et LOCOS.	62
Figure IV.8: Détermination de la distribution spatiale de $V_{th}(x,y)$ et $V_{fb}(x,y)$ dans la région LOCOS.	63
Figure IV.9 : Illustration de la distribution de V_{th} et de V_{fb} en fonction de x et y dans le canal.	67
Figure IV.10 : Courbe du PC illustrant l'extraction des densités N_{it}^C , N_{it}^{LDD} et $N_{it}^{LDD-LOCS}$	69
Figure IV.11 : Courbe $I_{CP}(V_L, V_H)$ calculée de la région LOCOS. T_1 à T_{10} représentent les transistors résultant du découpage de cette région.	70
Figure V.12: Courbes $I_{CP}(V_L, V_H)$ simulées dans les régions LOCOS, LOCOS-Eff et LDD-LOCOS.	71
Figure IV.13 : Courbe $I_{CP}(V_L, V_H)$ simulée de la région Sub-LDD.	72
Figure IV.14 : Courbe $I_{CP}(V_L, V_H)$ simulée de la région Canal-Eff.	72
Figure IV.15 : Comparaison entre la courbe $I_{CP}(V_L, V_H)$ simulée et mesurée expérimentalement pour un transistor avec $W_G/L_G=10/1$. (a) Echelle semi-logarithmique, (b) Echelle linéaire.	73
Figure IV.16: Surface activée $A_G(V_L, V_H)$ par la tension V_L avant et après le décalage de V_{th} et V_{fb} causé par irradiation.	75
Figure IV.17 : La courbe $\Delta I_{CP}(V_{L_i}, V_{H_i}) - \Delta I_{CP}(V_L, V_H)$, pour un transistor NMOS illustrant l'extraction des pièges à l'interface induits par irradiation en prenant 3 points k, m et n.	77
Figure IV.18: ΔN_{it} extraites pour les différentes régions constituant le canal des transistors NMOS irradiés à 500Krad.	78
Figure V.1: Schéma illustrative de la reponse électrique des différents pièges dans un dispositif MOS en fonction de la fréquence du signal appliqué sur la grille	81
Figure V.2 : Signal de grille triangulaire.	82
Figure V.3 : Les courbe PC et $I(V)$ d'un transistor NMOS avant et après irradiation à 500 Krad.	84
Figure V.4 : Résultats expérimentaux obtenue pour deux séries de transistors fabriquées avec le même procédé d'ISiT. a) W fixe et L variable, b) L fixe et W variable.	85
Figure A.1 : Exemple d'une épitaxie n- sur un substrat de type n+.	90
Figure A.2 : Bâti d'épitaxie par jet moléculaire, EJM, ou Molecular Beam Epitaxy, MBE.	91

Figure A.3 : Dispositif multibain d'épitaxie en phase liquide.	91
Figure A. 4 : Banc d'épitaxie en phase vapeur.	92
Figure A.5 : Mécanismes de diffusion à l'échelle atomique.	92
Figure A.6 : Diffusion dans un four à partir de sources gazeuses.	93
Figure A.7 : Diffusion à partir de sources liquides.	93
Figure A.8 : Procédé de dopage à partir de sources solides.	94
Figure A.9 : Procédé de l'implantation ionique.	94
Figure A.10 : Schéma simplifié d'un implanteur ionique.	95
Figure A.11 : Oxydation du Silicium. Une partie du substrat a été consommée lors de l'oxydation	96
Figure A.12 : Effet d'une oxydation localisée du Silicium (LOCOS :LOCAL Oxidation of Silicium). L'augmentation de volume crée un relief à la surface de la plaquette.	97
Figure A.13 : Oxydation thermique avec de l'oxygène ou de la vapeur d'eau.	97
Figure A.14 : Réacteur d'oxydation thermique rapide.	98
Figure A.15 : Gravure d'un panier de plaquette par voie humide.	99
Figure A.16 : Schéma de principe de la réaction de gravure plasma.	99
Figure A.17 : Différence entre gravure isotropique et anisotropique.	100
Figure A.18 : masque de photolithographie.	100
Figure A.19 : principe de la photolithographie par insolation.	101
Figure A.20 : Tournette pour étalement de résine photosensible.	101
Figure A.21 : différentes techniques d'insolation	102

Liste des tableaux

Tableau II.1 : Différentes propriétés intrinsèques du Si, GaAS et SiO ₂	17
Tableau III.1 : valeurs par défaut des paramètres utilisés dans l'équation	43

Introduction Générale

Introduction générale

La fiabilité des circuits électroniques n'a jamais été parfaite et ne le sera sans doute jamais. Lors des essais nucléaires dans le pacifique en 1948, des pannes des systèmes électroniques ont été signalé au moment de l'explosion de la bombe atomique. Ces pannes étaient dues aux radiations émises par l'explosion.

L'environnement radiatif est néfaste pour les circuits électroniques. Il est donc indispensable de caractériser l'effet d'irradiation sur ces circuits afin de connaître les mécanismes de défaillance et prévoir les dégâts qu'ils peuvent causer à l'électronique exposé aux rayonnements.

Pour les transistors MOSFET (Metal Oxide Semiconductor Field Effect Transistor), la fiabilité est largement dépendante de la qualité d'oxyde de grille (SiO_2) et de son interface avec le substrat (SiO_2/Si). Cette qualité se dégrade quand le transistor est soumis à des contraintes électriques et/ou à des radiations ionisantes. Parmi les contraintes électriques, nous pouvons citer l'injection des porteurs chauds (HCI : Hot Carrier Injection) [1,3], l'injection tunnel Fowler-Nordheim (FN) [4,5] et le phénomène NBTI (Negative Bias Temperature Instability) [6, 7]. Les effets de radiations ionisantes concernent les transistors destinés à fonctionner dans les environnements radiatifs tels que les réacteurs nucléaires, les accélérateurs de particules, les missions spatiales [8, 9], etc.

Le but de développer des méthodes de caractérisations fiables est de prévoir la dégradation des circuits intégrés (CI) en général et les dispositifs MOS en particulier durant la période de leur fonctionnement dans un environnement radiatif. Dans cet optique, des travaux considérables ont été menés pour comprendre les mécanismes fondamentaux de l'interaction des radiations ionisantes avec les structures MOS, notamment la création des pièges à l'interface oxyde/silicium, dans l'oxyde près de l'interface, leurs évolution dans le temps et leurs contribution à la dégradation des paramètres du transistor. En effet, plusieurs méthodes ont été développées pour extraire les densités des pièges induits par l'irradiation dans les dispositifs MOS.

Les méthodes les plus utilisées sont des méthodes basées soit sur la technique $C(V_G)$ (Capacité en fonction de la tension de la grille), soit sur la technique $I_{DS}(V_{GS})$ (courant Source-Drain en fonction de la Tension Source-Grille) telles que les méthodes Mid Gap (MG) et SubThreshold Slope (STS), soit sur la technique de Pompage de Charge (PC) ou encore sur la

combinaison des techniques $I_{DS}(V_{GS})$ et le PC telles que les méthodes Dual Transistor Charge Pumping (DTCP) et Dual Transistor Border Trap (DTBT).

Les méthodes indirectes peuvent engendrer des erreurs. Ces erreurs sont dues à l'extrapolation des résultats aux transistors, telles que les méthodes basées sur la technique $C(V_G)$ (applicable sur des capacités MOS de grandes surfaces et les résultats sont extrapolés aux transistors de petites tailles). Les méthodes indirectes ne donnent pas aussi toutes les densités des pièges, telles que STS et MG. DTCP et BTDT exigent deux transistors fabriqués sur le même circuit, ce qui n'est pas toujours possible.

Dans notre travail, nous allons utiliser la méthode OTCP (Oxide Trap Charge Pumping) qui est basée uniquement sur le PC et ne nécessite qu'un seul transistor [10]. Elle permet d'estimer la densité des pièges à l'interface et les border-traps induits par l'irradiation.

Afin de mieux comprendre le modèle sur lequel la méthode est basée, nous devons réaliser par simulation le transistor nMOSFET, en utilisant le logiciel TCAD Silvaco. Un logiciel dédié à la conception, à la modélisation et à l'optimisation des dispositifs microélectronique. Le logiciel est aussi utilisé pour l'extraction de certains paramètres nécessaires pour notre travail tels que les surfaces activées par le PC pour différentes tensions de polarisation et la distribution de la tension de seuil (v_{th}) et la tension des bandes plates (V_{fb}) dans les différentes régions du transistor étudié.

Pour l'extraction des pièges à l'interface et aussi les border traps, nous avons appliqué une nouvelle méthode qui est basée sur deux techniques standards, courant de drain en fonction de tension de grille $I(V)$ et pompage de charge PC. C'est une méthode simple et rapide pour l'extraction des pièges induits par l'irradiation. Les résultats obtenus sont confrontés aux résultats des autres méthodes pour juger les performances de cette nouvelle méthode.

Notre travail est organisé de la manière suivante :

Le premier chapitre est consacré au transistor MOSFET et à l'interface Si/SiO₂. Nous avons décrit le transistor MOSFET et ses différents régimes de fonctionnement. Nous avons intéressé à la zone la plus sensible du transistor aux rayonnements, l'interface Si/SiO₂, et les défauts qu'elle peut contenir.

Dans le deuxième chapitre, nous avons expliqué le mécanisme de création des défauts dans les structures MOS par un rayonnement ionisant. Nous avons présenter les

différentes méthodes utilisées pour estimer la densité des défauts induits par rayonnement ionisant.

La réalisation et caractérisation par simulation d'un transistor nMOSFET, en utilisant le logiciel TCAD Silvaco, est une étape très importante pour le reste de notre travail. C'est pour cette raison que nous l'avons réservé le troisième chapitre entièrement.

Dans le quatrième chapitre, nous avons simulé la méthode OTCP. Nous l'avons appliqué sur un transistor avant et après l'irradiation pour extraire la densité des pièges à l'interface Si/SiO₂.

Dans le chapitre cinq nous avons appliqué une nouvelle méthode qui est basée sur l'utilisation de deux techniques standards la PC et I(V) [11]. Pour finir, nous avons comparé les résultats obtenus avec les résultats des autres méthodes.

Chapitre I:

***Le transistor MOS et les
défauts de l'interface Si/SiO₂***

Introduction

Le transistor MOS (Métal Oxyde Semi-conducteur) constitue l'élément fondamental des circuits intégrés à très large échelle d'intégration VLSI (Very Large Scale Integrated) et ULSI (Ultra Large Scale Integrated) à technologie MOS qui domine actuellement le domaine de l'industrie des semi-conducteurs. Ce choix est principalement lié à la réduction des dimensions du transistor MOS et à sa simplicité de fabrication qui nécessite moins d'étapes technologiques que la technologie bipolaire.

Toutefois, le développement de la technologie MOS vers des dimensions de plus en plus petites entraîne l'augmentation des champs électriques dans la structure MOS et la concentration des défauts à l'interface Si-SiO₂ et dans l'oxyde. Ces défauts engendrent plusieurs phénomènes parasites qui peuvent dégrader les propriétés et les performances du dispositif. L'effet de la miniaturisation du transistor se répercute également sur les caractéristiques courant-tension, sur la mobilité du transistor ...etc.

1. Evolution de la technologie CMOS

Le développement de la microélectronique depuis ces dernières décennies est véritablement étonnant. Ce succès résulte en grande partie d'un savoir-faire et d'une maîtrise technologique de plus en plus poussés de l'élément fondamental de la microélectronique : le silicium. Le transistor MOS est à la fois le principal acteur et le vecteur de cette évolution technologique. Il est à la base de la conception des circuits intégrés à très large et ultra large échelle, et a mené la technologie CMOS (Complementary MOS) au rang incontesté de la technologie dominante de l'industrie du semi-conducteur.

La réduction constante des dimensions de ces composants est le moteur de cette course à la performance; en effet, c'est cette volonté de réduire la taille des transistors MOS qui a entraîné toute l'industrie des semi-conducteurs à se surpasser et à se projeter en permanence dans le futur.

En 1973, G. Moore [12], l'un des co-fondateurs d'Intel avait observé que le nombre de transistors intégrés sur une même puce doublait tous les 18 mois. Cette observation l'avait alors conduit à prédire que le nombre de transistors intégrés sur une puce continuerait à doubler tous les 18 mois, jusqu'à ce que les limites physiques soient atteintes.

La véracité de sa prédiction durant ces trente dernières années a été telle que l'on s'y réfère maintenant en tant que 'Loi de Moore'. La figure I.1 illustre la validité de cette prévision.

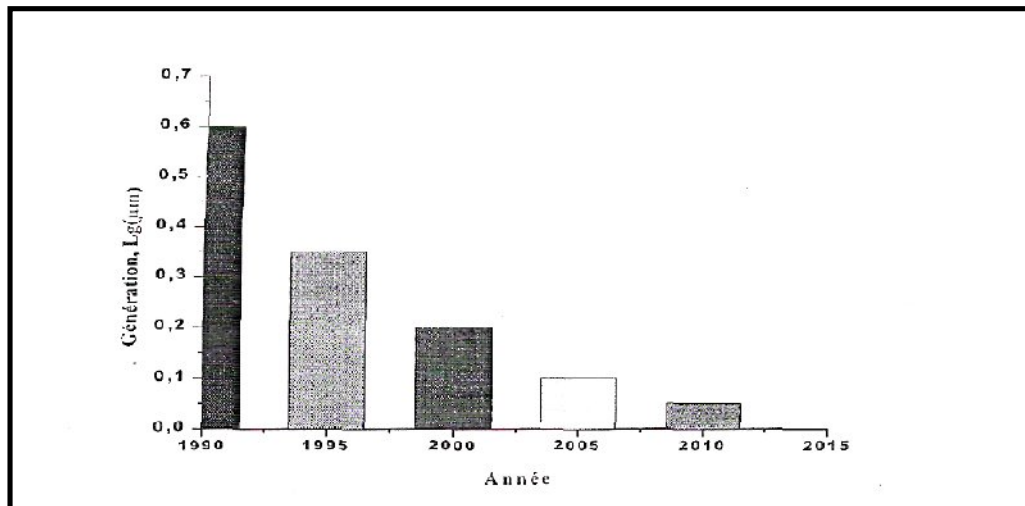


Figure I.1. Réduction d'échelle de la technologie CMOS, en accord avec la loi De Moore [12].

2. Contraintes pour les générations futures

A chaque nouvelle génération de transistors, la réalisation du défi lancé par la loi de Moore apparaît comme un casse-tête de plus en plus difficile à réaliser. Un compromis complexe entre la physique, la technologie et la rentabilité concentre ainsi toute l'attention des ingénieurs et des chercheurs. Des paramètres et contraintes souvent contradictoires, telles que la performance, la consommation et la fiabilité sont à prendre en compte [13,14].

Parier sur une croissance au rythme de la loi de Moore pour la décennie à venir relève d'un défi ambitieux. De plus, les architectures devenant très complexes, la conception, la fabrication et la vérification voient leurs coûts croître exponentiellement. Il est actuellement admis que la loi de Moore sera encore valide pour quelques années à venir (pour 3 à 4 générations de microprocesseurs). En effet, les projections industrielles pour le développement de la technologie CMOS suggèrent que cette dernière est proche des limites fondamentales physiques. L'association de l'industrie du semi-conducteur : SIA (Semiconductor Industry Association), publie depuis 1998 «The International Technology Roadmap for semiconductors, ITRS » c' est un guide de référence pour l'industrie mondiale du semi-conducteur [26].

Selon l'édition 1999, malgré l'utilisation des nouveaux matériaux (matériaux "high K"), il sera difficile de maintenir l'augmentation des performances électriques des composants au rythme de la loi de Moore.

La figure 1.2 illustre l'évolution espérée des principales caractéristiques des MOS, à savoir, la longueur de grille (L_G), la tension d'alimentation (Vdd), l'épaisseur d'oxyde de grille (T_{ox}) et les profondeurs de jonctions des extensions de source et drain (X_j).

Une première analyse de ces valeurs permet d'annoncer quelques limitations possibles et freins technologiques à la réduction d'échelle énoncée selon les critères de la SIA:

- La diminution de la longueur de grille en dessous de 50 nm semble difficile, compte tenu du contrôle nécessaire du courant de fuite à l'état bloqué du transistor.
- En raison de la réduction de la résistance du canal à l'état passant, il faut veiller à ce que les résistances source/drain, placées en série avec celle du canal, soient suffisamment faibles pour ne pas dégrader sérieusement les performances du composant. Cette contrainte impose donc de ne pas choisir des profondeurs de jonctions X_j trop faibles, et conduit à adopter un très fort dopage de source et de drain. Cela est cependant défavorable du point de vue des effets canaux courts car la réduction des profondeurs de jonctions source/drain permet, en effet un meilleur contrôle de la charge du canal à l'état bloqué [27].
- La tension d'alimentation ne peut que difficilement être réduite en dessous de 0,6 V, en raison de la nécessité du maintien de la tension de seuil (V_{th}) à un niveau suffisant pour garantir des marges de bruit acceptables dans les circuits logiques [28].
- La réduction de l'épaisseur d'oxyde en dessous de 2nm résulte en un important courant tunnel, or vu les épaisseurs annoncées (figure I.2) de sérieux problèmes risquent de se poser au niveau de la consommation statique. Il est admis que pour une tension d'alimentation de 1V, la limite maximale admise pour le courant de fuite de grille est de l'ordre de 1 A/cm², ce qui situe l'épaisseur minimale d'oxyde aux environs de 1.8 nm [29]. Ces courants de fuite ne perturberont pas le fonctionnement élémentaire des transistors MOS de longueur du canal inférieure à 1 μ m, mais en revanche, augmenteront la puissance dissipée à l'état bloqué [30]. Par ailleurs, il est clair également que la réduction des dimensions ne peut se faire sans réduire l'oxyde de grille, sous peine de ne plus parvenir à contrôler les effets canaux courts [31].

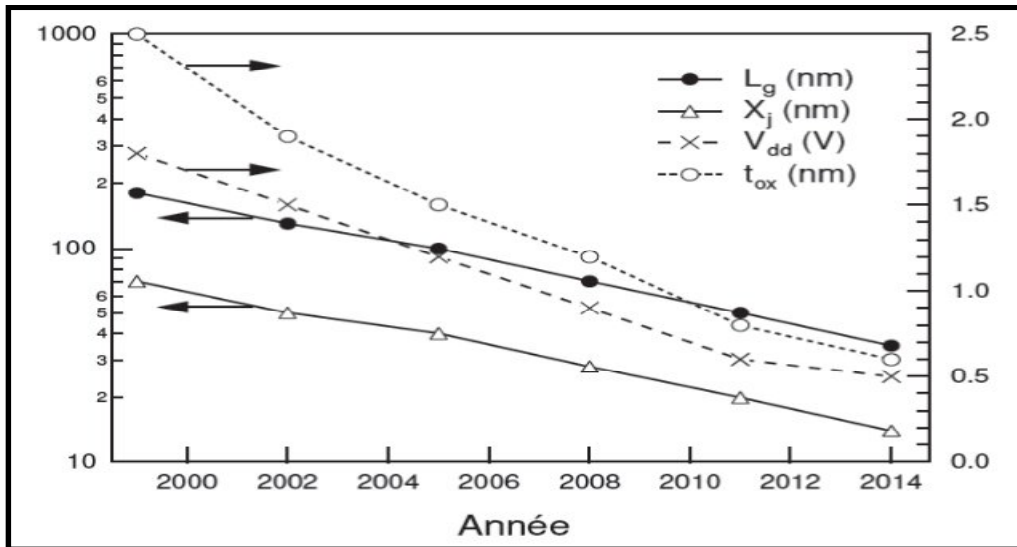


Figure I.2. Evolution des grandeurs caractéristiques de la technologie CMOS, selon les prévisions de la SIA [26].

3. Présentation d'un transistor MOS

Le transistor MOS appelé aussi MOSFET (Métal Oxyde Semiconductor Field Effect Transistor), est constitué d'un substrat semi-conducteur (en général le silicium) sur lequel est réalisée une croissance par oxydation sèche d'une couche mince d'oxyde de silicium SiO₂ d'épaisseur t_{ox} (figure I.3). Une surface conductrice, en métal ou en silicium polycristallin fortement dopé, est déposée au-dessus de l'oxyde qui constitue la grille. Deux caissons, fortement dopés de profondeur X_j obtenus par implantation ionique ou par diffusion dans le substrat de part et d'autre de la grille, constituent la source et le drain. La région entre la source et le drain représente le canal.

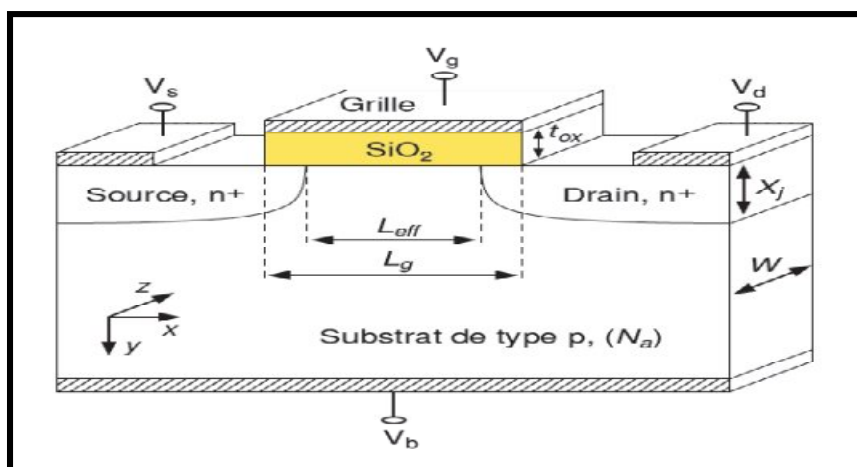


Figure I.3. Schéma du transistor MOS à canal n

Pour un transistor NMOS à canal n, la source et le drain sont dopés n⁺ et le substrat dopé p. Alors que pour un transistor PMOS à canal p la source et le drain sont dopé p⁺ et le substrat dopé n. Les porteurs mobiles dans le canal sont des électrons pour le NMOS et des trous pour le PMOS.

4. Principe de fonctionnement d'un transistor MOS

Le transistor MOS est un composant actif dont la conduction est contrôlée en tension par la polarisation de la grille qui engendre un champ électrique permettant de contrôler la charge des porteurs dans le canal. Selon les tensions de polarisation appliquées au drain, à la source et à la grille, plusieurs régimes de fonctionnement se manifestent; le régime d'accumulation, le régime de déplétion et le régime d'inversion, ce dernier est associé au régime linéaire ou au régime de saturation selon la polarisation de la grille.

La juxtaposition des différents constituants de la structure MOS déforme les bandes d'énergie du semi-conducteur et d'oxyde. Cette déformation est due à la différence des travaux de sortie entre le métal et le semi-conducteur Φ_{ms} , ainsi qu'aux charges dans l'oxyde Q_{ox} et à l'interface Q_{ss} . Ces charges peuvent être induites durant les procédés de fabrication du composant, ou encore liées aux défauts créés par l'injection de porteurs chauds dans l'oxyde. La tension de bande plate est la somme de la différence des travaux de sortie entre le métal et le semi-conducteur Φ_{ms} et la tension associée aux charges d'oxyde et d'interface. Ainsi, la tension de bande plate est la tension de grille qui permet de retrouver la situation de charge nulle dans le semi-conducteur (potentiel de surface Ψ_s nulle).

$$V = - \frac{+}{\quad} \quad (I.1)$$

Avec

$$q \cdot \quad = \cdot - \left(+ \frac{1}{2} + \cdot \right) \quad (I.2)$$

Où Φ_m est l'énergie d'extraction du métal (différence d'énergie entre le niveau du vide E_0 et le niveau de Fermi E_F), χ est l'affinité électronique du semi-conducteur, E_g est l'énergie de la bande interdite du semi-conducteur et Φ_F est le potentiel de Fermi donné par :

$$= \log \left(\frac{\quad}{\quad} \right) \quad (I.3)$$

$V_t = kT/q$ est la tension thermique, k la constante de Boltzmann, T la température absolue et q la charge élémentaire de l'électron, N_A est le dopage du substrat et n_i la concentration intrinsèque des porteurs dans le semi-conducteur.

4. 1. Régime d'accumulation

L'application d'une tension de grille inférieure à la tension de bande plate V_{fb} engendre un champ électrique dans l'oxyde dirigé vers l'électrode de grille (figure I.4a).

Celui-ci tend à attirer les trous, majoritaires dans le substrat de type p, vers l'interface Si/SiO₂ ce qui provoque une courbure des bandes d'énergie caractérisée par un potentiel de surface Ψ_s négatif. Ainsi, un excès de trous est accumulé à la surface d'où l'appellation du régime d'accumulation (figure 1.4 a).

4.2. Régime de déplétion

Dans le cas où la tension de grille est légèrement supérieure à la tension de bande plate, il y a création d'un champ électrique dirigé vers le substrat (figure I.4b). Ce champ électrique tend à pousser les trous vers le substrat créant ainsi, au voisinage de la surface, une zone désertée d'épaisseur x_d et de charge négative Q_d appelée charge de déplétion due aux accepteurs ionisés. Puisque la surface est appauvrie de porteurs libres, ce régime est dit régime de déplétion (figure 1.4 b). Pour un dopage uniforme du substrat, l'épaisseur de la zone de déplétion s'exprime en fonction du potentiel de surface par :

$$x_d = \left[\frac{2\epsilon_s \Psi_s}{q N_A} \right]^{1/2} \tag{I.4}$$

La charge de déplétion s'écrit donc :

$$Q_d = -q N_A x_d \tag{I.5}$$

En régime de déplétion la charge en surface est sensiblement égale à la charge de déplétion:

$$Q_s \approx Q_d \tag{I.6}$$

4.3. Régime d'inversion

Si la tension de grille est suffisamment grande, la courbure des bandes d'énergie du semi-conducteur s'accroît jusqu'à ce que le niveau de Fermi dépasse le niveau

intrinsèque (figure I.4c). L'état de la surface change complètement. En effet, une densité d'électrons (porteurs minoritaires) est formée à la surface.

Dans ce cas deux régimes de fonctionnement se présentent. Le régime de faible inversion est obtenu dès que l'énergie E_F excède E_i et que le potentiel de surface dépasse celui de Fermi. Si on augmente davantage la tension de grille, le potentiel de surface croît jusqu'à ce qu'il devienne égal à $2\Phi_F$. Dans ce cas, la concentration des électrons à la surface devient égale à celle des trous dans le substrat, cette situation ($n_s = p_s$) est appelée condition de forte inversion. Ainsi, le régime de forte inversion est obtenu lorsque la concentration des électrons à la surface est supérieure ou égale à celle des trous dans le substrat (figure 1.4 c).

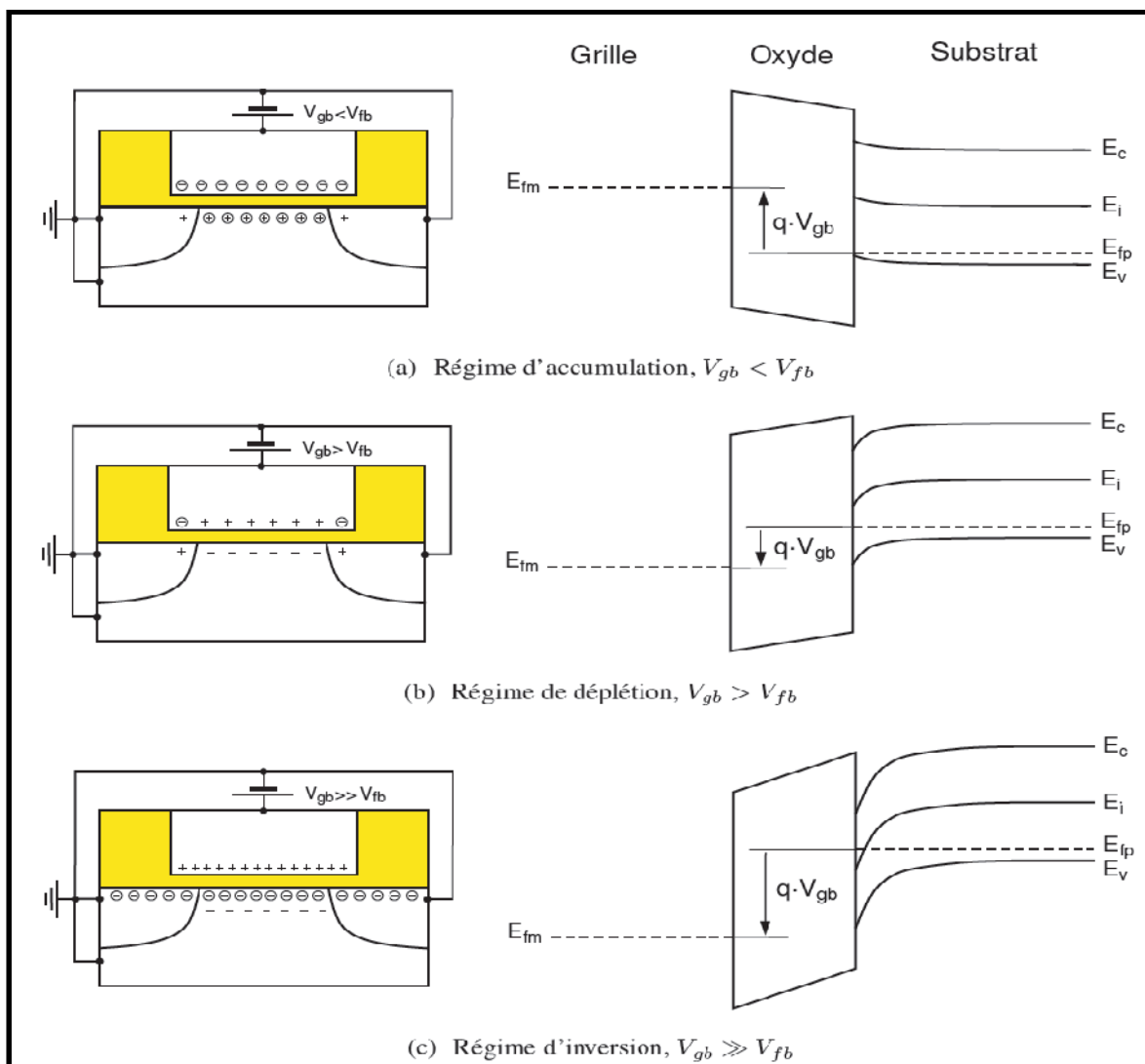


Figure I.4. Régimes de fonctionnement d'un transistor MOS à canal n

5. Nature des défauts dans l'oxyde et à l'interface

Les variations des propriétés physiques de l'interface Si/SiO₂ et de l'oxyde de grille SiO₂ dans le temps conditionnent la fiabilité du transistor MOS et donc celle du circuit intégré. C'est pourquoi, un intérêt particulier a été donné à l'étude des propriétés microscopiques et électroniques de l'interface Si/SiO₂ et de l'oxyde de grille. Selon les conditions de fabrication et de la technologie utilisée, plusieurs types de charges peuvent être piégées dans l'oxyde et à l'interface Si/SiO₂. On distingue (figure I.5) des charges fixes d'oxyde, des charges mobile d'oxyde, des charges piégées dans l'oxyde et des charges piégées à l'interface.

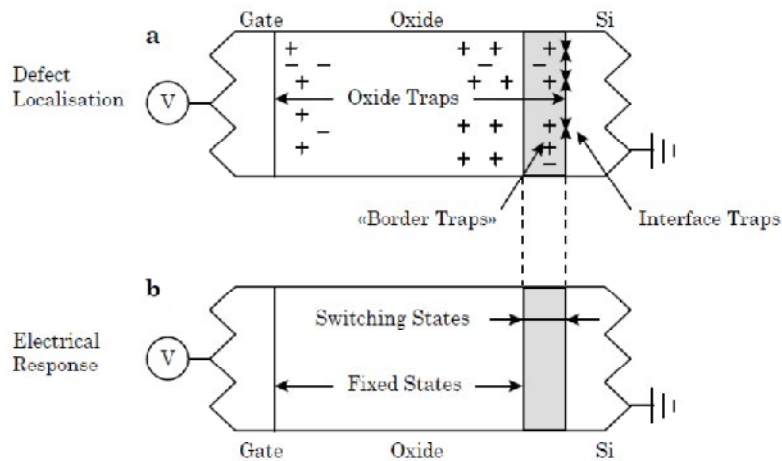


Figure I.5. Classement des défauts dans l'isolant des structures MOS en fonction de leur localisation (a) et de leur réponse électrique (b). D'après [31].

5.1. Charges fixes d'oxyde Q_f

Ces charges sont liées aux défauts de structure dans la zone de raccordement des mailles cristallines de silicium et de l'oxyde de silicium créés pendant les étapes de fabrication [10]. La densité de cette charge dépend du processus d'oxydation thermique : température, conditions de refroidissement et orientation du silicium [33]. Les charges Q_f sont généralement positives, localisées près de l'interface à environ 25 Å et elles ne sont pas influencées par les conditions de polarisation lors du fonctionnement du transistor MOS.

5.2. Charges mobiles d'oxyde Q_m

Elles sont dues essentiellement aux impuretés ioniques dans l'oxyde, comme le sodium, le potassium et le lithium. Ces ions alcalins sont induits dans l'oxyde lors des

différentes étapes technologiques. Ils se déplacent lentement dans l'oxyde et leur mouvement dépend du champ électrique et de la température. Une tension positive provoque un déplacement de ces ions vers l'interface, alors qu'une tension négative les attire vers la grille. Un courant dû à ce mouvement est observé [33]. L'effet de cette charge peut être minimisé à l'aide de la technique utilisant des couches de masque tel que le nitrure de silicium [21,23].

5.3. Charges piégées dans l'oxyde

Les charges piégées dans l'oxyde sont associées aux défauts de l'oxyde de grille SiO₂. Les pièges d'oxyde sont en général électriquement neutres et ils se chargent par l'injection d'électrons ou de trous dans l'oxyde. Ce phénomène est déclenché par les porteurs chauds, l'injection par avalanche, les radiations ionisantes ou les courants élevés dans l'oxyde.

5.4. Charges piégées Q_{ss} à l'interface Si/SiO₂

Les charges piégées Q_{ss} à l'interface Si/SiO₂ sont dues généralement à la rupture de la périodicité du réseau cristallin, au procédé d'oxydation, aux impuretés métalliques ou encore à des défauts causés par des rayonnements ionisants ou par des porteurs chauds [35]. La densité de défauts d'interface varie en fonction de l'injection des porteurs dans l'interface Si/SiO₂. La densité de la charge piégée à l'interface dépend également des tensions de polarisation [36]. L'augmentation de cette charge entraîne une variation de la tension seuil du transistor et une réduction de la mobilité ce qui conduit à une dégradation importante des performances.

6. Caractéristiques de l'oxyde de silicium

Le silicium et l'oxygène ont une très forte affinité l'un pour l'autre; cela explique l'exceptionnelle qualité du SiO₂ et de son interface avec le silicium.

Pour le système Si/SiO₂, on distingue généralement les domaines suivants :

- **Le volume** : C'est la zone située loin de l'interface. Elle est constituée d'une association de tétraèdres SiO₄. L'angle Si-O-Si dans le SiO₂ cristallin est de 144° mais il peut varier de 120° à 180° dans la phase amorphe [26].
- **L'interface** : C'est une zone de transition où la structure passe du silicium cristallin au dioxyde de silicium.

Cet isolant présente une très large bande interdite (8.9 eV), ce qui fait de lui un bon isolant électrique empêchant le passage de porteurs. Ainsi, la hauteur de barrière (énergétique) à l'interface Si-SiO₂ est de 3.2 eV pour les électrons et de 4.6 eV pour les trous [27]. Il a aussi

une élasticité élevée et donc une bonne tenue aux contraintes mécaniques. A ces qualités s'ajoutent une bonne conductivité thermique et une stabilité chimique importante.

Le système Si/SiO₂ et notamment son interface font l'objet de nombreuses recherches destinées à mieux connaître sa structure et surtout à en améliorer la qualité. La composition chimique du SiO₂ à l'interface ainsi que sa structure atomique sont déterminées par des techniques comme la résonance paramagnétique électronique (RPE) [28], la spectroscopie d'électrons Auger (AES)...etc.

6.1 Notion de défaut électriquement actif

Les ruptures dans la périodicité du SiO₂ donnent naissance à des états électroniques qui peuvent changer de charge électrique en capturant et en émettant des électrons ou des trous avec une certaine constante de temps [29]. Ces défauts affectent directement plusieurs caractéristiques des composants MOS comme la tension de seuil, la pente sous le seuil et le niveau de bruit.

Quelle que soit la nature du défaut et le système isolant/semi-conducteur, un état d'interface est un état électronique permis, il peut être classé dans deux catégories selon son état de charge :

- **Type accepteur** : neutre si inoccupé par un électron et chargé négativement si occupé
- **Type donneur** : neutre si occupé par un électron et chargé positivement si inoccupé

A cela s'ajoute la catégorie des sites dits « amphotères » qui peuvent être donneur ou accepteur (situé respectivement dans la moitié basse et haute de la bande interdite) [30]. Chaque piège est caractérisé par un niveau d'énergie E_t dans la bande interdite du semi-conducteur et par deux sections efficaces de capture σ_n et σ_p pour les électrons et les trous respectivement.

Un défaut est dit électriquement actif lorsque le passage du niveau de fermi au niveau d'énergie E_t provoque un changement de charge. Fleetwood et al. [31] ont remarqué qu'il est important de faire une distinction entre les pièges en fonction de leur localisation dans l'isolant et leur temps de réponse. Ils proposent de distinguer les pièges d'oxyde les plus proches de l'interface et électriquement actifs dits "Border Traps", des autres pièges volumiques de l'isolant qui n'ont pas d'interaction avec les porteurs du semi-conducteur durant la mesure.

6.2. Les liaisons pendantes.

Les liaisons pendantes, c'est-à-dire les liaisons covalentes non satisfaites, sont à priori les candidats les plus plausibles pour expliquer la présence de niveaux d'énergie accessibles par les porteurs dans la bande Interdite. Pour une meilleure compréhension et une plus grande clarté, nous avons représenté l'oxyde de silicium sous sa forme cristalline (figure I.7) alors qu'il se présente sous forme amorphe dans les transistors MOS.

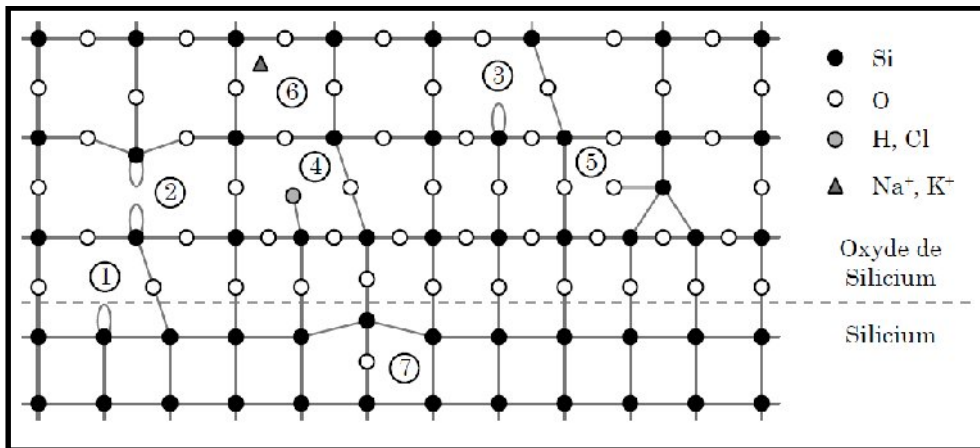


Figure I.6. Représentation schématique de quelques défauts du système Si-SiO₂.

A l'aide d'une étude de la structure atomique de l'interface Si/SiO₂ par résonance paramagnétique électronique (RPE), Caplan et al [32] ont mis en évidence l'existence d'un défaut trivalent dans la région d'interface, dite le centre P_b (p pour paramagnétique et b pour l'indexation du pic de résonance sur le spectre RPE), ce défaut 1 et 3 sur la figure I.6 correspond à un atome de surface du silicium ayant trois liaisons de covalence avec les atomes de silicium du substrat et une liaison pendante dirigée vers l'oxyde [33].

L'hydrogène, en apportant un électron à l'atome de Silicium auquel il se lie, passive le défaut, le rend ainsi inactif [34]. Un tel groupement, noté Si₃-SiH, correspond au centre P_bH [35] illustré sur la figure I.6 avec le numéro 4. Les liaisons pendantes peuvent être aussi comblées par des atomes tels que le Chlore, le Fluor ou le Deutérium (isotope naturel de l'hydrogène).

6.3. Les liaisons distordues

Les liaisons distordues ainsi que les faibles interactions sont aussi à l'origine des états d'interface [36]. Par exemple, les lacunes d'oxygène ou les liaisons faibles Si-Si, illustrées par le défaut 2 de la figure 1.7, donnent un état liant dans la partie inférieure de la bande interdite

et un état anti-liant dans la bande de conduction. Les liaisons et les interactions du type Si-O donnent des états dans la partie supérieure de la bande interdite. En considérant une multitude d'états très proches énergétiquement les uns des autres et dont le nombre décroît avec la profondeur dans l'isolant, Sakurai et Sugano [36] arrivent à une densité d'états en forme de U dans la bande interdite, comme illustré sur la figure I.7.

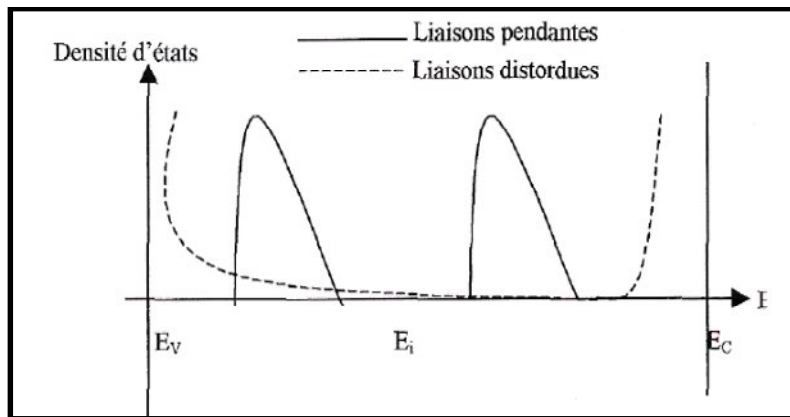


Figure I.7: Représentation Schématique de la densité d'états d'interface introduits par Les liaisons pendantes et distordues [36].

Conclusion

La miniaturisation des transistors améliore les performances pour un prix de revient réduit. Mais les dimensions très faibles engendrent des défauts localisés à l'interface Si/SiO₂ et dans l'oxyde. Il en résulte une dégradation globale des paramètres qui déterminent les performances du transistor MOS. Pour pouvoir arriver à des solutions qui atténuent ces phénomènes, on utilise la méthode de pompage de charge pour caractériser ces défauts.

Chapitre II:

***Effet d'irradiation et les
techniques d'extraction des
pièges induits***

Introduction

En environnement radiatif, l'électronique embarquée est soumise à différents types de rayonnements ionisants. Ces rayonnements vont interagir avec la matière pour créer des paires électron-trou dans les matériaux. Cette création a une véritable incidence sur les isolants. Les composants de type MOS (Metal Oxide Semiconducteur) sont donc les premiers touchés par cet effet couramment appelé : *effet de dose* ou en Anglais *Total Ionising Dose (TID)*.

1. Effet d'irradiation sur les transistors MOS

1.1. Effets du rayonnement ionisant sur les dispositifs MOS

Les phénomènes physiques mis en jeu lorsqu'une structure MOS est soumise à un rayonnement ionisant sont :

1. Création de paires électron-trou [37,38];
2. Recombinaison initiale des paires électron-trou générées [37,39] ;
3. Transport des trous dans l'oxyde [40,41];
4. Formation de charges positives par piégeage des trous dans l'oxyde [38, 41] ;
5. Formation des pièges à l'interface *via* des réactions impliquant l'hydrogène [42,43].

Ces processus sont résumés dans la Figure II.1.

1.2. Génération et recombinaison des paires électron-trou dans le SiO₂

Quand un rayonnement ionisant traverse une structure MOS, il produit sur son chemin des paires électron-trou. La densité de ces paires, générée par seconde, peut être considérée comme proportionnelle à l'énergie déposée qui s'exprime en Gray (Gy) (1Gy=1Joule/Kg=100rad) [37]. Le nombre des paires électron-trou généré pour une dose donnée dépend fortement du gap énergétique et de la densité du matériau. Une fois l'énergie totale déposée est connue, le nombre de paires électron-trou généré est obtenu en divisant toute l'énergie déposée par l'énergie nécessaire pour créer une paire électron-trou E_P (dans le cas du SiO₂, elle est égale à 17±1eV) [43].

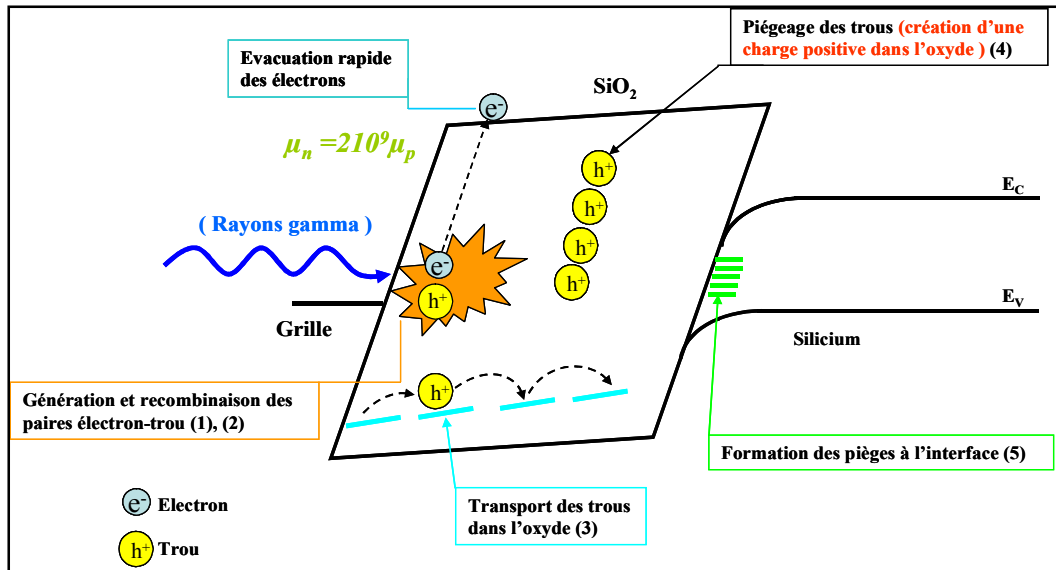


Figure II.1: Schéma illustratif des effets d'un rayonnement ionisant dans les dispositifs MOS [44].

Les données présentées dans le tableau II.1 nous permettent d'estimer la densité des porteurs créés dans les différentes parties d'un composant électronique, cela nous permettra d'évaluer rapidement la sensibilité de ces matériaux à l'effet de dose.

Matériau (Z)	Densité (g.cm ⁻³)	Bande Interdite Eg (eV)	Energie de création d'une paire e-/h+ (eV)	Densité de paires/Gy (cm ⁻³ .Gy ⁻¹)
Si (14)	2.328	1.12	3.86	3.76 x 10 ¹⁵
GaAS	5.32	1.42	4.8	7 x 10 ¹³
SiO ₂	2.2	9	18	7.63 x 10 ¹⁴

Tableau II.1 : Différentes propriétés intrinsèques du Si, GaAS et SiO₂ [45].

A titre d'exemple, la dose totale déposée lors d'une mission spatiale en orbite géostationnaire pendant 10 ans ne dépasse pas 1 Mrad [46]. Elle correspond respectivement à un total de 3.76x10¹⁹ et 7.63 x10¹⁸ créations de paires d'électron-trou par centimètre cube dans le silicium et dans l'oxyde (SiO₂). Ces densités sont à comparer avec celles naturellement présentes dans les matériaux cibles. La densité de charges dans un métal, de l'ordre de 10²² cm⁻³, est trop importante pour que ce dernier soit perturbé. Pour les semiconducteurs, compte tenu des débits de dose et des densités de porteurs libres (10¹⁴ - 10¹⁹ cm⁻³), toute charge créée reviendra à l'équilibre par recombinaison. De ce fait, nous pouvons considérer que l'équilibre

est toujours réalisé dans les semiconducteurs dans des temps relativement courts (inférieur à la picoseconde).

Ce qui précède explique l'insensibilité des métaux et des semiconducteurs à l'effet de dose. Il n'en est pas de même pour les isolants qui, à l'équilibre, n'ont pas de porteurs libres qui permettraient, comme pour les semiconducteurs, le retour à l'équilibre par recombinaison des charges.

Quelques picosecondes après la génération, il y a une recombinaison partielle des paires générées, appelée *recombinaison initiale* [37-39]. Le pourcentage des paires recombinées dépend du rayonnement incident et du champ électrique (E_{OX}) appliqué à l'oxyde.

La figure II.2 illustre les différents types de défauts existant dans les dispositifs MOS avant et après irradiation et les pièges induits après l'irradiation.

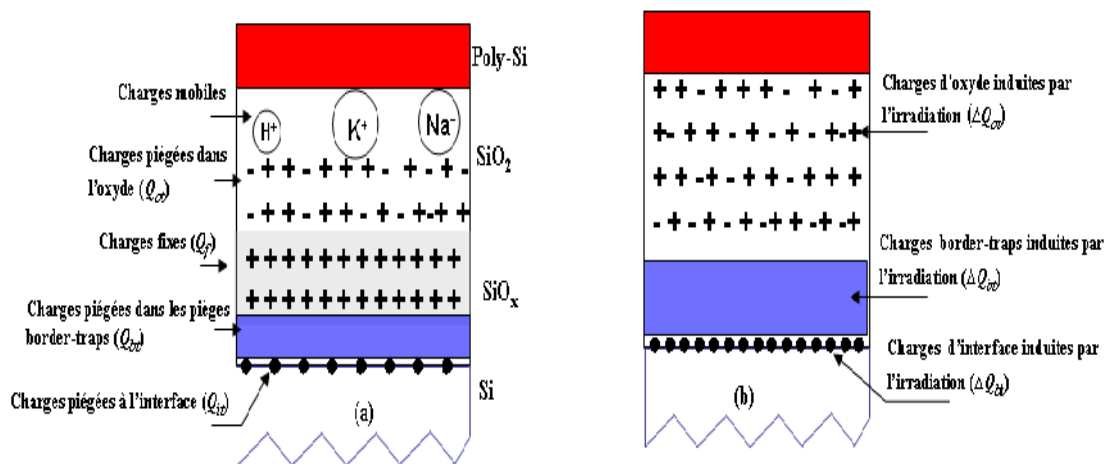


Figure II.2: (a) Les différents types de charges dans le système SiO_2/Si (d'après la nomenclature du comité Deal [47] complétée par Fleetwood [48]), (b) charges piégées créées par l'irradiation.

1.3. Transport des trous dans l'oxyde SiO_2

La génération et la recombinaison des paires électron-trou s'effectuent très rapidement, dans des temps de l'ordre de picosecondes. Les différentes étapes qui suivent ces deux processus sont plus longues et commencent par le déplacement des charges.

Les électrons dans l'oxyde de silicium (SiO_2) ont une mobilité beaucoup plus élevée que celle des trous ($\mu_n = 2 \times 10^9 \mu_p$). Par l'action d'un champ interne ou externe, ces derniers quittent l'oxyde en quelques picosecondes [40,41], alors que les trous se déplacent lentement

vers l'interface Si/SiO₂ (voir la Figure II.1) avec un phénomène de transport qui s'appelle saut des polarons [5,49]. La vitesse de transport augmente avec le champ électrique appliqué et la température. Selon la littérature, il existe deux modèles de transport des trous dans l'oxyde SiO₂ :

1. **Par sauts successifs entre des sites de piégeage** [50] : Dans ce modèle, le passage entre chacun des sites s'effectue par effet tunnel. Les probabilités de saut d'un site à un autre sont alors dépendantes de la distance qui les sépare.
2. **Par piégeage multiple** [51] : Les trous sont capturés par les pièges et restent capturés pendant un temps donné avant d'être émis vers la bande de valence, où ils se déplacent, jusqu'au moment où ils seront piégés par un autre site.

1.4. Formation de charge dans l'oxyde par piégeage des trous

Lorsqu'un trou, accompagné de la distorsion du réseau qu'il engendre, atteint une liaison sous contrainte, voir Figure II.3(a), il accentue davantage la contrainte et provoque la rupture de la liaison Si-Si. Le trou est alors piégé sur l'un des atomes de Si libérés, voir Figure II.3(b), par suite, la charge électrique de l'atome devient positive. Le deuxième atome de Si reste électriquement neutre avec une liaison orbitale pendante contenant un électron non apparié. Ces deux atomes trivalents de Si constituent ensemble un centre appelé **Centre E' (E' Centre)** [52,53]. Il faut noter que le **Centre E'** n'est pas le seul candidat au piégeage des trous dans l'oxyde SiO₂, mais il reste le principal protagoniste de ce piégeage sous irradiation, ainsi, la charge nette piégée dans le SiO₂ est généralement positive. Cette charge piégée conduit donc à la dérive négative de la tension de seuil dans les transistors NMOS et PMOS.

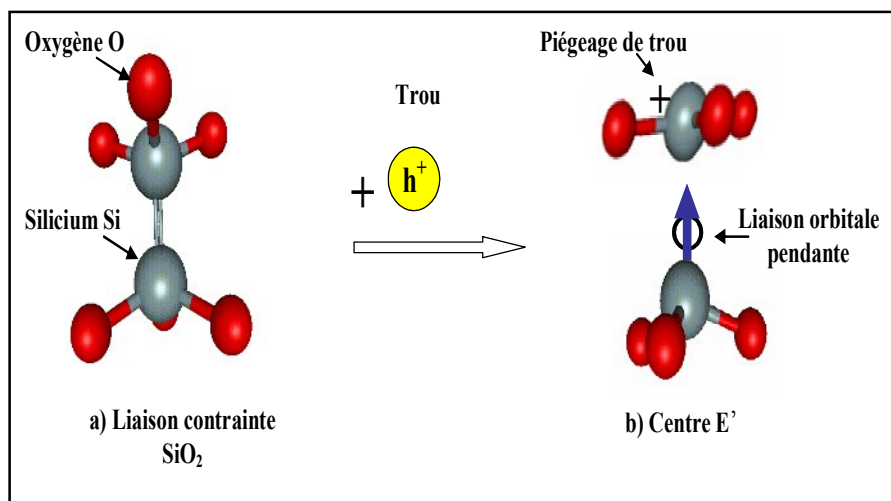


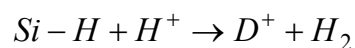
Figure II.3: Création d'un centre E' (piégeage d'un trou) [44].

Une fois que le trou est piégé dans le SiO₂, il n'existera alors que deux phénomènes pour l'évacuer. L'un consiste en des électrons qui passent la barrière entre le substrat de silicium et l'oxyde de grille par effet tunnel (*tunnel annealing*) et qui vont neutraliser les trous piégés [54,55]. L'autre consiste en des électrons de la bande de valence de l'oxyde qui sont excités thermiquement (*thermal annealing*) [56,57]. L'efficacité de ces deux mécanismes dépend fortement de la position des pièges par rapport à l'interface Si/SiO₂ pour le recuit par effet tunnel (*distribution spatiale*) et de la position des pièges par rapport à la *bande de valence* pour le recuit thermique (*distribution en énergie*).

1.5. Formation des pièges à l'interface

Les radiations ionisantes génèrent aussi une augmentation des pièges à l'interface Si/SiO₂ [58,59]. Plusieurs modèles, de création des pièges à l'interface par irradiation, ont été proposés dans la littérature. Le modèle le plus convainquant est celui à deux étapes, proposé par McLean [60]. Ce modèle peut être résumé de la façon suivante:

1. Dans la première étape, le transport des trous à travers l'oxyde vers l'une des interfaces dissipe une énergie qui casse les liaisons Si-H ou Si-OH pour produire un ion positif (H⁺)
2. Dans la seconde étape, si le champ est positif, ces ions H⁺ se déplacent vers l'interface et réagissent pour donner une liaison pendante selon la réaction suivante :



où Si-H est une liaison pendante passivée, D⁺ le piège à l'interface et H₂ la molécule d'hydrogène.

Les pièges à l'interface sont en contact avec la couche d'inversion et peuvent se vider et se remplir suivant la valeur du potentiel de surface. Ils ont une nature amphotère; ils peuvent capturer des électrons ou des trous (vis-à-vis des électrons, les pièges accepteurs sont chargés négativement si occupés, et neutres sinon ; les pièges donneurs sont neutres si occupés et chargés positivement sinon). Ces états sont accepteurs dans la moitié supérieure du Gap et donneurs (positifs si chargés) dans la moitié inférieure, voir figures II.3.

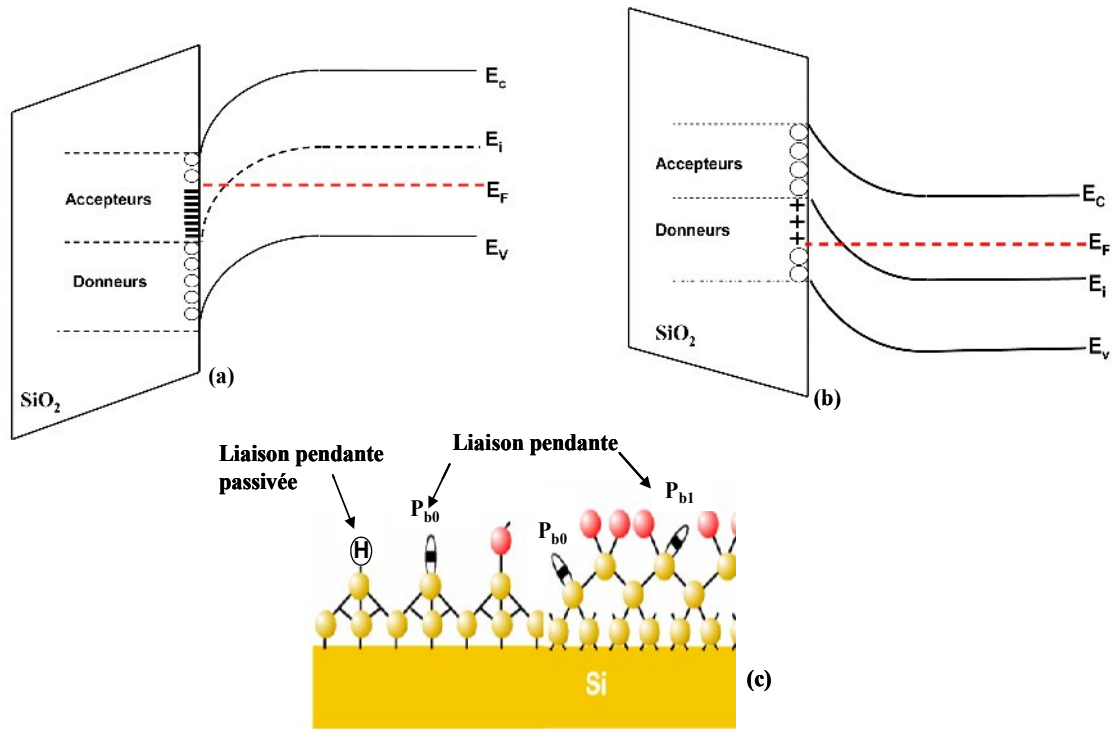


Figure II.3 : (a) et (b) Diagramme de bandes d'un transistor NMOS et PMOS en forte inversion présentant des pièges à l'interface accepteurs chargés, (c) schématisation de la structure atomique des pièges à l'interface (états d'interface), souvent appelée Centre P_{b0} et P_{b1} [44].

Pour un transistor NMOS, sous une tension de grille positive, les pièges à l'interface se chargent négativement et compensent l'effet des charges positives piégées existantes. Pour un PMOS, polarisé sous une tension négative, les pièges d'interface se chargent positivement et viennent donc s'ajouter aux charges déjà piégées dans l'oxyde.

2. Effet des pièges créés par l'irradiation sur les paramètres des dispositifs MOS

2.1. Dérive de la tension de seuil

Dans le cas des transistors MOS, les rayonnements ionisants engendrent une dérive de la tension de seuil (V_{th}) définie comme la valeur de la tension à appliquer, entre la grille et la source (V_{GS}), pour laquelle le potentiel en surface (Ψ_s) du semiconducteur en dessous de l'oxyde de grille est donné par :

$$\Psi_s = 2\Phi_F \quad \text{II.1}$$

où Φ_F (V) est le potentiel du niveau de Fermi en volume. Ainsi, la tension de seuil [61] s'écrit comme suit :

$$V_{th} = \Phi_{ms} + 2\Phi_F + \frac{\sqrt{2q\epsilon_{Si}N_{a,d}(2\Phi_F)}}{C_{ox}} - \frac{Q_{Total}}{C_{ox}} \quad \text{II.2}$$

Où q (C) est la charge de l'électron, ϵ_{Si} (F/cm) est la permittivité du silicium, $N_{a,d}$ (cm⁻³) est la concentration du dopage du substrat, C_{ox} (F/cm²) est la capacité par unité de surface de l'oxyde de grille, Φ_{ms} (V) est la différence entre les travaux de sortie du métal et du semi-conducteur et Q_{Total} (C/cm²) est la charge totale par unité de surface dans le système Si /SiO₂,

Après irradiation, les charges Q_f et Q_m ne sont pas influencées par les stress ionisants. De plus, Φ_{ms} , $N_{a,d}$, Φ_F , ϵ_{Si} , et C_{ox} sont des constantes intrinsèques, qui dépendent seulement des propriétés du matériau et des procédés technologiques. Par conséquent, la dérive de la tension de seuil causée par l'irradiation peut s'écrire :

$$\Delta V_{th} = -\frac{\Delta Q_{ot}}{C_{ox}} - \frac{\Delta Q_{bt}}{C_{ox}} - \frac{\Delta Q_{it}}{C_{ox}} \quad \text{II.3}$$

Généralement, la charge nette (ΔQ_{ot} et ΔQ_{bt}) induite par l'irradiation dans l'oxyde est positive. Cependant, ΔQ_{it} peut contribuer, ou bien en tant que charge nette négative, ou bien en tant que charge nette positive. Cela dépend de la position du niveau de Fermi à la surface du silicium en régime d'inversion.

Pratiquement, les pièges à l'interface sont considérés, électriquement, comme étant des états accepteurs pour le transistor NMOS et des états donneurs pour le transistor PMOS. D'un côté, ΔQ_{it} est négative dans les transistors à canaux N ($\Delta Q_{it} = -q \Delta N_{it}$) et positive dans ceux à canaux P ($\Delta Q_{it} = q \Delta N_{it}$). D'un autre côté, $\Delta Q_{ot} = q \Delta N_{ot}$ et $\Delta Q_{bt} = q \Delta N_{bt}$. Où, ΔN_{it} (cm⁻²), ΔN_{ot} (cm⁻²), et ΔN_{bt} (cm⁻²) sont respectivement, les densités des pièges à l'interface, d'oxyde et border-traps créées par irradiation. Ces dernières sont des quantités positives par unité de surface. ΔV_{th} s'écrit donc :

Pour un transistor à canal N :

$$\Delta V_{th} = -\frac{q \Delta N_{ot}}{C_{ox}} - \frac{q \Delta N_{bt}}{C_{ox}} + \frac{q \Delta N_{it}}{C_{ox}} \quad \text{II.4}$$

Pour un transistor à canal P :

$$\Delta V_{th} = -\frac{q \Delta N_{ot}}{C_{ox}} - \frac{q \Delta N_{bt}}{C_{ox}} - \frac{q \Delta N_{it}}{C_{ox}} \quad \text{II.5}$$

Chapitre II : Effet d'irradiation et les techniques d'extraction des pièges induits

La dérive de la tension de seuil est donc la somme des composantes : $\Delta V_{th} = -\frac{\Delta}{C_{ox}}$,

$\Delta V_{bt} = -\frac{q\Delta N_{bt}}{C_{ox}}$ et $\Delta V_{it} = \frac{q\Delta N_{it}}{C_{ox}}$ associées respectivement à l'augmentation des pièges dans l'oxyde

(ΔN_{ot}), à l'interface (ΔN_{it}) et border-trap (ΔN_{bt}). Finalement ΔV_{th} s'écrit :

$$\Delta V_{th} = \Delta V_{ot} + \Delta V_{bt} + \Delta V_{it} \quad \text{II.6}$$

La Figure II.4 démontre la contribution de chaque composante sur la dérive de la tension de seuil des transistors NMOS et PMOS. La charge piégée dans l'oxyde induit une dérive négative dans la tension de seuil quelque soit le type de transistors (NMOS ou PMOS), il n'en est pas de même pour la dérive associée aux pièges à l'interface. En effet, ceux-ci conduisent à une dérive négative dans le cas d'un transistor PMOS et positive dans le cas d'un NMOS. Dans le cas d'un transistor NMOS, les charges piégées à l'interface vont alors compenser une partie des charges piégées dans le volume de l'oxyde. La charge image dans le substrat sera donc plus faible et la dérive de la tension de seuil sera donc moins importante. Dans certains cas, la guérison des pièges de l'oxyde combinée à une augmentation des pièges à l'interface va faire passer la tension de seuil au-delà de sa valeur pré-irradiation.

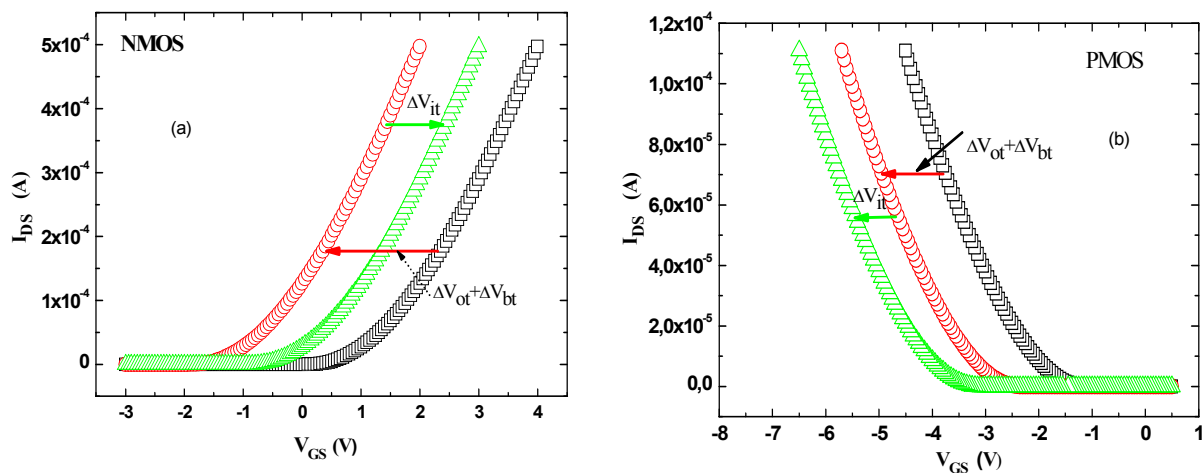


Figure II.4 : Représentation de la dérive de la tension de seuil due à la présence de charges positives et négatives piégées dans l'oxyde, dans l'oxyde près de l'interface et à l'interface. (a) NMOS, (b) PMOS [44].

Ce phénomène est appelé «rebond» et peut contribuer également aux défaillances du composant, voir Figure II.5 [62]. Cette figure présente schématiquement l'historique de l'évolution de la dérive de la tension de seuil, d'un transistor NMOS après une impulsion d'irradiation. Sur ce schéma, on constate que pour $t > 10^{-1}$ s (à $T = 295$ K), le phénomène de «rebond» est l'un des résultats finaux possibles. Le «rebond» s'observe lorsqu'il y a une

guérison des trous et une création significative de pièges à l'interface. Ainsi, selon l'amplitude de la guérison des trous et de la création des pièges à l'interface, la défaillance d'un circuit à des temps très longs ($t > 10^2$ s) peut être causée par une dérive positive de la tension de seuil.

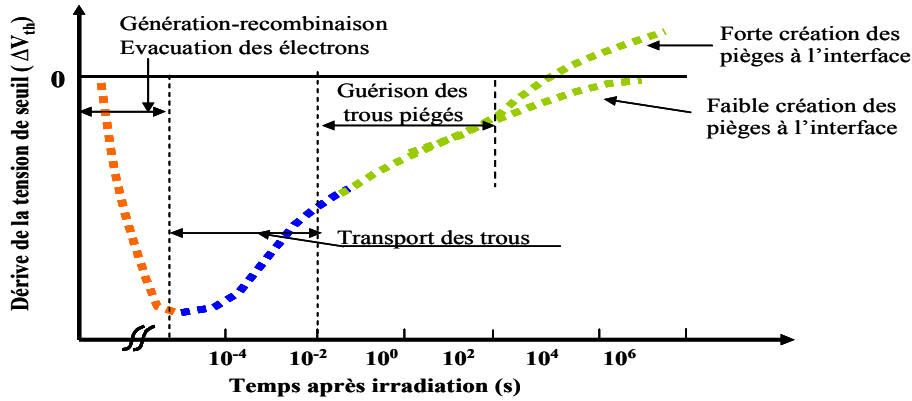


Figure II.5 : Processus de guérison dans un transistor NMOS d'après [40]. Selon l'amplitude de la guérison des trous et la création des pièges à l'interface, la défaillance du circuit à des temps très longs peut être causée par la dérive positive de la tension de seuil.

2.2. Dégradation de la mobilité

L'une des conséquences des pièges induits par irradiation est la diminution de la mobilité des porteurs $\mu_{n(p)}^*$ [63,64], qui peut être exprimée par :

$$\mu_{n(p)}^* = \frac{\mu_{n(p)}}{1 + \alpha \Delta N_{ot} + \beta \Delta N_{bt} + \gamma \Delta N_{it}} \quad \text{II.7}$$

où $\mu_{n(p)}(cm^2/V.s)$ est mobilité des porteurs dans le canal avant irradiation. α , β et γ (cm^{-2}) sont des facteurs de dispersion qui dépendent de la technologie de fabrication.

Pour diminuer l'impact des radiations sur la mobilité des porteurs, il est intéressant que la technologie utilisée propose la technique de canal enterré (buried), car dans ce cas, les porteurs de charge du canal ne sont pas proches de l'interface Si/SiO₂.

2.3. Augmentation du courant de fuite et durcissement par miniaturisation

L'oxyde de grille est la zone la plus sensible à la dose cumulée dans une structure MOS. Cependant, du fait de la miniaturisation et la course vers une intégration toujours plus dense, les épaisseurs des oxydes de grille deviennent de plus en plus faibles et donc, beaucoup moins sensibles aux problèmes de dose (durcissement). En effet, il a été montré que ΔV_{ot} est

proportionnel au carré de l'épaisseur d'oxyde de grille (T_{ox}) [65,66]. Ainsi, des durcissements de l'oxyde de grille sont observés pour des technologies de $0.25 \mu\text{m}$ où T_{ox} est approximativement inférieur au double de la distance tunnel des électrons ($i \approx 3 \text{ nm}$) [67]. Ce durcissement continue à être observé pour des technologies de $0.18 \mu\text{m}$ ($T_{ox} \sim 3.2 \text{ nm}$) et $0.13 \mu\text{m}$ ($T_{ox} \sim 2 \text{ nm}$) [68], mais les zones d'oxyde les plus épaisses des transistors restent sensibles aux doses cumulées [69,70]. Ces zones sont le LOCOS (LOCAl Oxidation of Silicon) et le STI (Shallow Trench Isolation) qui servent à isoler les transistors les uns des autres. En effet, la charge piège induite par irradiation dans le LOCOS (ou STI), qui est généralement une charge nette positive, va engendrer par effet électrostatique dans le silicium sous-jacent une zone d'inversion, et donc un canal de conduction, un courant peut alors circuler du drain d'un transistor vers la source d'un transistor voisin sous le LOCOS (ou STI) ou du drain vers la source de même transistor le long du « bec d'oiseau » (voir Figure II.6). Par conséquent, cette zone peut être assimilée à des transistors parasites parallèles au transistor principal, ce qui conduit à l'augmentation des courants de fuite du transistor et entre transistors. Cet effet dû au LOCOS (ou STI) n'est préoccupant que pour les transistors NMOS.

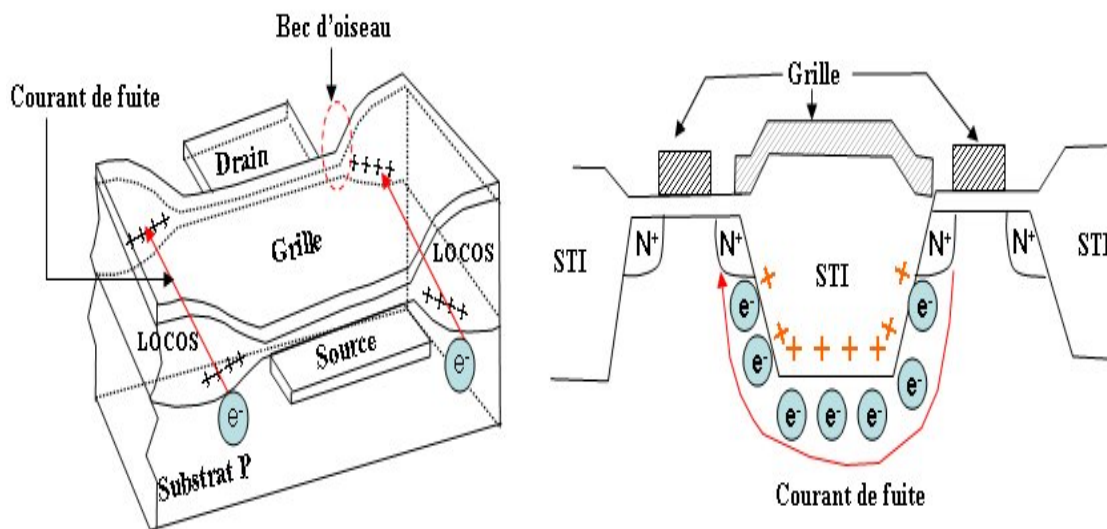


Figure II.6 : (a) Courant de fuite induit par la structure LOCOS, (b) courant de fuite induit par une structure STI entre deux transistors adjacents [44].

Jusqu'aujourd'hui, il n'existe pas de méthodes directes et fiables pour l'estimation des pièges induits par irradiation dans le LOCOS (ou STI), les mesures de ces pièges s'effectuent sur des structures spéciales ; capacité MOS de configuration LOCOS (ou STI), puis les résultats sont extrapolés aux transistors MOS.

3. Méthodes d'extraction des pièges induits par l'irradiation

3.1. $C(V_G)$ (Capacitance-Voltage)

Les méthodes basées sur $C(V_G)$ [2, 61] sont des méthodes de caractérisation indirectes par rapport aux transistors MOS, car elles s'appliquent uniquement sur des capacités MOS. La technique $C(V_G)$ consiste à tracer la capacité en fonction de la tension, en utilisant soit un signal de haute fréquence $C_{HF}(V_G)$ soit un signal de basse fréquence $C_{LF}(V_G)$ ou soit quasi-statique $C(V_G)$. La figure II.7 montre les courbes $C_{HF}(V_G)$ aux hautes fréquences (1 MHz). Elles sont obtenues à partir d'une capacité MOS de type P (substrat dopé P) avant et après irradiation à 500 Krad [71]. L'irradiation engendre un déplacement de la tension des bandes plates (flat-band) ΔV_{fb} de cette capacité MOS. ΔV_{fb} est la somme de deux dérives de tension, l'une est due à ΔN_{it} et l'autre à ΔN_{ot} . Ainsi donc, ΔV_{fb} s'exprime :

$$\Delta V_{fb} = \Delta V_{it} + \Delta V_{ot} \quad \text{II.8}$$

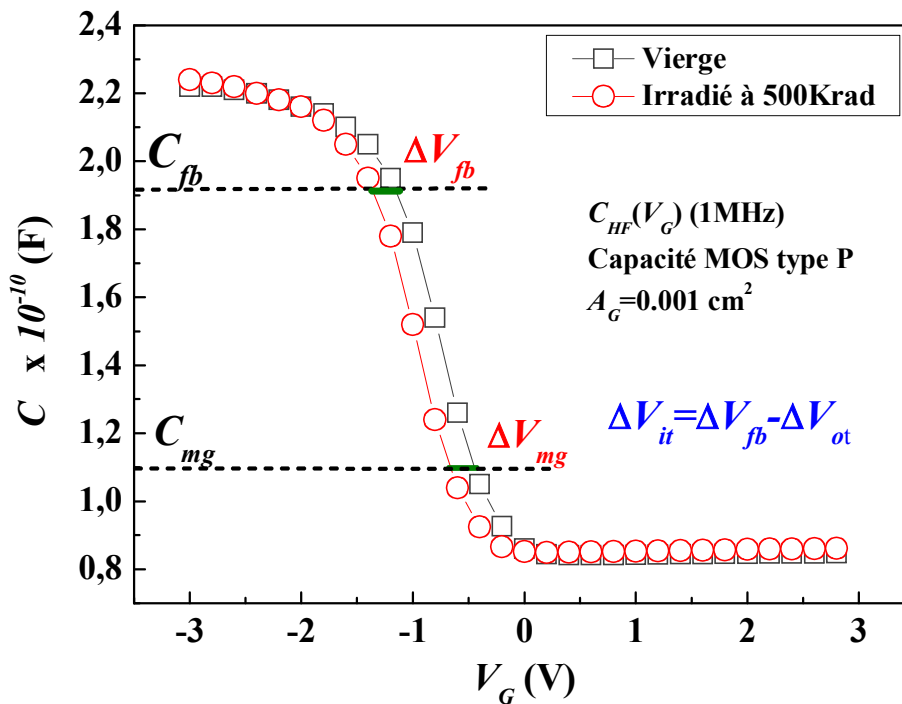


Figure II.7 : Extraction par la méthode $C(V_G)$ à haute fréquence (1 MHz) [44].

Comme le déplacement de la courbe $C_{HF}(V_G)$ au point correspondant au milieu de la bande interdite (mid gap) est causé uniquement par des pièges dans l'oxyde (car les pièges à l'interface y sont absents ou neutres), alors ΔV_{ot} est donnée par :

$$\Delta V_{mg} = \Delta V_{ot} \quad \text{II.9}$$

Par conséquent, les densités des pièges à l'interface et dans l'oxyde induit par irradiation sont données par :

$$\Delta N_{it} = \frac{C_{ox}}{q} (\Delta V_{fb} - \Delta V_{mg}) \quad \text{II.10}$$

$$\Delta N_{ot} = -\frac{C_{ox}}{q} \Delta V_{mg} \quad \text{II.11}$$

Enfin, les densités ΔN_{ot} et ΔN_{it} dépendent seulement de ΔV_{fb} et de ΔV_{mg} (C_{ox} et q sont des données), qui sont facilement mesurables à partir de la figure II.7.

3.2. STS (SubThreshold Slope)

Cette technique est directement applicable sur le transistor MOS, en exploitant la caractéristique $I_{DS}(V_{GS})$ sous la tension de seuil (d'où son nom). Elle consiste à tracer la caractéristique $I_{DS}(V_{GS})$ du transistor sous une échelle semi-logarithmique avant et après irradiation [72]. La figure II.8 donne cette caractéristique pour le transistor NMOS ($W_G/L_G=10/10$). Les pentes sous la tension de seuil du transistor avant et après irradiation sont données, respectivement par s_0 et s_1 exprimées en décade/V, mais en pratique, on utilise l'inverse de ces pentes, c'est-à-dire $S_0=1/s_0$ et $S_1=1/s_1$. Nous distinguons deux cas :

- 1- Un décalage de la courbe parallèlement à elle-même : la pente ne change pas, mais la caractéristique se décale, indiquant une dérive de V_{th} due à la présence des charges piégées dans l'oxyde.
- 2- Un changement de pente sous la tension de seuil de la caractéristique $I_{DS}(V_{GS})$ reflète la création des pièges à l'interface.

Avant stress (irradiation), la pente sous le seuil (pente inversée) S est exprimée par :

$$S = \frac{KT}{q} \left(1 + \frac{C_{scd}}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right) \ln(10) \quad \text{II.12}$$

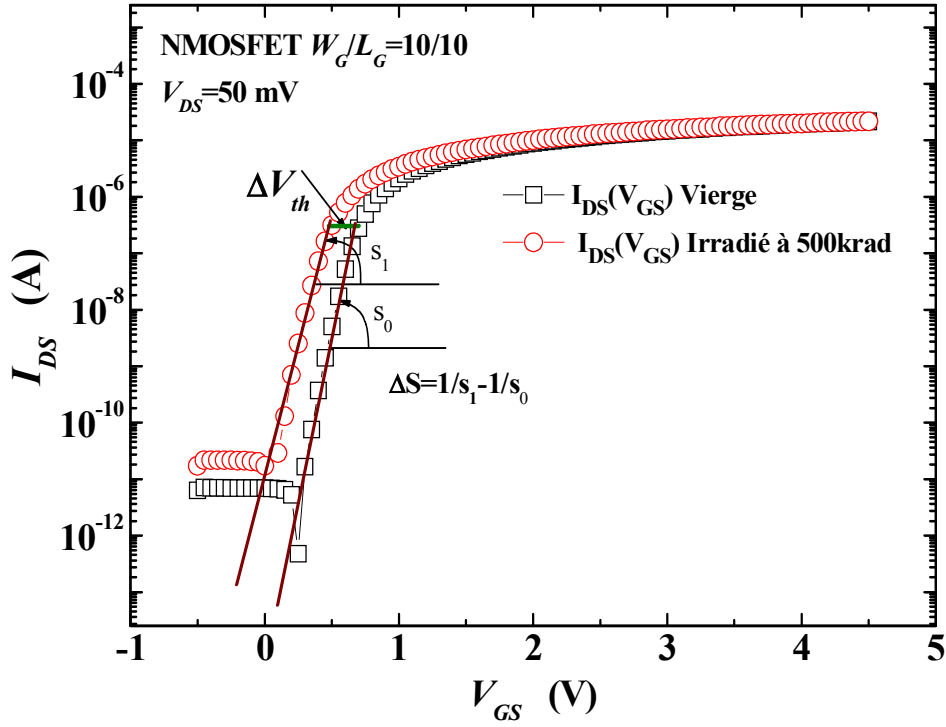


Figure II.8 : Extraction par la méthode SubThreshold Slope (STS) [44].

avec $KT/q=0.02585$ V à (300 °K) est le potentiel thermique, $C_{sc,d}$ est la capacité de la couche de déplétion dans le substrat, C_{ox} est la capacité d'oxyde et C_{it} la capacité associée aux pièges à l'interface. C_{ox} et $C_{sc,d}$ sont des constantes intrinsèques, qui dépendent, seulement, des propriétés du matériau et des procédés technologiques. Donc, après irradiation, la différence de pente peut être exprimée par :

$$\Delta S = \frac{KT}{q} \left(\frac{\Delta C_{it}}{C_{ox}} \right) \text{Ln}(10) \quad \text{II.13}$$

avec

$$\Delta C_{it} = q^2 \frac{\Delta N_{it}}{KTL \text{Ln} \left(\frac{N_{a,d}}{n_i} \right)} \quad \text{II.14}$$

D'où

$$\Delta N_{it} = \Delta S \frac{C_{ox} \text{Ln} \left(\frac{N_{a,d}}{n_i} \right)}{q \text{Ln}(10)} \quad \text{II.15}$$

Chapitre II : Effet d'irradiation et les techniques d'extraction des pièges induits

Comme le décalage de la tension de seuil ΔV_{th} est la somme de deux dérives de tension, l'une due à ΔN_{it} et l'autre à ΔN_{ot} , nous pouvons écrire ΔN_{ot} :

$$\Delta N_{ot} = \frac{C_{ox}}{q} (\Delta V_{it} - \Delta V_{th}) \quad \text{II.16}$$

avec ΔV_{it} donné par :

$$\Delta V_{it} = \Delta S \frac{\text{Ln} (N_{a,d} / n_i)}{\text{Ln} (10)} \quad \text{II.17}$$

Le décalage de la tension de seuil est donné par :

$$\Delta V_{th} = V_{th1} - V_{th0} \quad \text{II.18}$$

tel que V_{th0} et V_{th1} sont, respectivement, les tensions de seuil du transistor avant et après irradiation.

3.3. MG (Mid Gap)

La méthode Mid Gap (MG) est largement utilisée pour la détermination des pièges induits par l'irradiation. Elle diffère de la méthode STS dans l'extraction de ΔN_{ot} qui se fait indépendamment de ΔN_{it} (ΔN_{it} est extraite de la même façon). L'extraction de ΔN_{ot} s'effectue à partir du déplacement du point mid gap (ΔV_{mg}), qui correspond à un courant de l'ordre 10^{-14} A [73], en supposant que les pièges à l'interface sont électriquement neutres à ce point, la variation de la tension à ce point doit donc être uniquement due aux pièges dans l'oxyde.

Pour se faire, cette méthode propose d'extrapoler la courbe $I_{DS}(V_{GS})$ sous la tension de seuil au point mid gap, voir figure II.9. ΔN_{ot} est donné, alors par :

$$\Delta N_{ot} = \frac{C_{ox}}{q} \Delta V_{mg} \quad \text{II.19}$$

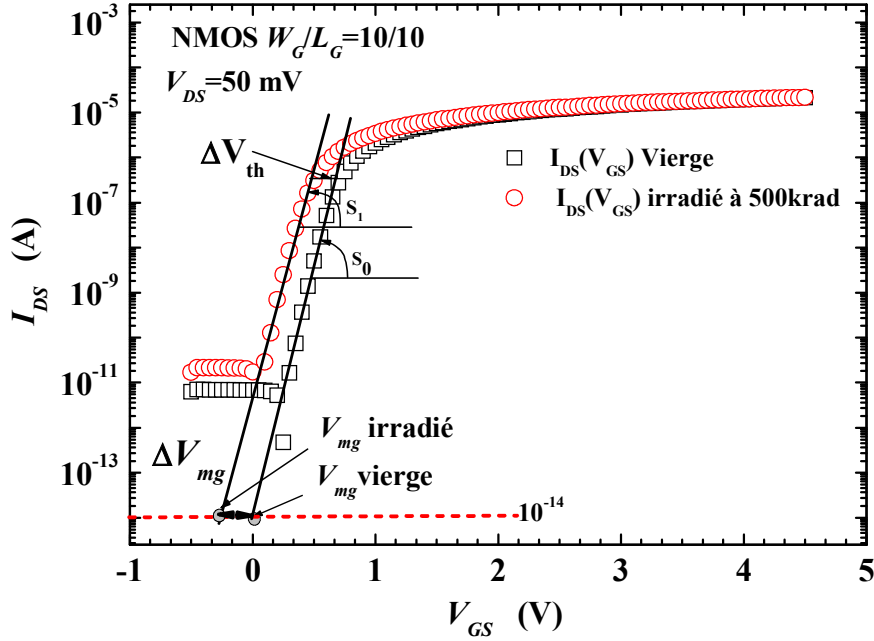


Figure II.9 : Extraction par la méthode MG (transistor NMOS avec $W_G/L_G=10/10$ [44]).

3.4. DTCP (Dual Transistor Charge Pumping)

La méthode DTCP doit être appliquée à la fois sur les transistors NMOS et PMOS qui ont des oxydes de grille fabriqués de la même façon, de préférence, sur la même tranche de silicium. De plus, les conditions de l'irradiation et de la caractérisation électrique doivent être les mêmes pour les deux transistors. J. R. Schwank et al. [74] supposent que ΔV_{ot} est la même dans les deux transistors. Dans ces conditions, les dérives des tensions de seuil pour les transistors ΔV_{thn} et ΔV_{thp} , correspondant respectivement aux transistors NMOS et PMOS, sont reliées à leurs composantes respectives comme suit :

$$\Delta V_{thn} = \Delta V_{in} + \Delta V_{ot} \quad \text{II.20}$$

$$\Delta V_{thp} = \Delta V_{ip} + \Delta V_{ot} \quad \text{II.21}$$

ΔV_{in} , ΔV_{ip} sont respectivement, les dérives induites par les pièges à l'interface pour NMOS et PMOS.

Pour éviter l'incertitude sur le potentiel de surface contribuant à la mesure des pièges à l'interface par le PC, les auteurs ont défini le paramètre R comme suit :

$$R = \frac{\Delta\Psi_n}{\Delta\Psi_p} = \frac{\Phi_{Fn}}{\Phi_{Fp}} \quad \text{II.22}$$

tels que Φ_{Fn} et Φ_{Fp} sont les potentiels du niveau de Fermi en volume, respectivement, des transistors NMOS et PMOS. $\Delta\Psi_n$ et $\Delta\Psi_p$ sont les potentiels de surface balayés par le *PC*, respectivement, dans les transistors NMOS et PMOS. Nous avons alors :

$$\Delta V_{itm} = \frac{q\Delta\Psi_n\Delta D_{itm}}{C_{ox}} = \frac{q\Delta N_{itm}}{C_{ox}} \quad \text{II.23}$$

$$\Delta V_{itp} = \frac{q\Delta\Psi_p\Delta D_{itp}}{RC_{ox}} = \frac{q\Delta N_{itp}}{RC_{ox}} \quad \text{II.24}$$

La résolution du système d'équations (II.20), (II.21), (II.22), (II.33) et (II.24) nous donne :

$$\Delta V_{itm} = \frac{R\Delta D_{itm}(\Delta V_{thn} - \Delta V_{thp})}{\Delta D_{itp} + R\Delta D_{itm}} \quad \text{II.25}$$

$$\Delta V_{itp} = -\frac{\Delta D_{itm}(\Delta V_{thn} - \Delta V_{thp})}{\Delta D_{itp} + R\Delta D_{itm}} \quad \text{II.26}$$

$$\Delta V_{ot} = \frac{\Delta D_{itp}\Delta V_{thn} + \Delta V_{thp}\Delta D_{itm}}{\Delta D_{itp} + R\Delta D_{itm}} \quad \text{II.27}$$

$$\Delta\Psi_n = \frac{RC_{ox}(\Delta V_{thn} - \Delta V_{thp})}{q(\Delta D_{itp} + R\Delta D_{itm})} \quad \text{II.28}$$

ΔV_{thn} et ΔV_{thp} sont extraites à partir de la caractéristique $I_{DS}(V_{GS})$ (méthode de l'extrapolation linéaire). ΔD_{itp} et ΔD_{itm} sont extraites à partir de la technique de pompage de charge standard ou par la méthode de *Groeseneken* [75]. Ainsi, les densités des pièges ΔN_{itm} , ΔN_{itp} , ΔN_{ot} sont facilement calculables à partir des équations (II.25), (II.26) et (II.27).

3.5. DTBT (Dual Transistor Border Trap)

Cette méthode propose l'extraction de ΔN_{it} , ΔN_{ot} et ΔN_{bt} (ΔN_{bt} : border-traps). Comme la DTCP, la DTBT combine les techniques $I_{DS}(V_{GS})$ classique et le *PC* standard sur deux transistors NMOS et PMOS fabriqués par la même technologie [76], voir figure II.10. L'utilisation de la technique $I_{DS}(V_{GS})$ permet, à la fois, aux pièges de l'interface et aux border-traps de communiquer leurs charges avec le silicium à une fréquence de l'ordre de 1Hz. Tous les pièges qui ne peuvent pas échanger leurs charges en moins d'une seconde sont considérés des pièges fixes, car nous ne pouvons pas, du point de vue électrique, les distinguer des pièges

d'oxyde (fixes). Alors, pour séparer la contribution des border-traps et celle des pièges à l'interface, DTBT utilise une seconde mesure (*PC*) avec une fréquence suffisamment grande (de l'ordre 1MHz)

Après irradiation, la dérive de la tension de seuil, ΔV_{th} des deux transistors s'exprime comme suit:

$$\Delta V_{thn} = \Delta V_{itin} + \Delta V_{otin} + \Delta V_{btn} \quad \text{II.29}$$

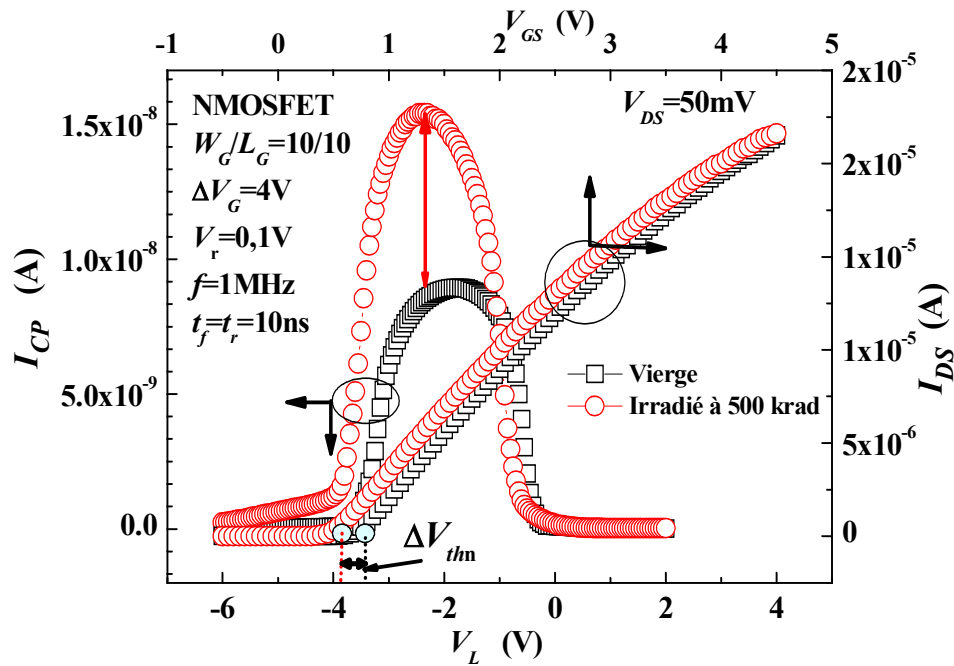


Figure II.10 : Extraction par la méthode DTBT [44].

$$\Delta V_{thp} = \Delta V_{itp} + \Delta V_{otp} + \Delta V_{btp} \quad \text{II.30}$$

Comme la méthode s'applique sur des transistors dont les oxydes de grille sont fabriqués par le même procédé et irradiés sous les mêmes conditions, alors : $\Delta V_{otin} = \Delta V_{otp} = \Delta V_{ot}$.

Les auteurs de la méthode supposent que :

- La dérive induite par les border-traps est positive dans le NMOS et négative dans le PMOS ;

- Seuls les pièges situés dans la bande supérieure contribuent dans le transistor NMOS. alors que pour le transistor PMOS, ce sont ceux de la bande inférieure qui participent ;
- La densité des border-traps dans les deux transistors est la même. Car ces pièges (border-traps) sont, physiquement, des pièges dans l'oxyde. Par conséquent, ils sont pareils dans les deux transistors ($\Delta N_{btm} = \Delta N_{btp} = \Delta N_{bt}$). Et comme DTBT sonde, uniquement, la moitié de la bande interdite, donc $\Delta N_{btm} = \Delta N_{btp} = \Delta N_{bt}/2$.

Le développement détaillé de la méthode est donné dans la référence [77] :

$$\Delta N_{it} = \frac{C_{ox}(\Delta V_{in} - \Delta V_{ip})}{q} \approx \Delta D_{in} \Phi_{Fn} + \Delta D_{ip} \Phi_{Fp} \quad \text{II.31}$$

$$\Delta N_{bt} = \frac{C_{ox}(\Delta V_{thn} - \Delta V_{thp})}{q} - (\Delta D_{in} \Phi_{Fn} + \Delta D_{ip} \Phi_{Fp}) \quad \text{II.32}$$

$$\Delta N_{ot} = \frac{C_{ox}(\Delta V_{thn} + \Delta V_{thp})}{2q} + \frac{\Delta D_{in} \Phi_{Fn} - \Delta D_{ip} \Phi_{Fp}}{2q} \quad \text{II.33}$$

Notons que dans cette méthode, ΔN_{it} est donnée pour l'ensemble NMOS/PMOS et non pas pour chaque transistor à part. Les densités ΔD_{in} et ΔD_{ip} et les tensions ΔV_{thn} et ΔV_{thp} sont extraites de la même manière que la méthode DTCP. Les potentiels de Fermi Φ_{Fn} et Φ_{Fp} sont facilement calculables à partir des données technologiques.

3.6. Oxide Trap based on Charge Pumping (OTCP)

La méthode basée uniquement sur le *PC* et qui permet l'extraction de ΔN_{it} , ΔN_{ot} et ΔN_{bt} en utilisant un seul transistor est la méthode OTCP : Oxide-Trap based on Charge-Pumping [10, 78, 79, 80]. Elle propose l'extraction de ΔN_{it} , ΔN_{ot} et ΔN_{bt} en faisant deux mesures, l'une à basse fréquence pour permettre aux border-traps de communiquer leur charge, et l'autre à haute fréquence pour éliminer leurs contributions [10,78].

Pour déterminer la fréquence limite (f_0) de contribution des border-traps, OTCP propose l'utilisation du *PC* fréquentiel [81] qui consiste à tracer la charge recombinée par cycle Q_{CP} en fonction de la fréquence de mesure. La fréquence f_0 est déterminée à 10 % de la variation de Q_{CP} par rapport à celle de la fréquence maximale utilisée, voir figure II.11. Alors, OTCP considère comme hautes fréquences (f_h) toutes les fréquences situées au dessus de f_0 ($f_h \gg f_0$) et les basses fréquences (f_b), celles situées au-dessous de f_0 ($f_b \ll f_0$).

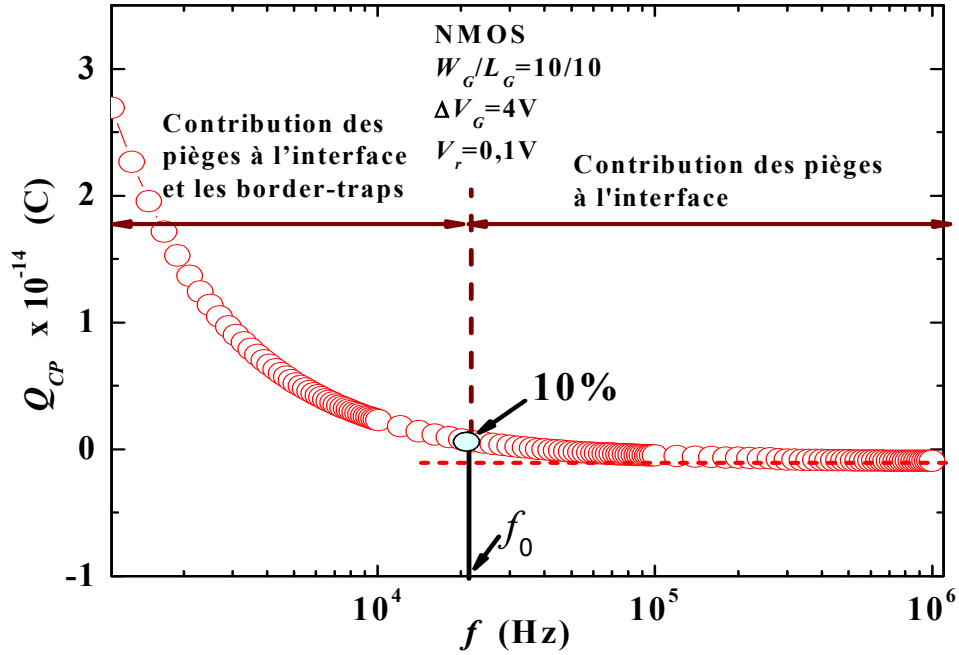


Figure II.11 : Charge recombinée (Q_{CP}) par cycle aux hautes et à basses fréquences. f_0 est la fréquence frontière entre les contributions des pièges à l'interface et des border-traps au Q_{CP} . L'augmentation de Q_{CP} avec f (commence à f_0) est due à la contribution des border-traps [44].

1) Pour les hautes fréquences, ΔV_{th} s'écrit :

$$\Delta V_{th,h} = \Delta V_{it,h} + \Delta V_{ot,h} \quad \text{II.34}$$

Puisque ΔV_{th} est indépendante de la fréquence, et si on pose $\Delta V_{it} = \Delta V_{it,h}$, l'équation (II.34) s'écrit:

$$\Delta V_{th} = \Delta V_{it} + \Delta V_{ot,h} \quad \text{II.35}$$

Nous avons alors :

$$\Delta V_{it} = \frac{q\Delta N_{it}}{C_{ox}} = \frac{(I_{CP\max 1,h} - I_{CP\max 0,h})}{C_{ox}f_h A_G} = \frac{\Delta I_{CP\max,h}}{C_{ox}f_h A_G} \quad \text{II.36}$$

avec $I_{CP\max 1,h}$ et $I_{CP\max 0,h}$ sont les courants maximaux du pompage de charge après et avant irradiation, voir figure II.17. Des équations (II.35) et (II.36), nous pouvons écrire :

Pour le transistor NMOS :

$$\Delta N_{ot,h} = \frac{\Delta I_{CP\max,h}}{qf_h A_G} - \frac{C_{ox}}{q} \Delta V_{th} \quad \text{II.37}$$

Pour le transistor PMOS :

$$\Delta N_{ot,h} = -\frac{\Delta I_{CP\max,h}}{qf_h A_G} - \frac{C_{ox}}{q} \Delta V_{th} \quad \text{II.38}$$

2) Pour les basses fréquences, ΔV_{th} s'exprime par :

$$\Delta V_{th} = \Delta V_{it} + \Delta V_{ot,b} + \Delta V_{bt} \quad \text{II.39}$$

La différence entre les courants maximaux du *PC* avant ($I_{CP\max 0,b}$) et après ($I_{CP\max 1,b}$) irradiation, aux basses fréquences, s'écrit :

$$\Delta I_{CP\max,b} = I_{CP\max 1,b} - I_{CP\max 0,b} = qf_b A_G (\Delta N_{it} + \Delta N_{bt}) \quad \text{II.40}$$

Alors, en utilisant l'équation (II.36) et (II.40), nous pouvons avoir la densité des border-traps induits par irradiation :

$$\Delta N_{bt} = \frac{\Delta I_{CP\max,b}}{qf_b A_G} - \frac{\Delta I_{CP\max,h}}{qf_h A_G} \quad \text{II.41}$$

Des équations (II.36), (II.39), (II.40) et (II.41) nous pouvons tirer :

Pour un transistor NMOS :

$$\Delta N_{ot,b} = 2 \frac{\Delta I_{CP\max,h}}{qf_h A_G} - \frac{\Delta I_{CP\max,b}}{qf_b A_G} - \frac{C_{ox}}{q} \Delta V_{th} \quad \text{II.42}$$

Pour un transistor PMOS :

$$\Delta N_{ot,b} = -\frac{\Delta I_{CP\max,h}}{qf_h A_G} - \frac{\Delta I_{CP\max,b}}{qf_b A_G} - \frac{C_{ox}}{q} \Delta V_{th} \quad \text{II.43}$$

A partir des équations (II.36), (II.37), (II.38), (II.41), (II.42) et (II.43), il est clair que les densités ΔN_{it} , $\Delta N_{ot,h}$, $\Delta N_{ot,b}$ et ΔN_{bt} extraites pour les transistors PMOS et NMOS sont uniquement dépendantes de $\Delta I_{CP\max,h}$, $\Delta I_{CP\max,b}$ et ΔV_{th} . Ces dernières variations sont facilement obtenues à partir des courbes du *PC*.

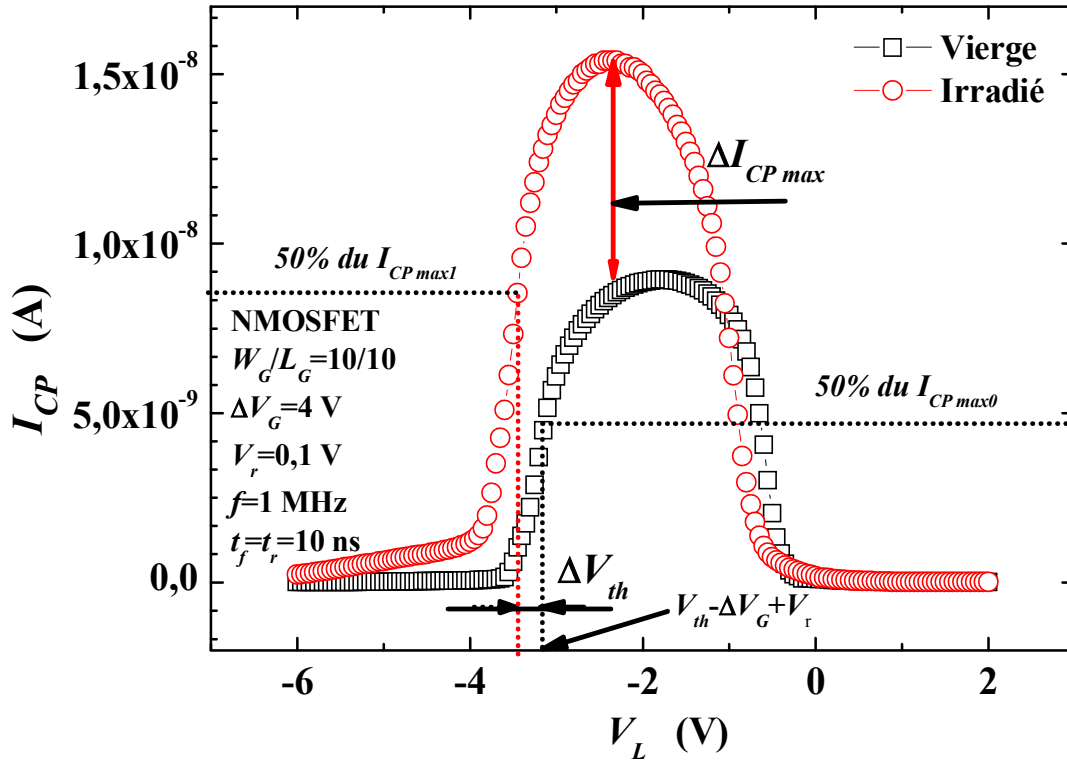


Figure II.12 : Extraction de $\Delta I_{CPmax,h}$ (ou $\Delta I_{CPmax,b}$) et ΔV_{th} à partir du PC. ΔV_{th} est extraite à 50% du courant maximal pompé [44].

Conclusion

Dans ce chapitre, nous avons décrit l'effet d'irradiation sur les structures MOS. Des pièges à l'interface et dans l'oxyde sont formés après l'irradiation. Ces pièges sont responsables sur des modifications des caractéristiques physiques des dispositifs étudiés.

Des différentes méthodes d'extraction des pièges induits par irradiations sont abordées : C(V), STS, MG, DTBT, DTCP et OTCP. Les méthodes DTBT et DTCP sont basées sur la technique de PC mais nécessitent deux transistors (NMOS et PMOS) fabriqués sur le même circuit. OTCP est la seule méthode basée sur la PC uniquement et qui ne nécessite qu'un seul transistor MOS.

Dans le chapitre IV, nous allons simuler le modèle de la méthode OTCP pour extraire la densité des pièges d'un transistor LDD NMOS et déterminer la contribution des différentes régions au pompage du courant.

Chapitre III:

***Réalisation et caractérisation
par simulation d'un transistor
nMOSFET***

Introduction

Des outils de simulation de TCAD sont largement répandus dans toute l'industrie de semiconducteur pour accélérer et réduire les coûts de développer de nouvelles technologies et dispositifs. Les compagnies de semiconducteur ont incorporé TCAD dans leur processus de conception, pour analyser l'impact de la variation de processus d'IC, et pour étudier des optimisations possibles de processus d'IC aussi bien que pour l'analyse de rendement.

Dans ce chapitre, nous allons utiliser le logiciel TCAD SILVACO pour simuler un transistor NMOS $1\mu\text{m}$ à structure LDD (Lightly Doped Drain) et LOCOS (LOCAL Oxidation of Silicium). C'est à partir du procédé CMOS $1\mu\text{m}$ d'ISiT (Institute for Silicon Technology), Allemagne, que nous avons déduit les parties nécessaires à la simulation de notre structure.

Les étapes technologiques élémentaires de fabrication des circuits intégrés et les étapes technologiques du procédé CMOS $1\mu\text{m}$ d'ISiT sont présentées, respectivement, dans les annexes A et B.

1. Pourquoi utiliser les simulateurs TCAD?

Technology Computer Assisted Desig (TCAD) se rapporte à l'utilisation des simulateurs sur ordinateur pour développer et optimiser le processus technologique des dispositifs à base de semiconducteur. Les outils de simulation TCAD résolvent le principe fondamental, équations différentielles partielles de la physique, telles que des équations de diffusion et de transport pour les géométries discrétisées, représentant la plaquette (wafer) de silicium. Cette approche physique profonde donne aux simulateurs TCAD l'exactitude prédictive. Il est donc possible de substituer les coûts élevés de développement et de caractérisation par des simulateurs TCAD sur ordinateur.

Les simulateurs TCAD se composent de deux branches principales:

- Les simulateurs du procédé des étapes de transformation telles que gravure, le dépôt des couches minces, l'implantation ionique, le recuit thermique et l'oxydation.
- Les simulateurs de dispositif peuvent être considérés comme des instruments virtuels de mesure pour tester le comportement électrique d'un dispositif semi-conducteur, tel qu'un transistor, ou une diode.

La visualisation est l'un des grands avantages des outils de TCAD. Pendant la simulation de processus, l'évolution des sections transversales réelles de la structure peut être vue. Par exemple le processus détaillé de l'oxydation peut facilement être visualisé à n'importe quel instant de croissance de l'oxyde. De telles visualisations détaillées et précises ne peuvent seulement être obtenues avec des outils TCAD.

Dans notre travail, il est l'unique outil pour extraire les concentrations des porteurs pour pouvoir comprendre la contribution des différentes régions du transistor au pompage de charge.

2. Présentation du logiciel TCAD-SILVACO

Silvaco (Silicon Valley Corporation) est un environnement de logiciels qui permet de concevoir et prévoir les performances des dispositifs à semi-conducteur. Cet outil de conception des dispositifs à semi-conducteur avant leur fabrication. Il est très utile dans le développement de beaucoup de projets de recherches. Le TCAD-SILVACO inclut de nouveaux modèles physiques qui emploient des méthodes et des algorithmes numériques efficaces, de nouvelles techniques de maillage, l'optimisation solutions linéaires, etc., toutes en permettant d'obtenir des résultats de simulation très proches de celles de la pratique. L'avantage majeur de ce type de simulateurs est qu'il donne la possibilité de visualiser des phénomènes physiques difficilement accessibles et donc observables. Les modules de TCAD-SILVACO peuvent être utilisés pour:

- La simulation des étapes de fabrication technologique par le module Athena
- La simulation électrique des dispositifs par le module Atlas
- Virtual Wafer Fab pour automatiser la simulation de fabrication des plaquettes.

Dans ce travail, les simulations sont effectuées avec trois modules : Athena, Atlas et DevEdit3D

3. Bases physiques du principe de fonctionnement du simulateur TCAD-SILVACO

3.1. Equations de bases de la physique des semi-conducteurs

De façon très simple, nous pouvons dire que ce simulateur de dispositifs est basé sur la résolution simultanée de l'équation de Poisson et de l'équation de continuité. Il calcule à

Chapitre III : Réalisation et caractérisation par simulation d'un transistor nMOSFET

chaque instant et en tout point de l'espace en une suite d'éléments finis, la concentration des électrons et des trous et la valeur du potentiel électrostatique [82].

L'équation de Poisson montre une relation entre le potentiel et la densité des porteurs:

$$\epsilon \Delta V = -q(p - n + N_A - N_D) \quad \text{III.1}$$

Où ϵ est la constante diélectrique, V le potentiel, ΔV le Laplacien du potentiel, q est la charge élémentaire d'électrons, N_A et N_D sont les concentrations des dopants accepteurs et donneurs ionisés, p et n sont les densités des porteurs.

L'évolution temporelle des densités de porteurs obéit aux équations de continuité pour les électrons et les trous :

$$\frac{dn}{dt} = G - U + \frac{1}{q} \nabla \cdot J_n \quad \text{III.2}$$

et

$$\frac{dp}{dt} = G - U - \frac{1}{q} \nabla \cdot J_p \quad \text{III.3}$$

Où G et U sont respectivement les taux de génération et de recombinaison des porteurs, J_n et J_p sont les densités de courant des électrons et des trous.

Les dérivations basées sur la théorie de Boltzmann ont prouvé que la densité de des courants dans les équations de continuité peut être définie par le modèle de conduction-diffusion. Les densités de courants sont exprimées en deux termes, le premier correspond à la conduction des charges par le champs électrique, le second correspond à la diffusion des porteurs.

$$J_n = q n \mu_n E + q D_n \nabla n \quad \text{III.4}$$

$$J_p = -q p \mu_p E - q D_p \nabla p \quad \text{III.5}$$

$$\nabla \cdot J_n = q \mu_n \nabla n \cdot E + q \nabla^2 n \quad \text{III.6}$$

Où D_n et D_p sont les coefficients de diffusion. Ils sont directement reliés à la mobilité des porteurs par la relation d'Einstein :

$$D_n = \frac{kT}{q} \mu_n \quad \text{III.7}$$

= —

Les modèles physiques dans les semi-conducteurs ont été modélisés sous la forme d'expression mathématique reliant le potentiel électrique et la densité des porteurs.

La modélisation physique est réalisée en tenant compte de la probabilité d'occupation des niveaux d'énergie, de la mobilité des porteurs et des différents types de recombinaison-génération. Plusieurs modèles ont été développés pour les semi-conducteurs en fonction du choix de la technologie (bipolaire, CMOS, ...), de la concentration des dopants des dimensions et de la température de fonctionnement. Ces grandeurs doivent être choisies d'une manière judicieuse pour se rapprocher du comportement physique réel du dispositif.

3.2. Modèles physiques utilisés

Pour l'ensemble des simulations TCAD effectués dans ce travail, le logiciel fait appel à différents modèles physiques, qui sont utilisés à chaque étape technologique considérée.

- **Le modèle Monté Carlo (pour la simulation technologique de dépôt des matériaux)**

Ce modèle physique a été utilisé dans la simulation de l'étape de fabrication technologique (procédés de dépôt et gravure des matériaux). Le modèle Monté Carlo a été employé pour simuler le procédé de dépôt par la méthode de LPCVD (Low Pressure Chemical Vapor Deposition) [82].

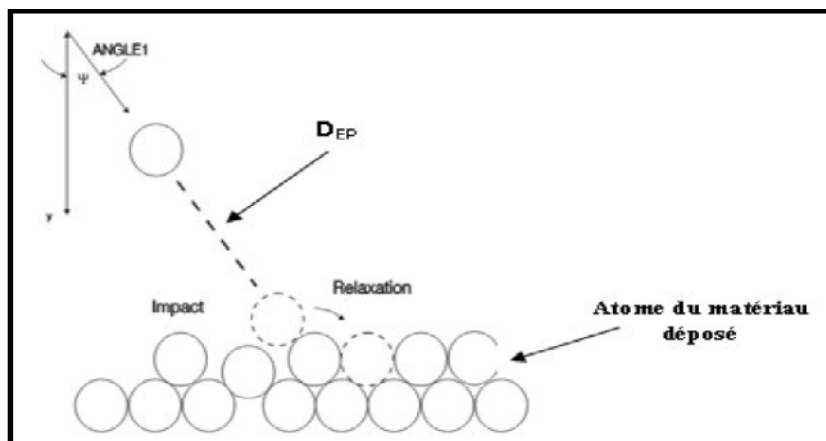


Figure III-1 : Dépôt d'un matériau par le modèle de Monté Carlo [82].

Le modèle emploie une approche analytique pour calculer la diffusion en surface de la distribution gaussienne normalisée [82]

$$= \exp\left(-\frac{x}{D_{EP}}\right)$$

Où n_D est la distribution gaussienne normalisée, x le point de contact avec la surface, et D_{EP} est le rayon d'incidence.

- **Le modèle Monté Carlo (pour la simulation technologique de la gravure des matériaux)**

C'est un modèle de traitement complet qui utilise la simulation de la gravure par plasma impliquant la distribution du plasma et l'interaction des particules de plasma avec les matériaux du substrat [82].

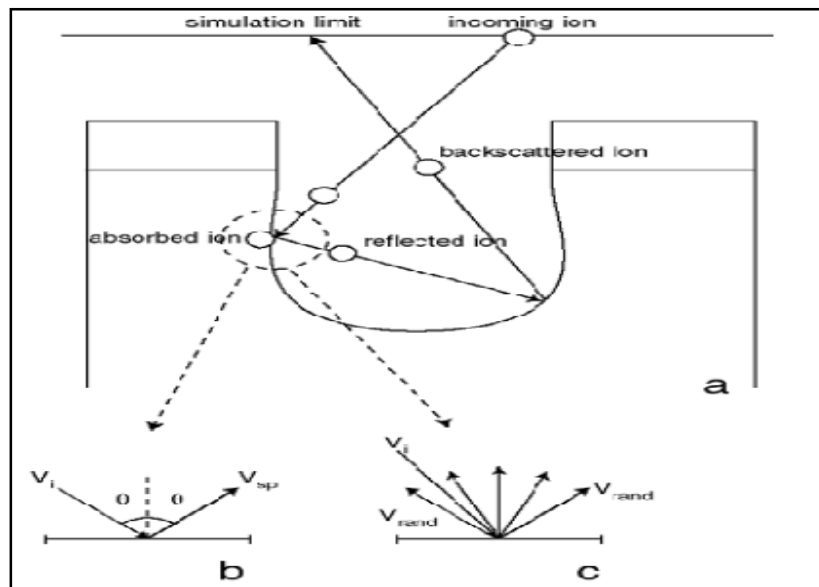


Figure III.2 : Diagramme de flux de plasma (a), réflexion spéculaire (b), et réflexion aléatoire (c) [82].

$$= 0 \quad (\quad \quad \quad e) \quad \quad \quad \text{III.10}$$

$$= \quad .(1 - \quad) + \quad . \quad \quad \quad \text{III.11}$$

Où V_{sp} et V_{rand} sont respectivement la vitesse de l'ion après une réflexion et la vitesse de l'ion après une réflexion aléatoire.

L'interaction des ions avec la surface du matériau est gouvernée par deux facteurs. Le premier est le coefficient de réflexion α , le second facteur est la rugosité de la surface R , les deux facteurs dépendent de la surface du matériau et la nature d'ion. Le coefficient de

réflexion détermine la probabilité de particule de se réfléchir sur la surface et la rugosité détermine comment l'ion est réfléchi. Si $R=0$ la réflexion est spéculaire, lorsque $R=1$ la réflexion est aléatoire avec une distribution angulaire uniforme.

- **Le modèle Pearson (pour la simulation technologique de l'implantation ionique)**

La méthode utilisée dans ce travail pour la simulation de l'implantation ionique par le module ATHENA de TCAD-SILVACO est une méthode analytique. Les modèles analytiques sont : le modèle Gaussien, le modèle de Pearson et le modèle de Dual Pearson. D'une façon générale, la distribution gaussienne est inadéquate parce que dans la plupart des cas, les profils réels sont asymétriques, pour cette raison la méthode la plus simple et la plus approuvée pour le calcul des profils asymétrique d'implantation ionique est la distribution de Pearson [83,84].

- **Le modèle de Fermi (pour la simulation technologique de la diffusion)**

Ce modèle est utilisé par TCAD lors de l'étape de la diffusion des dopants (redistribution) durant le recuit thermique. L'avantage principal de ce modèle est sa vitesse de simulation [82].

- **Le modèle de Lombardi (pour la simulation électrique)**

La mobilité des porteurs (électrons et trous) dépend du champ électrique qui accélère les électrons et les trous, la température du réseau et la concentration des dopants. La dégradation de la mobilité se produit à l'intérieur des couches d'inversion. Cet effet est simulé dans ATLAS à l'aide de trois méthodes distinctes.

- modèle de dégradation surfacique SURFMOB
- modèle de champ électrique transverse SHIRAHATA
- modèle spécifique de la mobilité de la couche d'inversion CVT, YAMAGHACHI, TASCH

Les modèles CVT, YAMAGHACHI et TASCH sont conçus en tant que modèles autonomes qui incorporent tous les effets requis pour simuler la mobilité des porteurs.

La modélisation de la mobilité la plus complète est basée sur le modèle de Lombardi. C'est un modèle de mobilité qui prend en compte la variation de la mobilité avec le champ électrique, la concentration de dopants et la température. Ce phénomène est introduit par le simulateur en ajoutant CVT dans la commande MODELS [85].

- **Le modèle Sockly-Read-Hall (recombinaison-génération)**

Lorsque le semi-conducteur subit une perturbation par exemple l'impact d'un ion ou rayonnement ionisant cette excitation introduit une génération de paires électrons/trous. Ensuite, le système revient à l'état d'équilibre par le processus de recombinaison.

La simulation par ATLAS prend en compte les recombinaisons SRH sur des niveaux profonds. Le taux de recombinaison est donné par l'expression suivante :

$$= \frac{-}{+ \quad - \quad + \quad + \quad - -}$$

III.12

Où E_{trap} est la différence entre le niveau d'énergie du piège et le niveau de Fermi intrinsèque, TL est la température du réseau en degrés Kelvin et τ_n, τ_p sont les durées de vie respectives des trous et des électrons. Le modèle de résolution numérique de ce phénomène est activé dans le programme de simulation en ajoutant le mot clé SRH à la commande MODELS [34].

Paramètres	Valeur par défaut
E_{trap}	0 eV
τ_n	10^{-7} S
τ_p	10^{-7} S

TableauIII.1 : valeurs par défaut des paramètres utilisés dans l'équation

4. Les modules de TCAD SILVACO utilisés

4.1. DECKBUILD

Deckbuild est l'environnement où est défini le programme de simulation à travers des commandes spécifiques. De multiples simulateurs considérés comme des entrées peuvent être avec Deckbuild : Athena, Atlas, Ssuperem3, etc. l'affichage des résultats de simulation tels que les paramètres technologiques (profondeur de jonction, concentration des porteurs...) et même les paramètres électriques (tension de seuil, courant, etc.) est effectué à l'aide d'une fenêtre d'information (Output window).

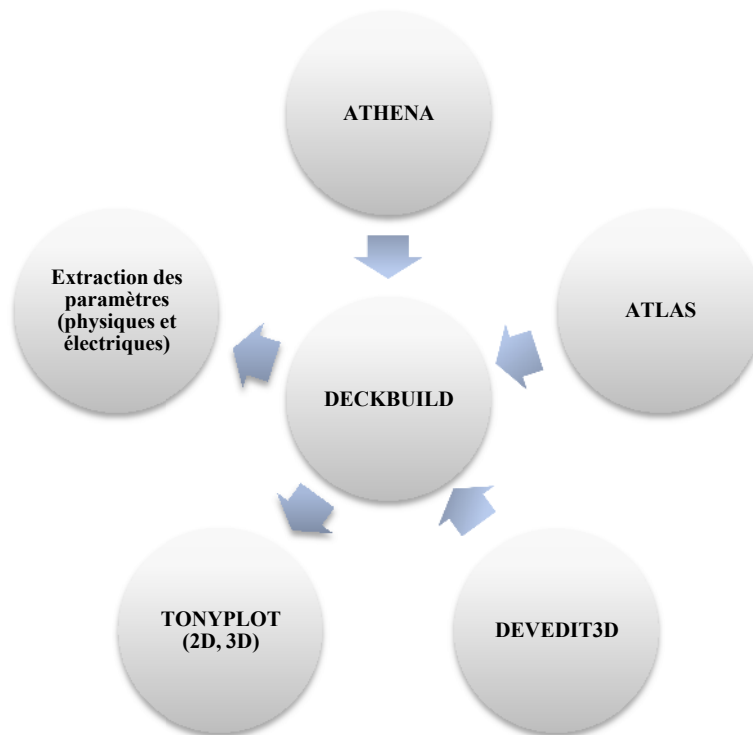


Figure III.3: Schéma Synoptique des modules utilisés dans la simulation par TCAD-SILVACO

4.2 ATHENA

Le logiciel ATHENA de TCAD-SILVACO fournit des possibilités générales pour la simulation des procédés utilisés dans l'industrie des semi-conducteurs : Diffusion, oxydation, implantation ionique, gravure, lithographie, procédés de dépôt. Il permet des simulations rapides et précises de toutes les étapes de fabrication utilisées dans la technologie CMOS, bipolaire, SIO, optoélectrique, MEMS, et les composants de puissance [35]. Le logiciel permet de fournir des informations importantes pour la conception et l'optimisation des procédés technologiques telles que les concentrations des porteurs, les profondeurs de jonctions ... etc.

Le programme de simulation (défini comme entrée) des différentes étapes technologiques et les phénomènes physiques s'établi avec le module DECKBUILD de TCAD-SILVACO, puis la visualisation de la structure de sortie s'effectue avec le module TONYPLOT.

4.3. TONYPLOT

Tonyplot est l'environnement où sont visualisés les résultats des simulations. Il donne des possibilités pour la visualisation et l'analyse des caractéristiques de sortie (structure du composant électrique, profil de dopage, et caractéristiques électrique). Selon le programme de simulation, TONYPLOT peut donner des caractéristiques de sortie en une dimension (1D), deux dimensions (2D) ou trois dimensions (TONYPLOT 3D).

4.4. ATLAS

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle de composants capable de prédire les caractéristiques électriques de la plupart des composants semi-conducteurs en régime continu, transitoire ou fréquentiel.

En plus du comportement électrique "externe", il fournit des informations sur la distribution interne de variables telles que les lignes de courant, le champ électrique ou le potentiel. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous (à deux dimensions) en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme.

Ce simulateur est composé de deux parties :

- une partie traitement numérique (méthode d'intégration, de discrétisation...),
- une partie formée des modèles physiques des composants semi-conducteurs: les plus courants sont: les modèles de recombinaison (Shockley Read Hall), d'ionisation par impact (Pearson et Monte Carlo), ainsi que les modèles de mobilité, et les statistiques de Fermi-Dirac et Boltzmann.

4.5. DevEdit3D

DevEdit3D est le module qui nous permet de faire une extension des structures 2D à des structures 3D et de créer le maillage 3D. Il peut également lire les structures 2D d'ATHENA et les transforme à des structures 3D. Ces structures peuvent être enregistrées à partir de DevEdit3D puis utilisées ensuite par l'ATLAS.

5. Simulation de transistor NMOS 1 μ m avec LDD et LOCOS sur TCAD SILVACO

Le procédé technologique est simulé à l'aide du module Athena, chaque étape de fabrication utilise un modèle physique pour la simulation des phénomènes réels existants dans le procédé de fabrication réel.

a. Maillage de la structure

Une étape très importante et indispensable qui doit être effectuée avant d'entamer la simulation du procédé technologique est le maillage du dispositif.

Le maillage joue un rôle important pour l'obtention de bonnes simulations. Il doit être fait avec la plus grande attention pour garantir la fiabilité des résultats.

La méthode numérique utilisée pour résoudre les équations physiques est la méthode des éléments finis. Son principe de base est la discrétisation par éléments des équations à traiter. Les éléments qui définissent la maille élémentaire utilisée par le simulateur sont des prismes. Pour obtenir des résultats fiables et précis, la finesse du maillage doit être définie en fonction des variations des grandeurs physiques. Le choix de maillage doit être fait de façon à avoir un compromis entre la vitesse d'exécution et l'exactitude des résultats [42].

Pour un transistor MOS, Le maillage doit être très fin pour les régions telles que la région du canal, les jonctions drain/ substrat et source/substrat, alors qu'il peut être moins serré pour d'autres régions du transistor, en dehors de ces zones actives.

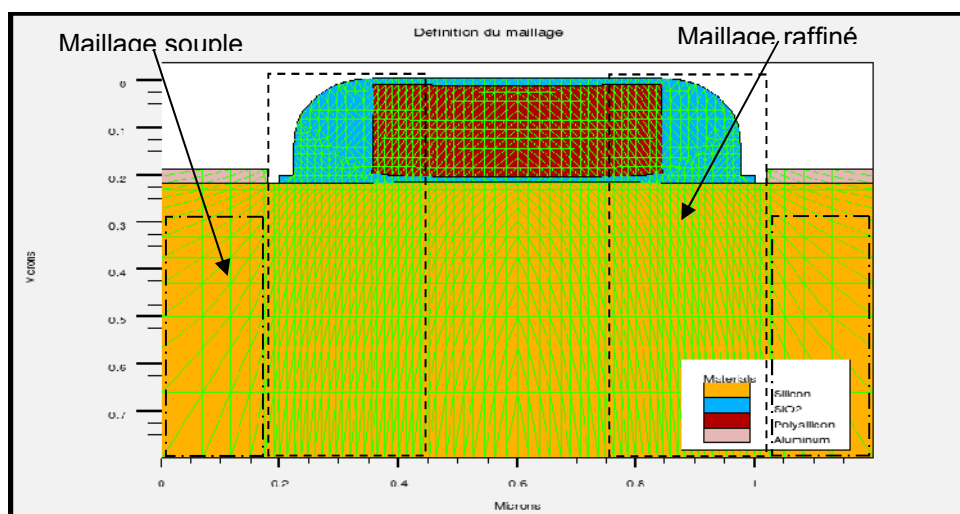


Figure III.4: Maillage du dispositif.

b. Choix du substrat

Avant de réaliser tout composant microélectronique, il faut définir le substrat, c'est-à-dire le matériau sur lequel sera réalisé le dispositif.

Les transistors MOS peuvent être fabriqués à partir de plusieurs types de substrats. Dans notre cas, C'est un substrat de silicium de type p (dopé Bore) où la mobilité des électrons minoritaires est plus grande que celle des trous pour la conduction dans le futur canal du transistor.

Comme dans tout processus de réalisation de transistor MOS, le substrat doit être peu dopé, l'orientation cristallographique de substrat utilisé par le procédé ISiT est $\langle 100 \rangle$. Cette orientation assure une meilleure qualité d'oxyde de grille.

c. Simulation des profils de dopage dans les régions LDD, drain et source

Les profils de dopages simulés dans les régions LDD, drain et source doivent être simulé séparément sur Athena afin de pouvoir les utiliser dans les prochaines étapes.

d. Formation de caisson P (P well)

Le caisson est formé par implantation ionique de bore (caisson de type P). L'énergie d'implantation est assez grande pour que les ions implantés pénètrent dans la profondeur du substrat pour former le caisson sur lequel les parties actives du transistor vont être formé (figure III.5).

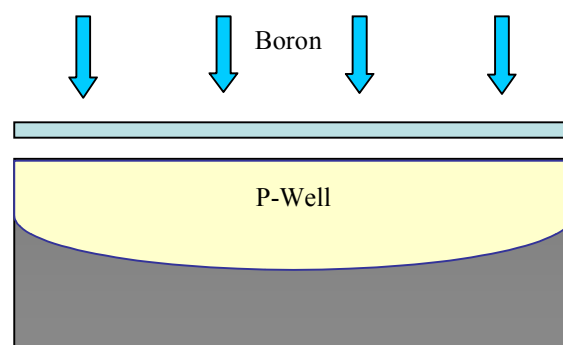


Figure III.5 : Formation de caisson

Le principe de base de l'implantation ionique consiste à introduire des atomes ionisés dans le matériau à doper (préalablement porté à une température T) avec suffisamment d'énergie pour pénétrer dans l'échantillon cible.

e. Le Channel Stopper

C'est une zone implantée ioniquement, à travers un oxyde fin, en dessous du LOCOS (avant la réalisation du LOCOS. Dans le cas du CMOS à $1\mu\text{m}$, la concentration du caisson p est appauvrie à l'interface du Silicium, la tension de seuil du transistor est alors réduite ; d'où le risque d'une inversion parasitique. Pour remédier à ce problème, du Bore est implanté pour augmenter la tension de seuil (figure III.6).

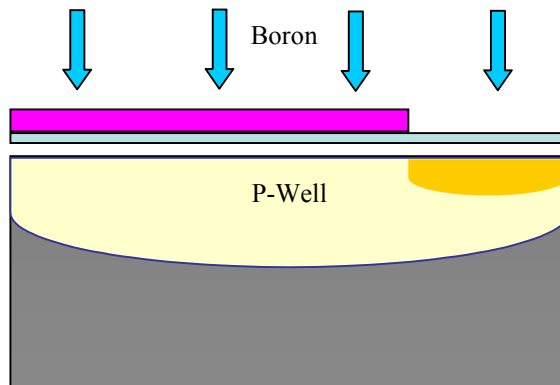


Figure III.6 : Le Channel Stopper

f. L'implantation d'ajustement de la V_{TH}

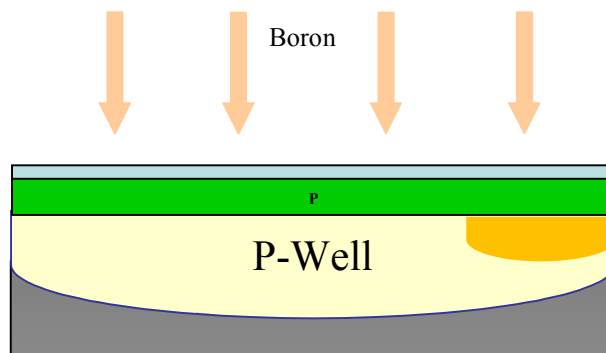


Figure III.7 : L'implantation d'ajustement de la V_{TH}

C'est une zone formée par implantation à très faible énergie, dans le substrat, en dessous de l'oxyde de grille dans le canal de conduction. Cette implantation a pour but d'ajuster la tension de seuil à la valeur requise par le design du circuit (figure III.7).

L'implantation d'ajustement de tension de seuil est nécessaire pour le bon fonctionnement de dispositif, car la tension de seuil est une caractéristique électrique très importante pour un transistor MOS.

g. Formation du LOCOS par oxydation humide

Le LOCOS est une technologie qui a été développée dans le but principal d'isoler électriquement des régions actives du dispositif. Un dépôt imperméable à l'oxygène (en général du nitrure de silicium) empêchant l'oxydation dans les zones actives où seront réalisés les composants intégrés, isolés les uns des autres par cet oxyde de champ.

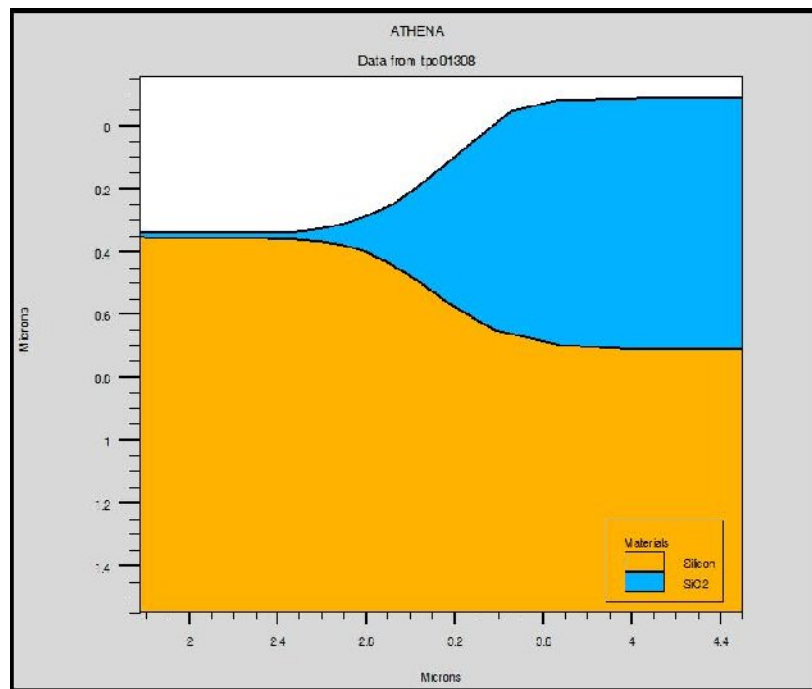


Figure III.8 : simulation en 2D du procédé LOCOS (LOCAl Oxidation of Silisium) par Athena

L'inconvénient principal de LOCOS réside dans la formation d'un « bec d'oiseau » (Bird's beak), c'est-à-dire d'un coin d'oxyde entrant sous les bords du masque (figure III.8).

h. Formation de l'oxyde de grille par oxydation sèche

La croissance de l'oxyde de grille est une étape critique dans la réalisation des dispositifs électriques à base de MOSFET.

Des exigences drastiques sont requises sur la qualité de cet oxyde qui doit être exempt de défauts et d'agents chimiques contaminants comme les ions de Sodium qui forment des charges positives mobiles dans l'oxyde. Du chlore, sous forme de gaz *HCl* (moins de 6 %), est souvent incorporé aux gaz oxydants afin d'immobiliser les ions *Na*.

Chapitre III : Réalisation et caractérisation par simulation d'un transistor nMOSFET

Le courant du drain I_{ds} dans un transistor MOSFET est inversement proportionnel à l'épaisseur de l'oxyde de grille. De ce fait, cet oxyde est réalisé de façon à être le plus fin possible.

Afin d'obtenir un oxyde de très grande qualité, la surface de la zone active est soumise à une gravure humide pour enlever tout oxyde résiduel. Après que ces oxydes aient été éliminés, la croissance de l'oxyde de grille peut enfin avoir lieu lentement et délicatement, faisant souvent appel à une oxydation sèche sous atmosphère contenant du chlore.

i. Formation de contact de grille

Le contact de grille est réalisé par le dépôt du polysilicium fortement dopé avec des agents de type N.

Toutes les étapes citées jusqu'à là sont simulés avec le module Athena 1D puis 2D à partir de LOCOS. L'extension 3D de la structure 2D obtenue se fait par DevEdit3D en ajoutant une troisième dimension à notre structure (figure III.9).

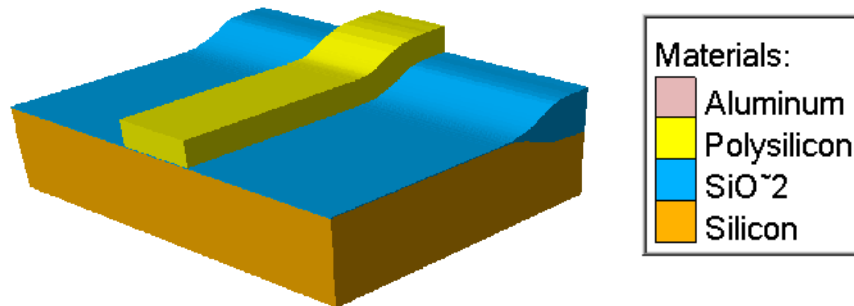


Figure III.9. La structure 3D obtenue affichée par Tonyplot3D

j. Introduite les profils de dopage des régions LDD et source/drain dans la structure 3D

Les profils de dopage des régions LDD et source/drain simulés dans la première étape sont insérés dans la structure 3D.

k. Définir les contacts source et draine

La définition des contacts source et drain est la dernière étape de simulation de procédé. Se sont des contacts en aluminium par lesquels le transistor communique avec d'autres composants, figure III.10.

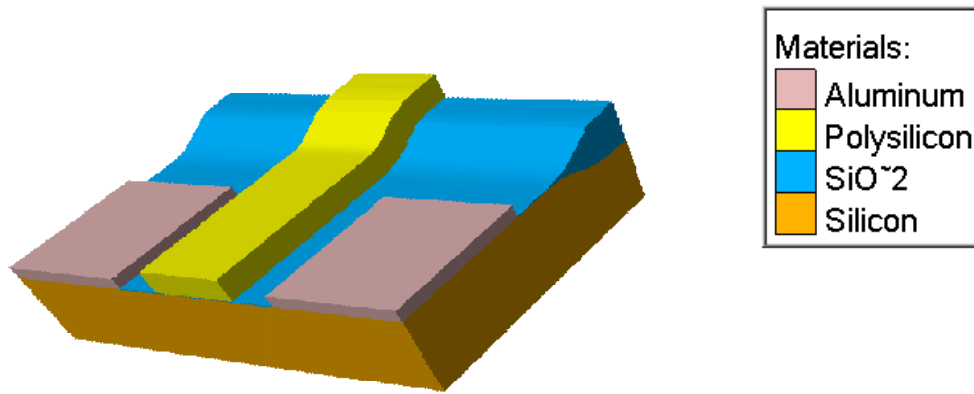


Figure III.10. La structure 3D obtenue avec source et drain

La figure III.11 illustre la structure finale de notre transistor après toutes les étapes de simulation citées précédemment.

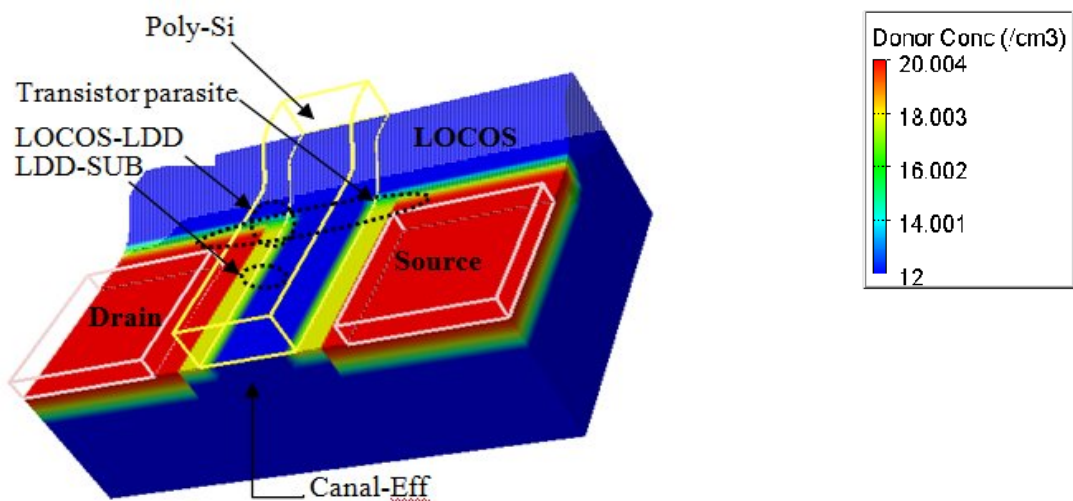


Figure III.11 : La structure finale du transistor NMOS 1µm avec LDD et LOCOS obtenue

6. Caractérisation par simulation du transistor

Les différents paramètres de transistor obtenus, par simulation ou par des méthodes expérimentales, sont dans les intervalles dictés par le procédé d'ISiT et donc notre transistor NMOS est prêt pour être utilisé dans la suite de notre travail.

L'une des caractéristiques les plus importantes est la tension de seuil (V_{th}). Cette caractéristique peut être extraite par atlas à partir de la courbe $I_{DS}(V_{GS})$. La figure III.12 illustre la caractéristique $I_{DS}(V_{GS})$ obtenue expérimentalement et par simulation.

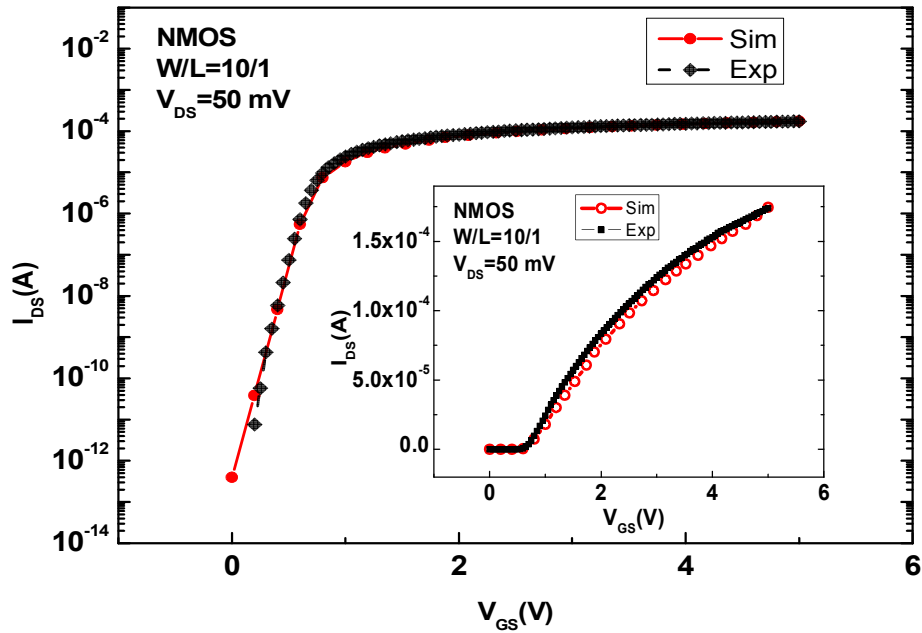


Figure III.12 : la courbe caractéristique $I_{DS}(V_{GS})$ de transistor NMOS $1\mu\text{m}$ avec LDD et LOCOS obtenue par Atlas.

Conclusion

Dans ce chapitre, nous avons utilisé le logiciel TCAD Silvaco pour réaliser par simulation un transistor NMOS en 3D en inspirant les différentes étapes de simulations de procédé ISiT et des exemples intégrés avec le logiciel.

L'avantage majeur des logiciels TCAD c'est qu'ils peuvent afficher des phénomènes physique très difficile de les obtenir par des méthodes expérimental voir même impossible. Ce qui donne aux concepteurs la possibilité de voir toute l'anatomie de leurs dispositifs et simuler leurs comportements avant les fabriquer.

Chapitre IV:

***Simulation de la méthode
Oxid Traps Charge Pumping
(OTCP)***

Introduction

La technique de pompage de charge est un véritable outil de caractérisation électrique, fiable et puissant pour l'extraction des paramètres des pièges d'interface.

Dans ce chapitre, nous introduisons la physique du pompage de charge à deux niveaux de tensions, et nous allons simuler un modèle qui permet de comprendre la distribution des différents régions d'un transistor MOS à structure LDD et LOCOS.

1. Phénomène de pompage de charge

Le pompage de charge (PC) a été introduit pour la première fois en 1969 par Brugler et Jaspers [41]. Ces derniers rapportent que lorsqu'une série d'impulsions est appliquée en inversion et en accumulation, un processus de recombinaison de porteurs a lieu donnant naissance à un courant de substrat.

1.1. Principe de base

Le montage utilisé pour mesurer le courant pompé en fonction des différents paramètres est représenté sur la figure IV.1 dans le cas d'un transistor MOS à canal n. Des impulsions à deux niveaux de tensions, à profil trapézoïdal ou triangulaire, sont appliquées sur la grille du transistor. Les jonctions source-substrat et drain-substrat sont polarisées en inverse par la tension V_R .

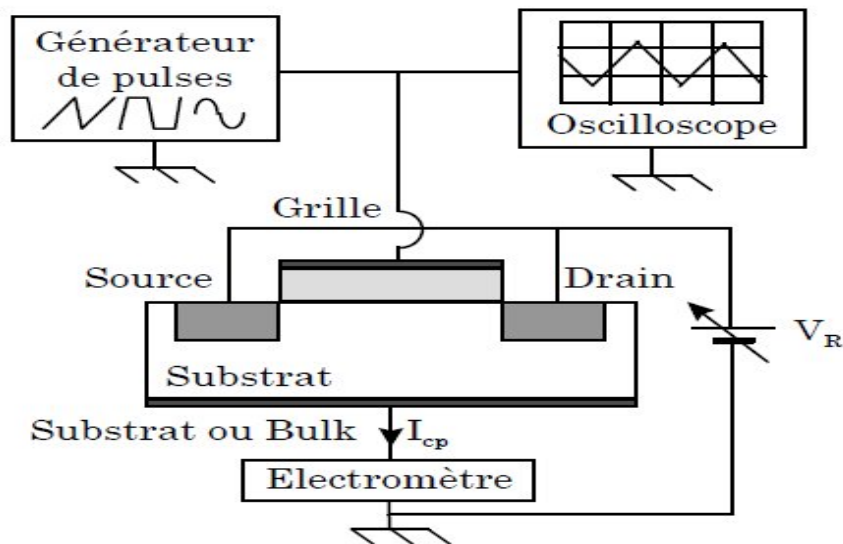


Figure IV.1 : Schéma de principe du banc de mesure utilisé pour l'étude par pompage de charge des transistors MOS.

En absence d'impulsion sur la grille, on mesure un très faible courant au niveau du substrat: C'est le courant de fuite des jonctions source-substrat et drain-substrat.

Lorsque la tension de grille est supérieure à la tension de seuil V_{th} , du transistor, on atteint le régime d'inversion, les électrons provenant de la source et du drain forment le canal. Une fraction de ces électrons est piégée par des états d'interfaces électriquement actifs et les autres restent libres.

Quant le transistor à canal n est ramené en régime d'accumulation par une tension de grille inférieure à la tension de bandes plates V_{fb} , la majorité des électrons constituant la couche d'inversion regagnent les jonctions de source et de drain sous l'influence de la tension V_r . Les électrons capturés par les états d'interfaces sont émis avec une certaine constante de temps et se recombinent avec les trous provenant du substrat, donnant naissance à un "courant pompé" de porteurs majoritaires, dirigé du substrat vers la source et le drain.

Le courant pompé varie linéairement avec la fréquence et dépend du profil et de l'amplitude des impulsions, et aussi des caractéristiques géométriques et électriques du transistor. Enfin, une partie des électrons qui ne sont pas évacués latéralement se recombine avec les trous provenant du substrat et donne naissance à la composante "géométrique" du courant de substrat dont l'intensité est liée uniquement aux paramètres géométriques du transistor et à ceux du signal de grille.

1.2. Expression du courant pompé

Selon la théorie de Brugler et Jaspers [41], dans le cas de signaux rectangulaires, l'intensité de ce courant peut s'exprimer par le modèle:

$$I_{PC} = I_{SUBSTRAT} = f \cdot A_{eff} \cdot Q_{it} \quad \text{VI.1}$$

Où f la fréquence des impulsions, A_{eff} la surface effective du canal sous la grille, Q_{it} la charge "pompée" par les états d'interfaces.

La charge pompé par les états d'interface est donnée par:

$$Q_{it} = q \int_{E_2}^{E_1} D_{it}(E) dE \quad \text{VI.2}$$

Où $D_{it}(E)$ la densité des états d'interface ayant un niveau énergétique E exprimée en $ev^{-1}cm^{-2}$ et q la charge d'électron.

1.3. La technique de pompage de charge à amplitude ΔV_G constant fixe et V_L variable.

Cette méthode consiste à varier le niveau bas V_L de l'accumulation à l'inversion, l'amplitude, la fréquence et la forme du signal étant fixées. Dans le cas d'un transistor à canal n, nous considérons les niveaux haut V_H (inversion) et bas V_L (accumulation) du signal de grille ainsi que son amplitude $\Delta V_G = V_H - V_L$.

D'après **Heremans et al** [89], cinq positions du signal par rapport aux tensions de bandes plates V_{fb} et de seuil du transistor peuvent être considérées.

- **Positions 1 et 5 ($V_L < V_{fb}$ et $V_L > V_{th}$) :** La surface du semi-conducteur est constamment maintenue en inversion ou en accumulation. Un seul type de porteurs est présent à la surface du canal, il n'y a pas de recombinaison, le courant pompé est nul.

- **Position 2 ($V_H > V_{fb}$) :** Régime de désertion, ce dernier permet aux électrons (canal n) d'atteindre la surface et être capturés par les états d'interfaces. Le processus de recombinaison électrons/trous via ces états est possible et le courant pompé augmente rapidement.

- **Position 4 :** De moins en moins de trous peuvent atteindre la surface du canal au fur et à mesure que V_L se rapproche de V_{th} . Le courant pompé diminue donc rapidement.

- **Position 3 ($V_L < V_{fb} < V_{th} < V_H$) :** C'est le régime de pompage de charge dans lequel la valeur à saturation ($I_{PC(max)}$) est donnée par l'équation (IV.1).

La figure IV.2.b montre un exemple de courbe typique $I_{PC}(V_L)$ obtenue sur un transistor à canal n.

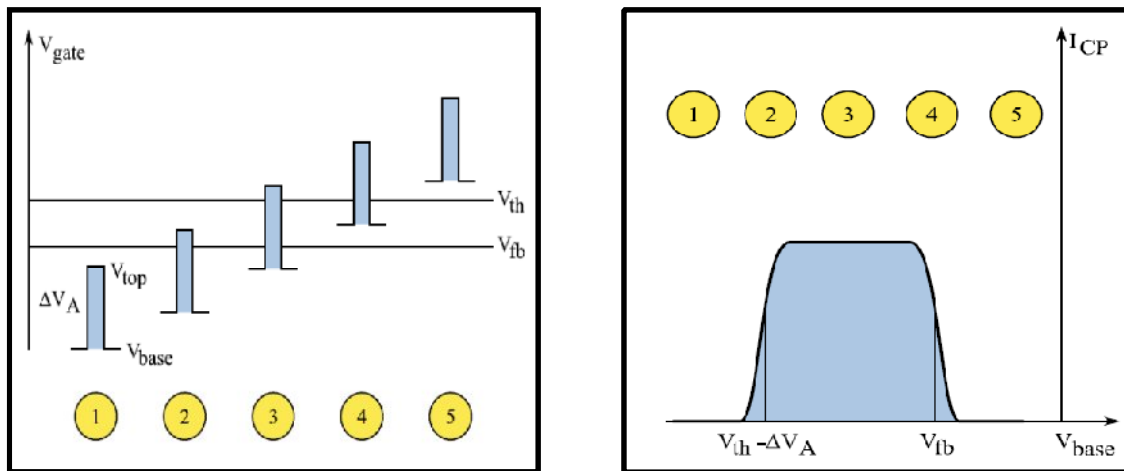


Figure IV.2: a) Position du signal de grille par rapport à V_{fb} et V_{th} . b) Représentation schématique d'une caractéristique $I_{PC}(V_L)$ théorique de pompage de charge à ΔV_G constant [86]

En effet, le front montant de la caractéristique correspond à $V_L \approx (V_{th} - \Delta V_G)$, alors que le front descendant correspond à $V_L \approx V_{fb}$.

1.4. Insuffisances du modèle pour le MOSFET à structure LDD et LOCOS.

Le modèle simplifié ne permet pas de comprendre la contribution des différentes régions du transistor MOS à structure LDD et LOCOS au courant pompé I_{CP} . Car la surface active n'est pas constante à cause de la non uniformité de la distribution de V_{fb} et V_{th} à l'intérieure d'un transistor à grille de petites dimensions. Cette distribution non uniforme est due aux effets de LOCOS (bec d'oiseau) et des bords (source/drain et LDD).

Pour comprendre la contribution des différentes régions de ce transistor de petites dimensions (sub-micronique), nous allons refaire les simulations d'un modèle de la méthode Oxide Traps Charge Pumping (OTCP) développé par un groupe de chercheurs de CDTA pour le cas du transistor que nous avons réalisé par simulation dans le chapitre précédent.

2. Le modèle de la méthode Oxide Traps Charge Pumping (OTCP)

La méthode OTCP consiste à appliquer sur la grille d'un transistor MOS un signal de fréquence et d'amplitude fixes et de faire varier la tension du niveau bas du signal (V_L), tandis que les jonctions source-substrat et le drain-substrat sont polarisées en inverse. Le courant du substrat mesuré est tracé alors en fonction de V_L [$I_{CP}(V_L, V_H)$]. Les détails relatifs à cette méthode sont donnés dans les références [94,44].

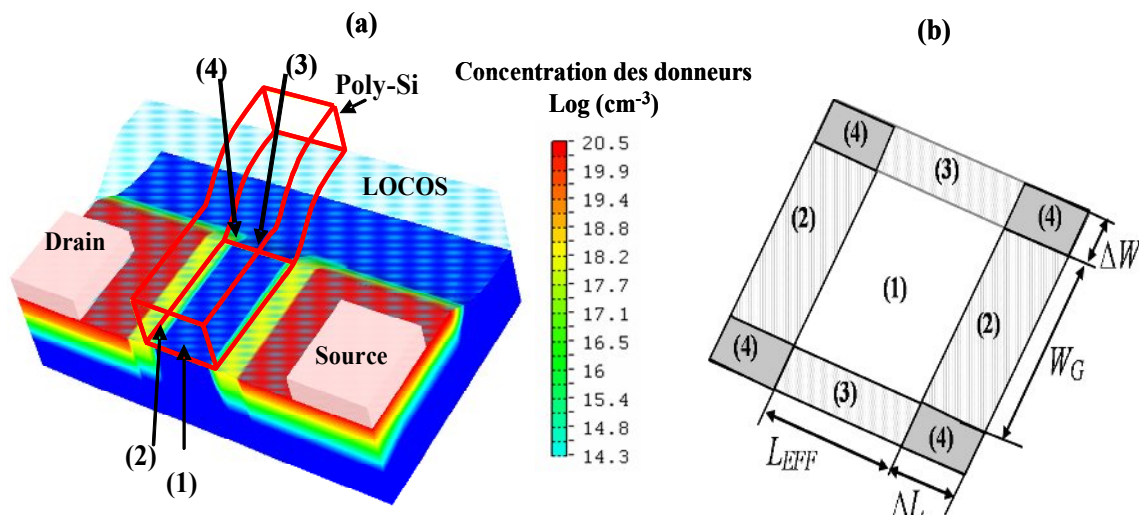


Figure IV.3 : a) Structure à 3 dimensions (3D) du LDD-NMOS simulé b) (b) schéma illustratif des régions (1) canal effectif (Canal-Eff) (2) diffusion de LDD sous l'oxyde de grille (LDD-Sub) (3) LOCOS effectif (LOCOS-Eff) et (4) diffusion de LDD sous le LOCOS (LOCOS-LDD) [44].

2.1. Simulation de la distribution de V_{th} et V_{fb} dans les régions canal, LDD et LOCOS

Pour comprendre la contribution des différentes parties du transistor au pompage de charge, nous avons simulé la distribution de V_{th} et V_{fb} dans le canal, la région LDD et la région LOCOS, pour un transistor NMOS.

Par définition, la tension de seuil (threshold voltage) V_{th} d'un transistor NMOS (PMOS) est définie comme la tension de grille nécessaire pour créer une concentration suffisante d'électrons (de trous) libres (n_s) pour que les pièges à l'interface au-dessous du niveau de Fermi puissent capturer ces charges libres. La concentration des porteurs de charges à la surface de silicium est alors donnée par :

$$n_s = \left(v_{th} \sigma_{n(p)} \frac{1}{2f} \right)^{-1} \quad \text{IV.3}$$

Où $\sigma_{n(p)}$ est la section de capture des électrons (trous) et v_{th} et la vitesse thermique des porteurs de charge, f la fréquence du signal appliqué à la grille.

Dans ce travail, nous avons utilisé un signal trapézoïdal de fréquence de 1 MHz, $\sigma_n = \sigma_p = 3.6.10^{-16}$ (cm²) (déterminé par la méthode de **Groeseneken** [94]) et $v_{th} = 10^7$ (cm/s). Dans ce cas, la tension de seuil V_{th} peut être définie comme la tension de grille qui induit une concentration de porteurs de charge égale à $5.5 \cdot 10^{14}$ (cm⁻³) électrons, par analogie, la V_{fb} est la tension de grille nécessaire pour accumuler $5.5 \cdot 10^{14}$ (cm⁻³) trous.

Pour avoir la distribution de V_{th} et V_{fb} , nous polarisons le transistor simulé par le module ATLAS de SILVACO par des tensions de grille V_G (de -7 V à 2 V avec un pas de 0.2 V). Pour chaque tension de polarisation, nous faisons un plan de coupe dans le transistor principal (transistor avec l'oxyde de grille) sur la structure 3D affichée par Tonyplot3D. La structure obtenue par le plan de coup peut être affichée par Tonyplot (2D) et la courbe de concentration spatiale des porteurs de charges est obtenue en faisant une ligne de coupe dans sur la structure 2D (**voir Annexe C**). Les graphes obtenus sont présentés dans la figure VI.4.

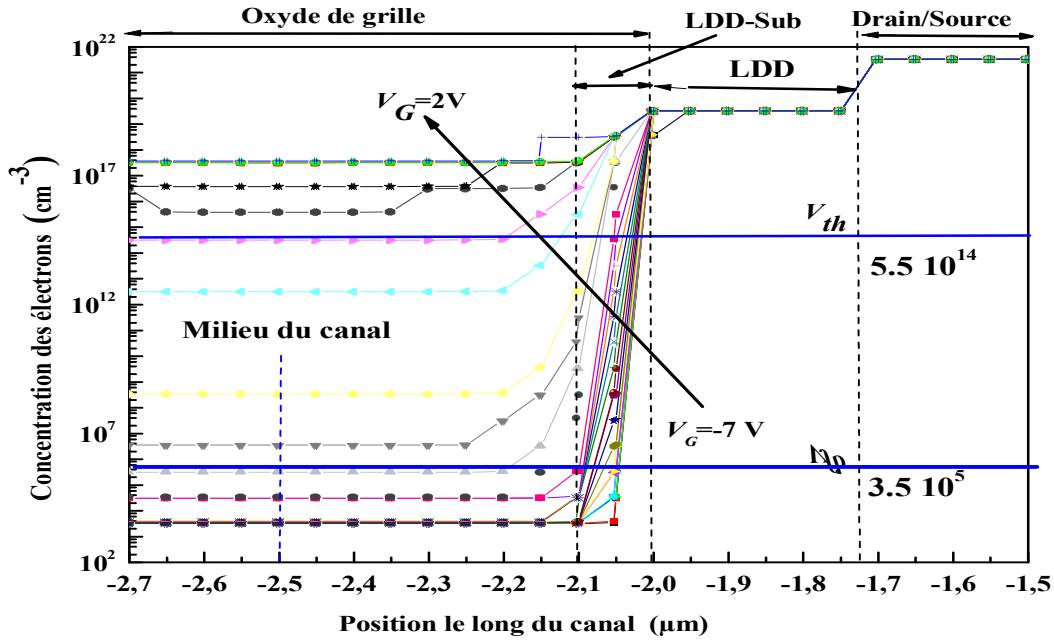


Figure IV.4: Distribution spatiale de la concentration des électrons dans la région du canal, LDD et LDD-SUB pour les différentes tensions de polarisation de grille.

Les distributions spatiales de V_{th} et V_{fb} dans le transistor principal (sans LOCOS) sont alors obtenus par l'intersection des courbes de concentrations avec les concentrations correspondantes aux V_{th} et V_{fb} (figure IV.5).

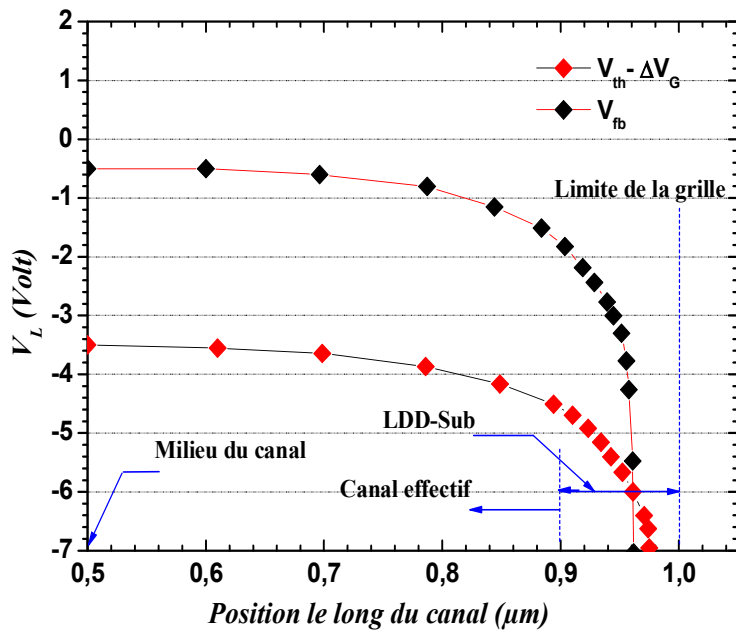


Figure IV.5 : Les distributions spatiales de V_{th} et V_{fb} dans le transistor principal (sans LOCOS)

Chapitre IV : Simulation de la méthode Oxid Traps Charge Pumping (OTCP)

La distribution de la concentration des électrons dans le transistor parasite (région LOCOS) s'obtient en faisant plusieurs plans de coupe dans cette région, pour chaque tension de polarisation de la grille V_G (de -7 V à 2 V avec un pas de 0.2 V).

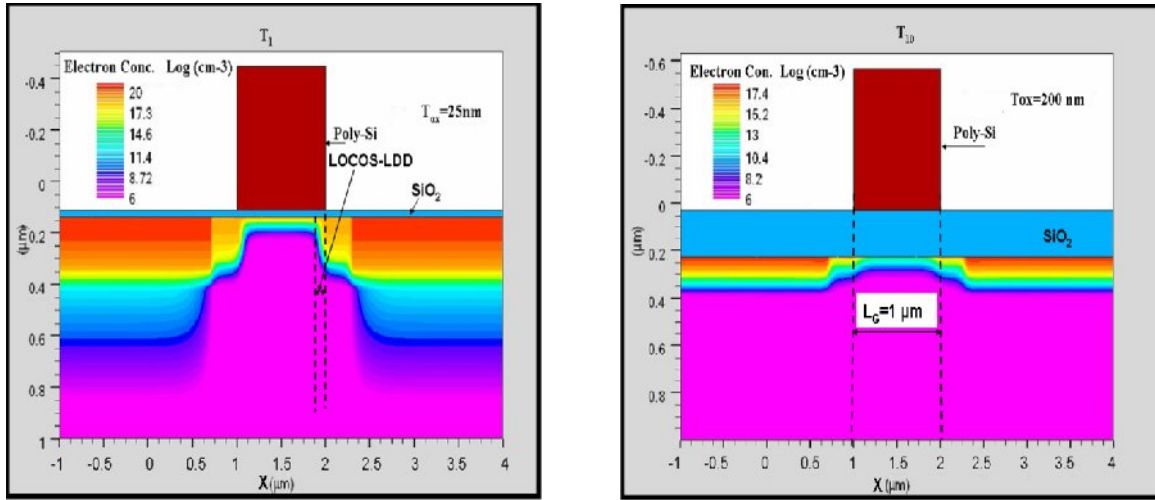


Figure IV.6: plans de coupe pour la détermination de la distribution spatiale de $V_{th}(x,y)$ et $V_{fb}(x,y)$ dans la région LOCOS [44].

La distribution spatiale des tensions V_{th} et V_{fb} dans cette région est alors déterminé par la même méthode que dans le transistor principal (Figure V.7).

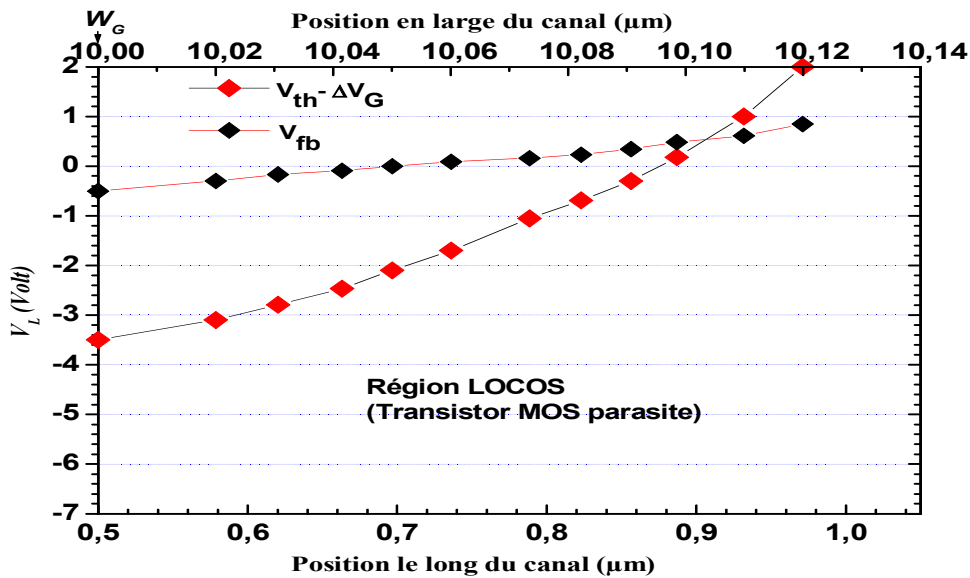


Figure IV.7 : Les distributions spatiales de V_{th} et V_{fb} dans la région LOCOS (transistor MOS parasite)

Le décalage de la tension de seuil ($V_{th} - V_G$) est effectué dans le but de faciliter la visualisation de la contribution des différentes régions (canal-Eff, LDD-Sub et LOCOS) à la courbe $I_{PC}(V_L, V_H)$ [44].

En effet, l'intersection de V_L avec les courbes de distribution de V_{th} et de V_{fb} définit la surface activée par le PC. La Figure IV.8 (a) montre la contribution des régions canal-Eff, LDD-Sub et LOCOS au courant du PC à amplitude constante, pour un transistor NMOS à structure LDD (LDD-NMOS) avec $W_G/L_G=10/1 \mu\text{m}$ (pour le transistor réalisé par simulation dans le chapitre précédent).

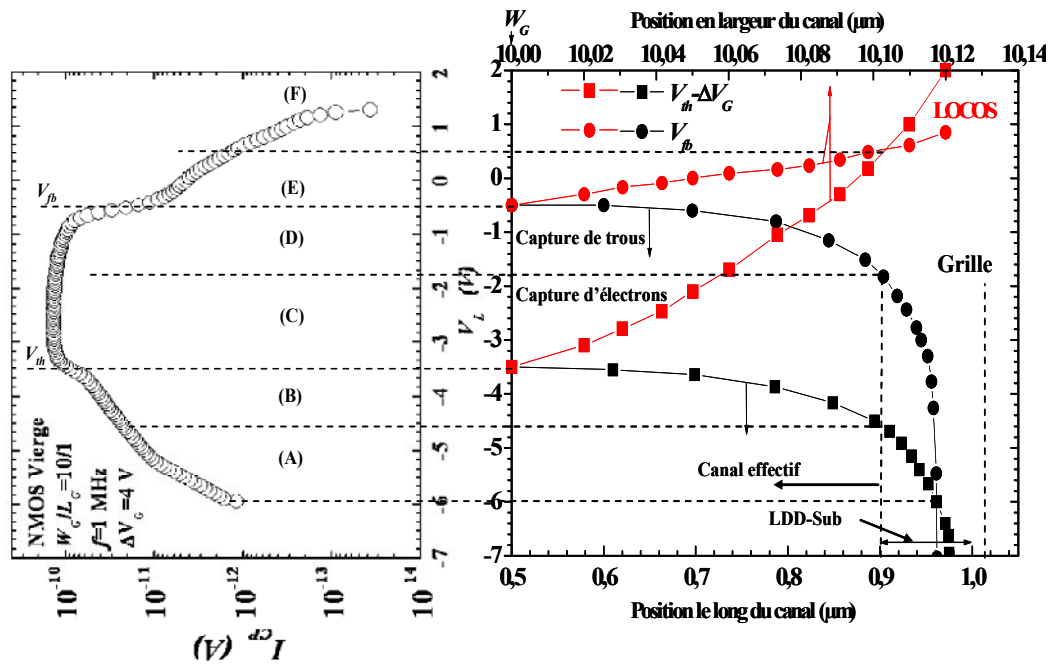


Figure IV.8 : (a) Pompage de charge d'un transistor LDD-NMOS à l'échelle logarithmique, les lettres de (A) à (F) correspondent à la contribution des différentes régions (canal-Eff, LDD-Sub et LOCOS) au courant du PC, (b) distributions de V_{th} et de V_{fb} dans les régions; canal-Eff, LDD-Sub et LOCOS [44].

Il est donc clair que le courant maximal du PC (I_{CPmax}) est le résultat du pompage dans les trois régions; Canal-Eff, LDD-Sub et LOCOS.

2.2. Expression du courant pompé dans les transistors à structures LDD et LOCOS

La surface activée par le PC, dans les transistors à structure LDD et LOCOS, varie en fonction de V_L à cause de la non uniformité des distributions de V_{th} et de V_{fb} dans le transistor. Cette distribution est due au profil de dopage dans le transistor (influencé par la diffusion LDD), au profil de dopage sous le LOCOS et à l'épaisseur du LOCOS.

Chapitre IV : Simulation de la méthode Oxid Traps Charge Pumping (OTCP)

Les différentes régions qui contribuent au courant pompé (figure IV.9) :

- (1) Canal effectif (Canal-Eff) ;
- (2) Diffusion de LDD sous l'oxyde de grille (LDD-Sub) ;
- (3) LOCOS effectif (LOCOS-Eff) ;
- (4) Diffusion du LDD sous le LOCOS (LOCOS-LDD).

Par conséquent, la surface totale activée par le pompage de charge à V_L donné $A_G(V_L, V_H)$ est la somme des surfaces activées dans chaque région citée ci-dessus, nous pouvons donc écrire :

$$A_G(V_L, V_H) = W \cdot L = [W_G + 2\Delta W(V_L, V_H)] [L_{EFF}(V_L, V_H) + 2\Delta L(V_L, V_H)] \quad \text{IV.4}$$

$$A_G(V_L, V_H) = W_G L_{EFF}(V_L, V_H) + 2\Delta W(V_L, V_H) L_{EFF}(V_L, V_H) + 2W_G \Delta L(V_L, V_H) + 4\Delta W(V_L, V_H) \Delta L(V_L, V_H) \quad \text{IV.5}$$

Avec W_G est la largeur du canal effectif, $\Delta W(V_L, V_H)$ est la largeur activée par le PC pour le couple (V_L, V_H) donné sous le LOCOS, $L_{EFF}(V_L, V_H)$ et $\Delta L(V_L, V_H)$ sont respectivement, les longueurs activées par le PC dans les régions Canal-Eff et LDD-Sub.

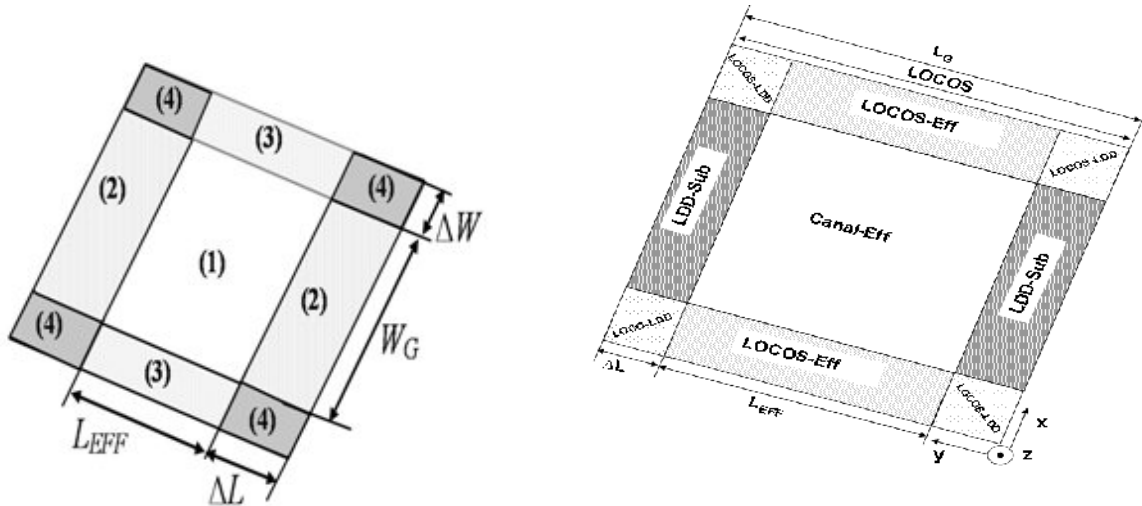


Figure IV.9 : Schémas illustratifs des différentes régions contribuant au courant pompé.

L'expression du courant pompé peut donc être écrite comme suit :

$$\begin{aligned}
 I_{PC} [A_G(V_L, V_H)] = & qfN_{it}^C W_G L_{EFF}(V_L, V_H) \\
 & + 2qfN_{it}^{LDD} W_G \Delta L(V_L, V_H) \\
 & + 2qfN_{it}^{LOCOS} \Delta W(V_L, V_H) L_{EFF}(V_L, V_H) \\
 & + 4qfN_{it}^{LOCOS-LDD} \Delta W(V_L, V_H) \Delta L(V_L, V_H)
 \end{aligned}
 \tag{IV.6}$$

Où q est la charge d'électron. N_{it}^C , N_{it}^{LDD} , N_{it}^{LOCOS} et $N_{it}^{LOCOS-LDD}$ sont respectivement les densités des pièges à l'interface dans les régions : Canal-Eff, LDD-Sub, LOCOS-Eff et LOCOS-LDD.

Dans ce modèle que nous allons simuler, nous supposons que les pièges border-traps ne contribuent pas au courant pompé, à cause de la fréquence de mesure qui est de 1MHz.

$$I_{PC} = qf \int_{\text{Largeur active}} \int_{\text{Longueur active}} \left[\int_{E_p}^{E_n} \Delta F(x, y, E) D_{it}(x, y, E) dE \right] dx dy
 \tag{IV.7}$$

Avec $\Delta F(x, y, E)$ est la fonction de remplissage des pièges, $D_{it}(x, y, E)$ est la densité des pièges à l'interface ($\text{cm}^{-2}\text{eV}^{-1}$), E_p et E_n sont respectivement les énergies de fin d'émission hors équilibre des trous et des électrons.

Nous considérant que les pièges et la fonction de remplissage (ΔF) de ces derniers (trous et électrons) sont uniformément distribués en énergie et non uniformément distribués en position (dans le canal).

Nous pouvons écrire :

$$N_{it}(x, y) = \int_{E_p}^{E_n} D_{it}(x, y, E) dE
 \tag{IV.8}$$

Par substitution de l'équation (IV.8) dans (V.7), nous pouvons avoir :

$$I_{PC} = qf \int_{w(V_L, V_H)} \int_{L(V_L, V_H)} \Delta F(x, y) N_{it}(x, y) dx dy
 \tag{IV.9}$$

Avec $w(V_L, V_H)$ et $L(V_L, V_H)$ sont respectivement, la largeur et la longueur active par le PC. Les détails du modèle que nous voulons simuler sont développés dans la référence [44].

Le courant pompé peut être calculé par l'équation suivante :

$$\begin{aligned}
 I_{PC} = & qfN_{it}^C W_G L_{EFF} (V_L, V_H) \Delta F^C (V_L, V_H) \\
 & + 2qfN_{it}^{LDD} W_G \Delta L (V_L, V_H) \Delta F^{LDD} (V_L, V_H) \\
 & + 2qfN_{it}^{LOCOS} \Delta W (V_L, V_H) L_{EFF} (V_L, V_H) \Delta F^{LOCOS} (V_L, V_H) \\
 & + 4qfN_{it}^{LOCOS-LDD} \Delta W (V_L, V_H) \Delta L (V_L, V_H) \Delta F^{LOCOS-LDD} (V_L, V_H)
 \end{aligned}
 \tag{IV.10}$$

Pour calculer le courant I_{PC} , il faut estimer les densités des pièges à l'interface de chaque région (avant l'irradiation). Pour cette raison, il faut utiliser la courbe expérimentale. Après cela, nous pouvons calculer la courbe $I_{PC}(V_L, V_H)$ pour chaque région à l'aide de n'importe quel logiciel de calcul (Originlab 8.5 dans notre cas). Enfin, la courbe totale $I_{PC}(V_L, V_H)$ est obtenue en additionnant toutes les courbes calculées pour les différentes régions.

2. 3. Extraction des densités N_{it}^C , N_{it}^{LDD} et N_{it}^{LOCOS}

Pour simuler la courbe $I_{CP}(V_L, V_H)$, nous avons extrait les densités N_{it}^C , N_{it}^{LDD} et N_{it}^{LOCOS} à partir des données expérimentales du PC, en prenant trois courants pompés I_{CP}^C , I_{CP}^{LDD} et I_{CP}^{LOCOS} qui correspondent respectivement aux régions (A), (C) et (E) données par la Figure IV.10.

Le courant pompé dans la région LOCOS-LDD est négligeable car la surface de cette région est très petite (0.01 cm^{-2}), nous pouvons alors écrire le système suivant :

$$\begin{cases}
 \text{Re gion (A)} \rightarrow I_{PC}^{LDD} = 2qfN_{it}^{LDD} W_G \Delta L (V_L, V_H) \Delta F^{LDD} (V_L, V_H) \\
 \text{Re gion (C)} \rightarrow I_{PC}^C = qfN_{it}^C W_G L_{EFF} (V_L, V_H) \Delta F^C (V_L, V_H) + 2qfN_{it}^{LDD} W_G \Delta L (V_L, V_H) \Delta F^{LDD} (V_L, V_H) \\
 \quad + 2qfN_{it}^{LOCOS} \Delta W (V_L, V_H) L_{EFF} (V_L, V_H) \Delta F^{LOCOS} (V_L, V_H) \\
 \text{Re gion (E)} \rightarrow I_{PC}^{LOCOS} = 2qfN_{it}^{LOCOS} L_{EFF} (V_L, V_H) \Delta W (V_L, V_H) \Delta F^{LOCOS} (V_L, V_H)
 \end{cases}
 \tag{IV.11}$$

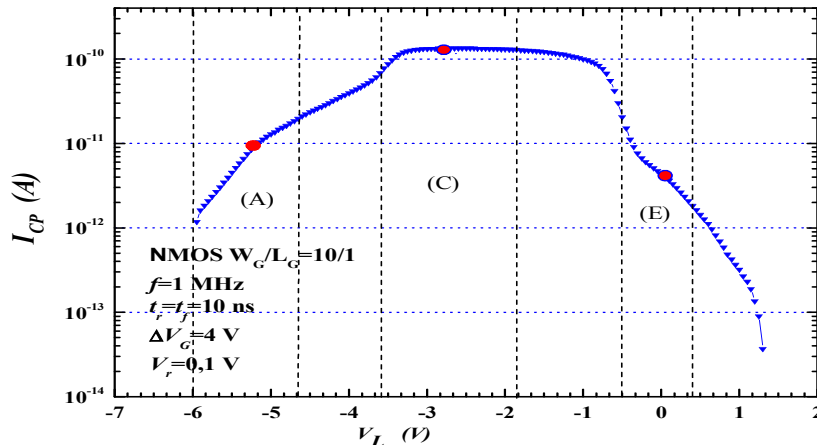


Figure IV.10 : Courbe du PC illustrant l'extraction des densités N_{it}^C , N_{it}^{LDD} et N_{it}^{LOCOS} .

La solution du système (IV.11) nous donne respectivement, 10^{10} (cm⁻²), 1.02×10^{10} (cm²) et 1.03×10^{11} (cm⁻²) pour N_{it}^c , N_{it}^{LDD} et N_{it}^{LOCOS} . La valeur de N_{it}^{LOCOS} est plus grande que celle de N_{it}^c et de N_{it}^{LDD} qui sont relativement les mêmes. Cette différence est due au procédé de fabrication du LOCOS (oxydation humide), qui génère un grand nombre de défauts à l'interface et qui conduit à une interface Si/SiO₂ de mauvaise qualité. Pour calculer la courbe $I_{PC}(V_L, V_H)$ dans la région LOCOS-LDD, nous supposons que la densité des pièges à l'interface de cette région est égale à celle de la région LOCOS-Eff ($N_{it}^{LOCOS} = N_{it}^{LOCOS-LDD}$)

3. Simulation de la courbe $I_{PC}(V_L, V_H)$ des transistors MOS à structures LDD et LOCOS

3.1. Simulation de la courbe $I_{PC}(V_L, V_H)$ dans la région LOCOS (Transistor Parasite)

Pour obtenir les distributions $V_{th}(x, y)$ et $V_{fb}(x, y)$ dans la région du LOCOS (transistor parasite), cette région de surface $1 \times 0.1 \mu\text{m}^2$ est divisée en 10 transistors de surface ($1 \times 0.01 \mu\text{m}$). Tous ces transistors ont la même largeur et longueur du canal, mais des différentes épaisseurs de l'oxyde de grille (T_{ox}). Cette épaisseur varie entre 25nm et 200 nm. La somme des différents courants de ces transistors nous donne la courbe $I_{PC}(V_L, V_H)$ totale de la région LOCOS (transistor parasite) illustrée dans la figure IV.11.

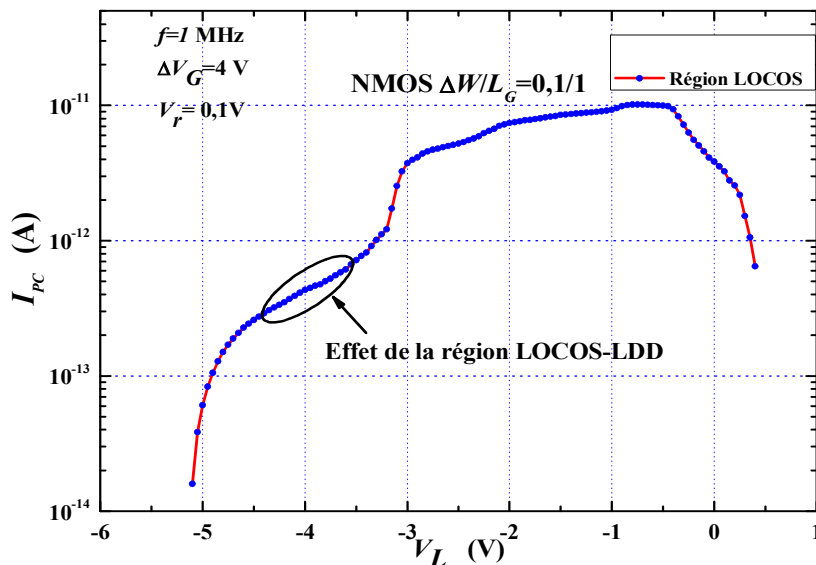


Figure IV.11 : Courbe $I_{PC}(V_L, V_H)$ simulé dans la région LOCOS.

La forme particulière du front montant des courbes $I_{PC}(V_L, V_H)$ est due à la non uniformité de V_{th} et de V_{fb} dans la région LOCOS-LDD (diffusion de la région LDD sous le LOCOS), où le dopage change brusquement à proximité de cette région.

3.2. Simulation de la courbe $I_{PC}(V_L, V_H)$ dans la région LDD-Sub

La courbe $I_{CP}(V_L, V_H)$ simulée de la région du LDD-Sub est présentée sur la Figure IV.12. Le front montant de cette courbe présente deux caractéristiques de forme différente. Cette forme a été observée dans les courbes du PC des transistors avec des structures LDD et expliquée par le pompage dans les régions LDD/LDD-Sub et LDD-Sub/Canal-Eff [98].

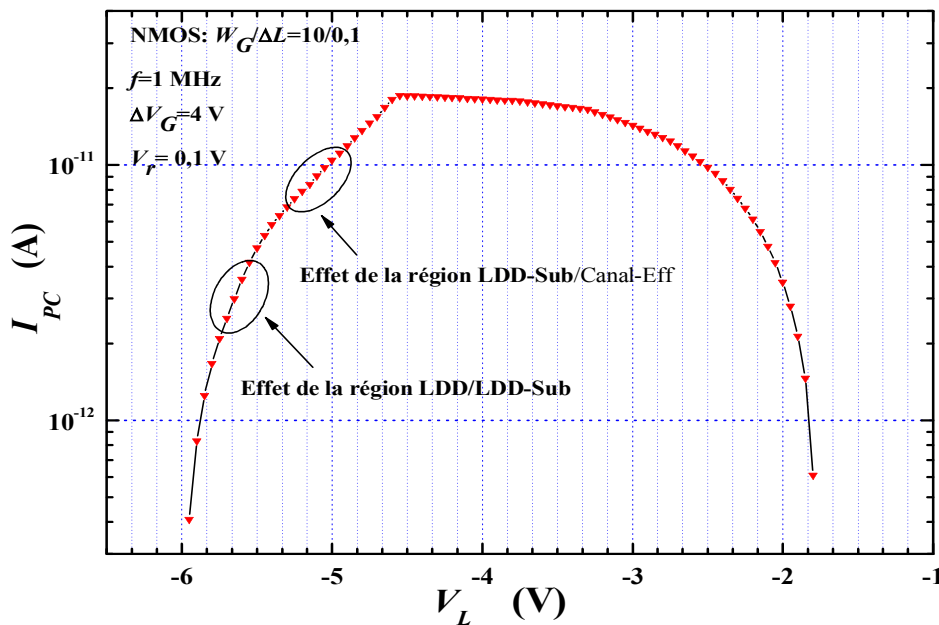


Figure IV.12 : Courbe $I_{PC}(V_L, V_H)$ simulée de la région Sub-LDD

3.3. Simulation de la courbe $I_{CP}(V_L, V_H)$ dans la région Canal-Eff

Le front montant de la courbe $I_{PC}(V_L, V_H)$ simulée de la région Canal-Eff est semblable à celui de la courbe simulée de la région LDD-Sub. Cette observation est due aux variations de $V_{th}(x, y)$ et $V_{fb}(x, y)$ à proximité de la région LDD-Sub, voir Figure IV.13.

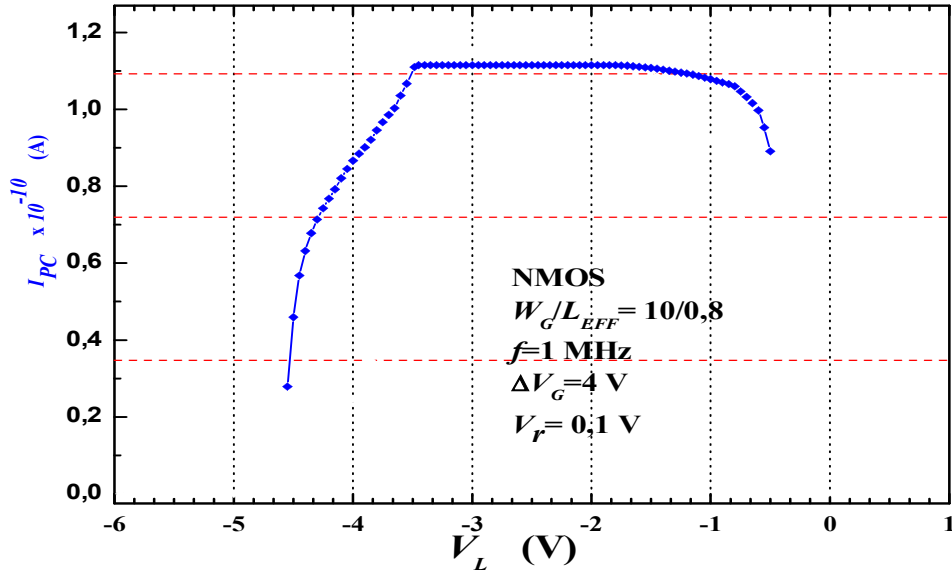


Figure IV.13 : Courbe $I_{PC}(V_L, V_H)$ simulée de la région Canal-Eff.

4. Comparaison entre les courbes simulées et celles mesurées

Les résultats obtenus sont présentés dans la figure IV.14.

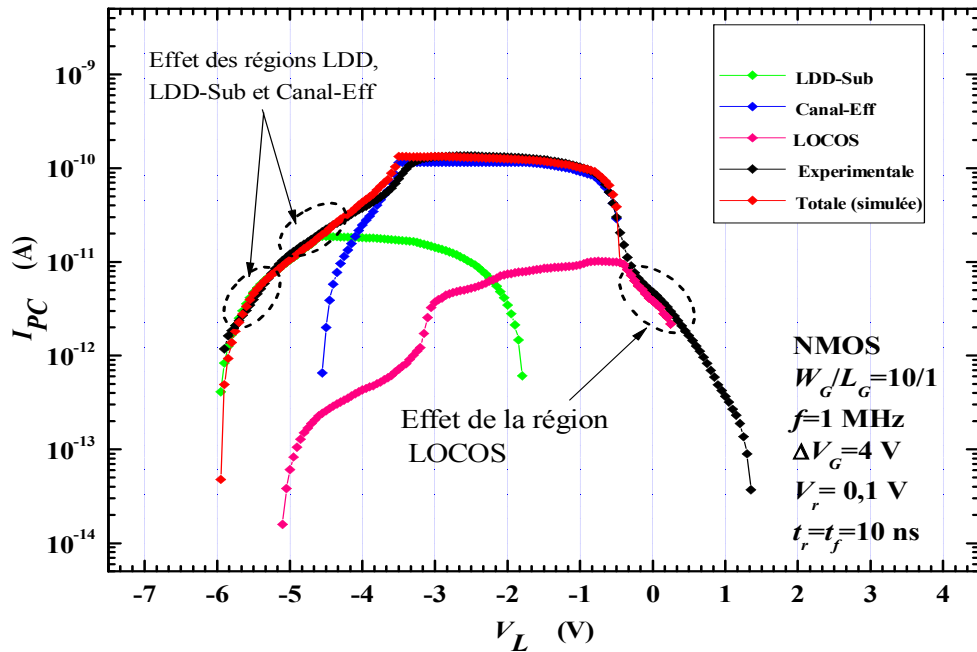


Figure IV.14 : Comparaison entre la courbe $I_{PC}(V_L, V_H)$ simulée et mesurée expérimentalement pour un transistor avec $W_G/L_G = 10/1$.

Chapitre IV : Simulation de la méthode Oxid Traps Charge Pumping (OTCP)

Une très bonne corrélation est trouvée entre la courbe simulée et celle expérimentalement mesurée pour un transistor avec $W_G/L_G=10/1$. Cette corrélation est observée pour les différentes parties de la courbe $I_{PC}(V_L, V_H)$, voir Figure IV.14. Il est à noter que la courbe $I_{PC}(V_L, V_H)$ totale simulée est obtenue par la sommation des courbes $I_{PC}(V_L, V_H)$ calculées pour les différentes régions.

Les fronts montants des courbes simulées et expérimentales présentent deux caractéristiques qui peuvent être assimilées à deux droites de différentes pentes. Le même comportement a été rapporté par Hâbas et al [98]. La première et la deuxième caractéristiques sont, respectivement, causées par la non uniformité du dopage dans les régions voisines Canal-Eff, LDD-Sub et LDD.

Une troisième caractéristique peut être remarquée sur les fronts descendants des courbes simulées et expérimentales. Elle est due au pompage dans la région LOCOS (transistor parasite). Elle est causée par la non uniformité du dopage dans cette région.

Des résultats satisfaisants ont été obtenus par le modèle simulé. On observe clairement la bonne corrélation du front montant, front descendant et le maximum de la courbe simulée avec la courbe expérimentale.

Une très petite différence peut être remarquée entre les valeurs maximales des courbes (simulée et expérimentale). Elle peut être due à la composante géométrique du courant pompé. Dans notre travail, cette composante n'a pas été prise en compte.

Le modèle complet a été développé par une équipe de chercheurs au centre de recherche et de développement des technologies avancées (CDTA). Il tient en compte la composante géométrique et la contribution des différentes régions d'un transistor MOS avec LDD et LOCOS.

Dans ce chapitre, nous avons utilisé la même méthodologie que celle utilisée par les chercheurs du CDTA et nous avons aussi exploité leurs données expérimentales sur des transistors fabriqués avec le même procédé technologique pour réaliser cette partie de notre travail.

5. Estimation de ΔN_{it} dans les différentes régions du transistor

La densité des pièges à l'interface, dans les différentes régions du canal d'un transistor vierge, peut être extraite en utilisant l'équation (IV.20). Cette équation, telle qu'elle est, ne peut pas être appliquée aux transistors irradiés, car les surfaces activées $A_G(V_L, V_H)$ par la tension V_L sont inconnues après l'irradiation, à cause du décalage des tensions V_{th} et V_{fb} .

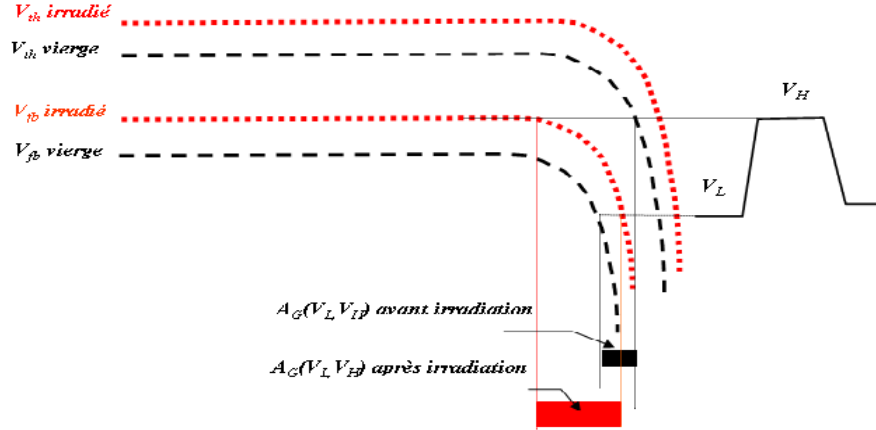


Figure IV.15: Surface activée $A_G(V_L, V_H)$ par la tension V_L avant et après le décalage de V_{th} et V_{fb} causé par irradiation

La figure IV.15 montre clairement que pour la même tension V_L , la surface activée $A_G(V_L, V_H)$ n'est pas la même avant et après irradiation.

En prenant deux tensions V_{L_i} et $V_{L_{i+1}}$, le courant pompé, correspondant à ces deux dernières, s'écrit :

$$\begin{aligned}
 I_{PC}(V_{L_i}, V_{H_i}) &= qfN_{it}^C A_G^C(V_{L_i}, V_{H_i}) \\
 &+ 2qfN_{it}^{LDD} A_G^{LDD}(V_{L_i}, V_{H_i}) \\
 &+ 2qfN_{it}^{LOCOS} A_G^{LOCOS}(V_{L_i}, V_{H_i}) \\
 &+ 4qfN_{it}^{LOCOS-LDD} A_G^{LOCOS-LDD}(V_{L_i}, V_{H_i})
 \end{aligned}
 \tag{IV.12}$$

$$\begin{aligned}
 I_{PC}(V_{L_{i+1}}, V_{H_{i+1}}) &= qfN_{it}^C A_G^C(V_{L_{i+1}}, V_{H_{i+1}}) \\
 &+ 2qfN_{it}^{LDD} A_G^{LDD}(V_{L_{i+1}}, V_{H_{i+1}}) \\
 &+ 2qfN_{it}^{LOCOS} A_G^{LOCOS}(V_{L_{i+1}}, V_{H_{i+1}}) \\
 &+ 4qfN_{it}^{LOCOS-LDD} A_G^{LOCOS-LDD}(V_{L_{i+1}}, V_{H_{i+1}})
 \end{aligned}
 \tag{IV.13}$$

Chapitre IV : Simulation de la méthode Oxid Traps Charge Pumping (OTCP)

Avec $A_G^C(V_{L_{i+1(i)}}, V_{H_{i+1(i)}})$, $A_G^{LDD}(V_{L_{i+1(i)}}, V_{H_{i+1(i)}})$, $A_G^{LOCOS}(V_{L_{i+1(i)}}, V_{H_{i+1(i)}})$ et $A_G^{LOCOS-LDD}(V_{L_{i+1(i)}}, V_{H_{i+1(i)}})$ sont respectivement, les surfaces activées par la tension $V_{L_{i+1}}$ (V_{L_i}) dans les régions Canal-Eff, LDD-Sub, LOCOS- Eff .

La différence entre (IV.13) et (IV.12) nous donne :

$$\begin{aligned} I_{PC}(V_{L_{i+1}}, V_{H_{i+1}}) - I_{CP}(V_{L_i}, V_{H_i}) &= qfN_{it}^C \Delta A_G^C(V_{L_{i+1,j}}, V_{H_{i+1,j}}) \\ &+ 2qfN_{it}^{LDD} \Delta A_G^{LDD}(V_{L_{i+1,j}}, V_{H_{i+1,j}}) \\ &+ 2qfN_{it}^{LOCOS} \Delta A_G^{LOCOS}(V_{L_{i+1,j}}, V_{H_{i+1,j}}) \end{aligned} \quad \text{IV.14}$$

Avec $\Delta A_G^C(V_{L_{i+1,j}}, V_{H_{i+1,j}})$, $\Delta A_G^{LDD}(V_{L_{i+1,j}}, V_{H_{i+1,j}})$ et $\Delta A_G^{LOCOS}(V_{L_{i+1,j}}, V_{H_{i+1,j}})$ sont, respectivement, la différence entre la surface activée par les deux tensions $V_{L_{i+1}}$ et V_{L_i} .

Le même développement peut être fait pour les transistors irradiés, nous trouvons alors :

$$\begin{aligned} I'_{PC}(V_{L_{i+1}}, V_{H_{i+1}}) - I'_{CP}(V_{L_i}, V_{H_i}) &= qfN_{it}'^C \Delta A_G'^C(V_{L_{i+1,j}}, V_{H_{i+1,j}}) \\ &+ 2qfN_{it}'^{LDD} \Delta A_G'^{LDD}(V_{L_{i+1,j}}, V_{H_{i+1,j}}) \\ &+ 2qfN_{it}'^{LOCOS} \Delta A_G'^{LOCOS}(V_{L_{i+1,j}}, V_{H_{i+1,j}}) \end{aligned} \quad \text{IV.15}$$

Si on suppose que le décalage de V_{th} est le même que celui de V_{fb} le long du canal [$\Delta V_{th}(x,y) = \Delta V_{fb}(x,y)$], la différence entre les surfaces activées par $V_{L_{i+1}}$ et V_{L_i} avant et après irradiation sont alors égales. La différence entre l'équation (IV.15) et (IV.14) s'écrit donc :

$$\begin{aligned} \Delta I'_{PC} - \Delta I_{PC} &= qf \Delta N_{it}^C \Delta A_G^C(V_{L_{i+1,j}}, V_{H_{i+1,j}}) \\ &+ 2qf \Delta N_{it}^{LDD} \Delta A_G^{LDD}(V_{L_{i+1,j}}, V_{H_{i+1,j}}) \\ &+ 2qf \Delta N_{it}^{LOCOS} \Delta A_G^{LOCOS}(V_{L_{i+1,j}}, V_{H_{i+1,j}}) \end{aligned} \quad \text{IV.16}$$

En traçant la courbe $\Delta I'_{PC} - \Delta I_{PC}$ et en prenant trois points k , m et n sur cette dernière, voir figure IV.16, nous pouvons écrire le système suivant :

$$\begin{bmatrix} \Delta I'_{PC} - \Delta I_{PC} \\ \Delta I'_{PC} - \Delta I_{PC} \\ \Delta I'_{PC} - \Delta I_{PC} \end{bmatrix} = qf \begin{bmatrix} \Delta N_{it}^C \\ \Delta N_{it}^{LDD} \\ \Delta N_{it}^{LOCOS} \end{bmatrix} \begin{bmatrix} \Delta A_G^C(V_{L_{k+1,k}}, V_{H_{k+1,k}}) & 2\Delta A_G^{LDD}(V_{L_{k+1,k}}, V_{H_{k+1,k}}) & 2\Delta A_G^{LOCOS}(V_{L_{k+1,k}}, V_{H_{k+1,k}}) \\ \Delta A_G^C(V_{L_{m+1,m}}, V_{H_{m+1,m}}) & 2\Delta A_G^{LDD}(V_{L_{m+1,m}}, V_{H_{m+1,m}}) & 2\Delta A_G^{LOCOS}(V_{L_{m+1,m}}, V_{H_{m+1,m}}) \\ \Delta A_G^C(V_{L_{n+1,n}}, V_{H_{n+1,n}}) & 2\Delta A_G^{LDD}(V_{L_{n+1,n}}, V_{H_{n+1,n}}) & 2\Delta A_G^{LOCOS}(V_{L_{n+1,n}}, V_{H_{n+1,n}}) \end{bmatrix}$$

IV.17

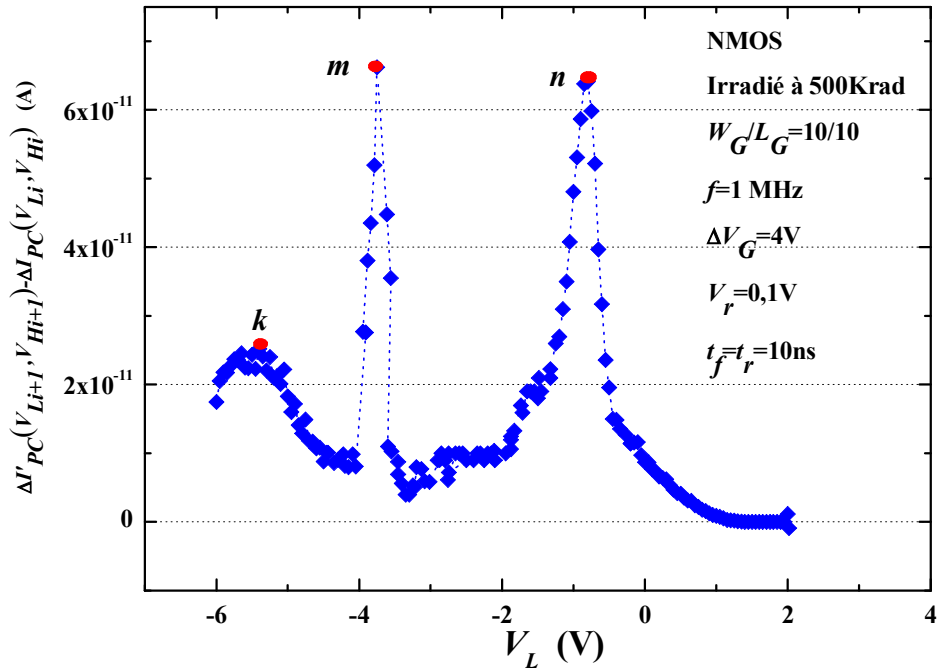


Figure IV.16 : Illustrant l'extraction des pièges à l'interface induits par irradiation dans un transistor NMOS avec LDD et LOCOS.

Par la résolution de ce système d'équations (IV.17), on obtient les densités des pièges à l'interface induites par l'irradiation dans les différentes régions ; Canal-Eff, LDD-Sub et LOCOS-Eff.

Les surfaces activées $\Delta A_G^C(V_{L_{i+1,j}}, V_{H_{i+1,j}})$, $\Delta A_G^{LDD}(V_{L_{i+1,j}}, V_{H_{i+1,j}})$ et $\Delta A_G^{LOCOS}(V_{L_{i+1,j}}, V_{H_{i+1,j}})$ sont calculées à partir des profils de $V_{th}(x,y)$ et de $V_{fb}(x,y)$, obtenues par simulation, pour un transistor vierge en utilisant le logiciel TCAD Silvaco. $\Delta I'_{PC} - \Delta I_{PC}$ sont mesurés à partir des courbes expérimentales $I_{PC}(V_L, V_H)$ avant et après irradiation.

Les résultats obtenus sont présentés dans la figure IV.17.

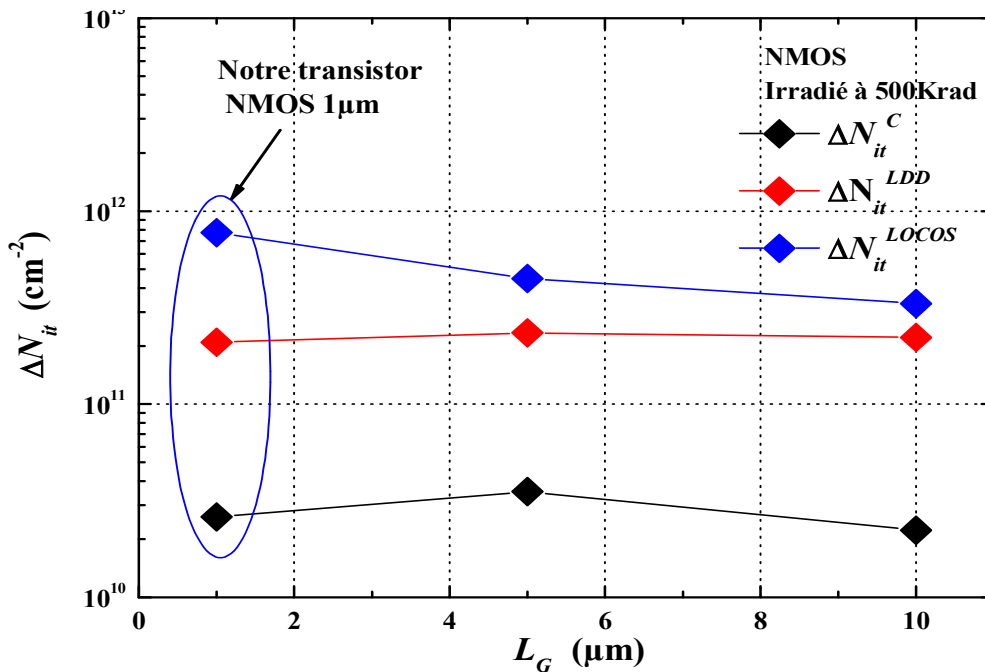


Figure IV.17: ΔN_{it} extraites pour les différentes régions constituant le canal des transistors NMOS irradiés à 500Krad [44].

Les densités ΔN_{it} extraites dans les différentes régions (Canal-Eff, LDD-Sub et LOCOS-Eff), pour des transistors NMOS avec W_G fixe et L_G variable irradiés à 500Krad, sont données dans la figure VI.17. Tous les pièges à l'interface induits par irradiation ΔN_{it}^C , ΔN_{it}^{LDD} et ΔN_{it}^{LOCOS} , respectivement, dans les régions du Canal-Eff, LDD-Sub et LOCOS sont quasi-constants en fonction de L_G . Cette observation peut être expliquée par le fait que les transistors sont fabriqués par le même procédé technologique et sur la même puce. ΔN_{it}^{LOCOS} est la plus grande. En effet, la région LOCOS contient un oxyde de grande épaisseur, obtenu par oxydation humide, avec une grande densité de contraintes mécaniques à l'interface (bec d'oiseau). Par conséquent, l'interface Si/SiO₂ dans la région du LOCOS est la région la plus dégradée.

Conclusion.

La méthode OTCP basée sur la technique de pompage de charge et n'utilise qu'un seul transistor MOS. Dans ce chapitre nous avons simulé le modèle qui nous permet de comprendre la contribution des différentes régions d'un transistor MOS à structure LDD et LOCOS au pompage de charge.

Chapitre IV : Simulation de la méthode Oxid Traps Charge Pumping (OTCP)

Le modèle a été développé par un groupe de chercheurs de CDTA. Nous n'avons pas tenu compte de la composante géométrique.

Nous avons suivi les mêmes étapes et la même méthodologie que les auteurs du modèle et nous avons utilisé leurs données expérimentales, car nous avons travaillé sur les mêmes transistors (le même procédé technologique de fabrication).

Une bonne corrélation entre les courbes $I_{PC}(V_L, V_H)$ simulées et celles mesurées expérimentalement peut être observé, et l'effet de la composante géométrique ne cause qu'une très petite déviation au niveau maximum du courant pompé.

Le modèle simulé a été adapté pour l'extraction des densités des pièges à l'interface des différentes régions du transistor, car l'irradiation engendre une déviation dans la tension de seuil et donc une modification dans les surfaces activées par le signal de grille.

Dans le chapitre suivant nous allons appliquer une nouvelle méthode pour extraire les pièges induits par irradiation dans notre transistor.

Chapitre V:

***Extraction de la densité des
border traps induits par
l'irradiation***

Introduction

La méthode simulée dans le chapitre précédent a montré une puissance vis-à-vis de l'extraction des pièges d'interfaces (pour des signaux de grille de hautes fréquences). Pour les signaux de basses fréquences, le courant mesuré est très faible et la méthode ne devient plus valable ni pour l'extraction des border traps ni pour les pièges d'oxyde.

Dans ce chapitre nous allons utiliser une nouvelle méthode pour estimer les pièges induits par l'irradiation (piège à l'interface, les border traps et piège dans l'oxyde). Cette méthode combine la technique de pompage de charge PC avec la technique $I_{DS}(V_{GS})$ (courant drain source en fonction de la tension de grille), Cette méthode simple et rapide permet l'extraction des pièges d'interface et les border traps, en utilisant un seul transistor MOS.

1. L'insuffisance de l'OTCP pour l'estimation de ΔN_{bt} dans le transistor MOS

La méthode simulée dans le chapitre précédant donne des bons résultats mais elle ne tient pas en compte de la contribution des border-traps (nécessite une basse fréquence pour les extraire) au courant pompé.

D'après le chapitre précédant, le courant pompé par les pièges est linéairement dépendant de la fréquence du signal appliqué sur la grille. Il faut appliquer un signal de basse fréquence afin de donner suffisamment du temps aux border traps pour pouvoir échanger leurs charges avec le substrat à travers l'interface, et donc extraire leur densité. Dans ce cas, d'après l'équation (IV.1), le courant pompé est très faible et nous ne pouvons pas le mesurer avec précision. C'est pour cette raison que l'OTCP n'est valable que pour des signaux de grille de hautes fréquences.

Nous proposons, dans ce chapitre, une nouvelle méthode pour remédier à cet inconvénient.

2. Estimation de ΔN_{it} par la méthode de pompage de charge

Généralement, les pièges border traps sont considérés comme des pièges dans l'oxyde près des interfaces Si/SiO₂ qui communiquent avec le silicium par l'intermédiaire des pièges d'interface. La figure (V.1) illustre la réponse électrique des pièges fixe dans l'oxyde, des border traps et des pièges d'interface avec le silicium.

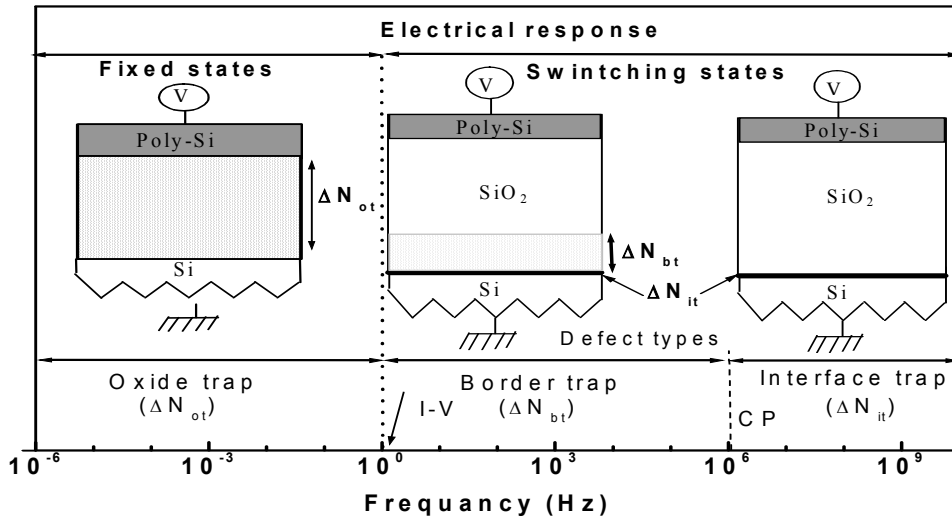


Figure V.1: Schéma illustratif de la réponse électrique des différents pièges dans un dispositif MOS en fonction de la fréquence du signal appliqué sur la grille [11]

2.1. Prise en compte de l'émission

L'expression du courant de pompage établie par Brugler et Jaspers [41] ignore les phénomènes d'émission de porteurs par les pièges qui se produisent durant le passage de l'inversion à l'accumulation et inversement.

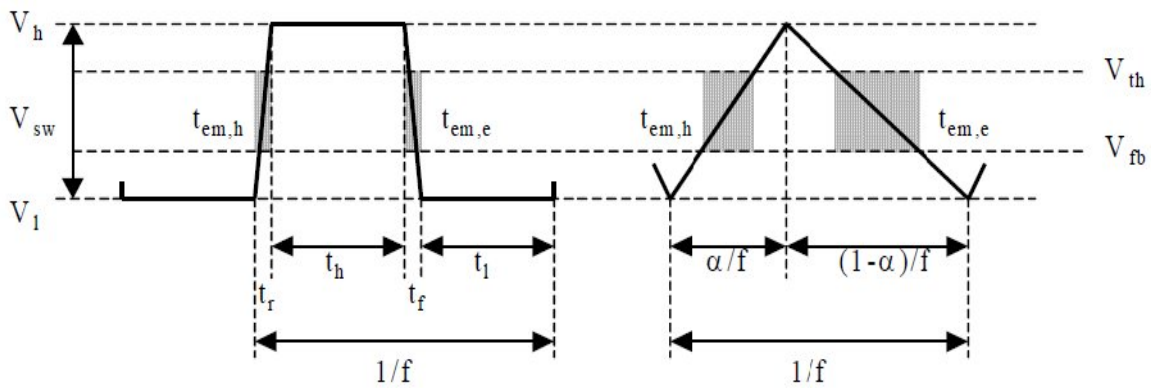


Figure V.2 : Signaux de grille trapézoïdale et triangulaire (Les parties grisées représentent les phases d'émission)

2.2. Les différentes phases de capture et d'émission (transistor à canal n)

2.2.1. Accumulation

Quand la surface est en accumulation, l'équilibre est atteint. Tous les états situés sous le niveau de Fermi E_{acc} sont occupés par des électrons, tandis que les autres sont vides.

2.2.2. Passage de l'accumulation à l'inversion forte

a) Emission de trous

Le potentiel de surface ϕ_s varie rapidement avec ΔV_G entre V_{fb} et V_{th} et le taux d'émission diminue exponentiellement avec $E_t - E_v$, l'émission de trous à l'équilibre cesse pour une tension de grille proche de V_{fb} et laisse place à un régime d'émission de trous hors équilibre.

b) Capture d'électrons

La concentration en électrons augmente avec ΔV_G , les constantes de temps de capture diminuent et la capture des électrons l'emporte sur l'émission de trous hors équilibre. Des électrons provenant des régions de source et de drain sont donc capturés et recombinaés par les états non encore vides de trous.

c) Inversion forte

La surface est en inversion et l'équilibre est atteint. Tous les états d'énergie situés sous le niveau de Fermi E_{inv} sont occupés par des électrons, tandis que les autres sont vides.

2.2.3. Passage de l'inversion forte à l'accumulation

a) Emission d'électrons

Des électrons sont émis par les états d'interface vers la bande de conduction et reviennent vers les régions de source et de drain. Cette émission s'effectue d'abord à l'équilibre la tension de grille reste supérieure à la tension de seuil. Lorsque V_H devient inférieur à V_{th} se produit une émission d'électrons hors équilibre.

b) Capture de trous

Avec la diminution de V_H , les concentrations en trous augmentent et leur taux de capture devient important. La capture des trous devient prépondérante sur l'émission des électrons à partir d'une tension de grille proche de la tension de bande plate. De ce fait, de trous provenant du substrat sont capturés par des états encore occupés par des électrons.

2.3. Expression du courant

Les différents courants liés à la capture et à l'émission de porteurs lors des trois régimes, accumulation, désertion, inversion, rencontrés durant chaque période du signal de grille sont représentés sur la figure (V. 3) dans le cas d'un transistor à canal n.

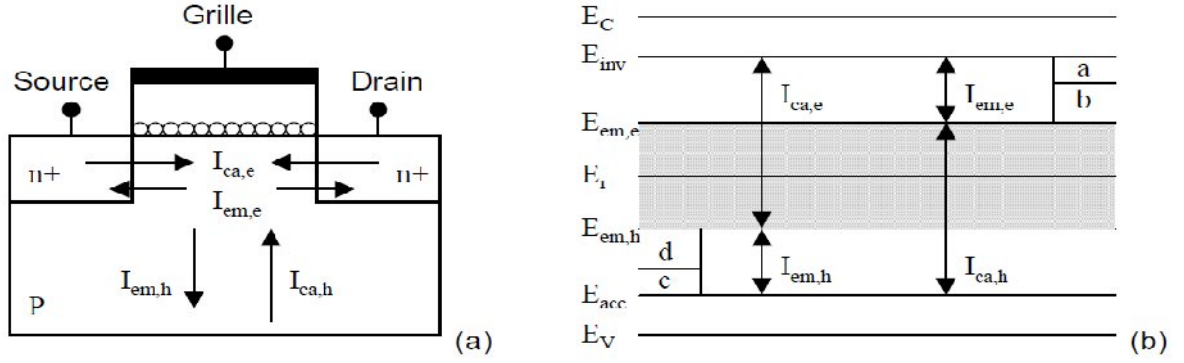


Figure V.3: représentation (a) des quatre courants rencontrés à chaque cycle de l'impulsion et (b) des situations énergétiques correspondantes [94]

Les quatre courants ($I_{ca,e}$, $I_{em,e}$, $I_{ca,h}$ et $I_{em,h}$) sont respectivement les courants de capture et d'émission d'électrons [(a) en équilibre avec l'évolution du potentiel de surface et (b), hors équilibre], de capture et d'émission de trous [(c) en équilibre avec le potentiel de surface et (d), hors équilibre] (figure V.3.b).

Les pièges peuvent aussi bien être vidés par l'émission d'électrons que par la capture de trous, ou remplis par l'émission de trous que par la capture d'électrons. La recombinaison n'a pas lieu sur toute la fenêtre d'énergie définie par E_{inv} et E_{acc} comme supposé dans un premier temps par Brugler et Jaspers [41], mais sur une fenêtre plus petite définie par $E_{em,e}$ et $E_{em,h}$.

Le courant de pompage, I_{PC} , mesuré au niveau du substrat s'écrit donc [Groe84] :

$$I_{PC} = I_{ca,h} + I_{em,h} = A_G q f N_{it} (E_{em,e} - E_{em,h}) \quad V.1$$

Le calcul des niveaux de fin d'émission $E_{em,e}$ et $E_{em,h}$ a été effectué par Simmons et Wei [Simm73] :

$$E_{em,e} = E_i - kT \ln(t_{em,e} n_i v_{th} \sigma_n + \exp(\frac{E_i - E_{inv}}{KT})) \quad V.2$$

$$E_{em,h} = E_i - kT \ln(t_{em,h} n_i v_{th} \sigma_p + \exp(\frac{E_{acc} - E_i}{KT})) \quad V.3$$

où $t_{em,e}$ et $t_{em,h}$ sont les temps d'émissions hors équilibre des électrons et des trous. Lorsque les temps de transition t_r et t_f sont supérieurs à la nanoseconde, les niveaux d'émission sont plus proches de E_i que les niveaux E_{inv} et E_{acc} , et les termes exponentiels des relations (V.2) et (V.3) deviennent négligeables. $E_{em,e}$ et $E_{em,h}$ sont donc utilisés sous la forme :

$$E_{em,e} = E_i - kT \ln(t_{em,e} n_i v_{th} \sigma_n) \quad V.4$$

$$E_{em,h} = E_i - kT \ln(t_{em,h} n_i v_{th} \sigma_p) \quad V.5$$

La différence entre les deux énergies peut être exprimée par :

$$\Delta E_{PC} = E_{em,h} - E_{em,e} = 2kT \ln(\sqrt{\sigma_n \sigma_p} v_{th} n_i \sqrt{t_{em,h} t_{em,e}}) \quad V.6$$

Où σ_p et σ_n sont les sections de capture des trous et des électrons ($\sigma_n = \sigma_p = 3.6.10^{-16}$ (cm²) déterminé par la méthode de *Groeseneken* [94], le v_{th} est la vitesse thermique des porteurs, $t_{em,h}$ et $t_{em,e}$ sont les temps d'émission des électrons et des trous, respectivement.

Le courant de pompage a finalement pour expression:

$$I_{PC} = A_G q f N_{it} \Delta E_{PC} \quad V.7$$

Dans le cas d'un signal de grille trapézoïdal :

$$t_{em,e} = t_f \frac{|V_{fb} - V_{th}|}{\Delta V_G} \quad V.8$$

$$t_{em,h} = t_r \frac{|V_{fb} - V_{th}|}{\Delta V_G} \quad V.9$$

Dans le cas d'un signal de grille triangulaire :

$$t_{em,e} = \frac{\alpha}{f} \frac{|V_{fb} - V_{th}|}{V_{sw}} \quad V.10$$

$$t_{em,h} = \frac{1-\alpha}{f} \frac{|V_{fb} - V_{th}|}{V_{sw}} \quad V.11$$

Les temps d'émission, $t_{em,e}$ et $t_{em,h}$, sont représentés sur la figure (V.2). On remarque qu'à fréquence de signal égale, ces temps sont plus importants lorsque le signal est triangulaire.

Par conséquent, les pièges à l'interface ΔN_{it} induit par irradiation sont extraits par l'équation :

$$\Delta N_{it} = \Delta I_{PC \max,h} / q f_h A_G \Delta E_{PC} \quad V.12$$

Où $I_{PCmax, h}$ (A) est la différence entre les maximums des courants pompés, avant et après l'irradiation, f_h (hertz) est la haute fréquence du signal (1MHz) et A_G (cm²) est la surface de la grille du transistor.

3. Extraction de ΔN_{bt} par la méthode I(V)

La technique $I_{DS}(V_{GS})$ mesure les pièges situés dans la partie supérieure (inferieure) de la bande interdite pour le transistor NMOS (PMOS). En d'autres termes, elle mesure les pièges situés entre $E_i=q\Phi_B$ (milieu du gap) à $E_{inv}=2\Phi_B$ (inversion forte), où Φ_B est le potentiel de volume. La bande d'énergie du gap balayée par I(V) peut être exprimé comme:

$$\Delta E_{I-V} = E_{inv} - E_i = q(2\Phi_B - \Phi_B) = kT \ln\left(\frac{N_{a,d}}{n_i}\right) \quad V.13$$

Où E_{I-V} (eV) est la bande d'énergie balayée par I-V, E_{inv} (eV) est l'énergie de niveau de Fermi en mode d'inversion, E_i (eV) est le niveau intrinsèque de Fermi, k (eV/K) est la constante de Boltzman et le T(k) est la température absolue.

Dans les techniques standards I(V) (STS ou Mid gap), les pièges d'interfaces induits par l'irradiation N_{it} (I-V) sont extraits à partir des pentes de courbes sous seuils avant et après l'irradiation, en utilisant l'équation (V.12).

$$\Delta N_{it(I-V)} = \Delta S \frac{C_{ox} \ln(N_{a,d}/n_i)}{q \ln(10)} \quad V.14$$

Où s (V/decade) est la prolongation de la pente sous seuil. C_{ox} (F/cm²) est la capacité d'oxyde de grille par unité de surface, $N_{a,d}$ (cm⁻³) est le dopage dans le canal, n_i (cm⁻³) est la concentration intrinsèque et q est la charge d'électron.

En raison de la basse fréquence, les border traps ont assez de temps pour échanger leurs charges avec le silicium. Par conséquent les border traps se comportent comme des pièges d'interface $\Delta N_{it(I-V)}$. Tenant en compte la calibration de l'énergie, nous pouvons écrire:

$$\Delta N_{it(I-V)} = \gamma \Delta N_{it} + \Delta N_{bt} \quad V.15$$

$$\Delta N_{bt} = \Delta N_{it(I-V)} - \gamma \Delta N_{it} \quad V.16$$

Où les N_{it} (cm⁻²) sont les pièges, induits par l'irradiation, extraits en utilisant la technique PC à haute fréquence (1Mhz) pour éviter la réponse électrique des border traps au courant pompé (I_{PC}) [10].

Les pièges d'oxyde peuvent être extraits par l'équation :

$$\Delta N_{ot} = \frac{C_{ox}}{q} (\Delta V_{mg}) \quad \text{V.17}$$

Où par

$$\Delta N_{ot} = \frac{C_{ox}}{q} (\Delta V_{th}) - (\Delta N_{it} + \Delta N_{bt}) \quad \text{V.18}$$

4. Calibration de l'énergie scannée par la technique de (PC et I (V))

Dans la technique de PC, la bande d'énergie dans laquelle les pièges d'interface contribuent au pompage du courant est donnée par l'équation (V.6) ;

Pour balayer la même bande d'énergie par les deux méthodes I(V) et PC ($\Delta E_{I-V} \approx \Delta E_{PC}$), nous définissons le facteur de calibrage de l'énergie γ scannée par les deux techniques comme suit :

$$\gamma = \frac{\Delta E_{PC}}{\Delta E_{I-V}} \quad \text{V.19}$$

$$\gamma = \frac{\ln(v_{th}^2 n_i^2 \sigma_e \sigma_p t_{em,e} t_{em,h})}{\ln \frac{N_A}{n_i}} \quad \text{V.20}$$

Les énergies exprimées par les expressions $E_{em,e}$ et $E_{em,h}$ peuvent être modulées par les temps de montée t_r et de décente t_f . On suppose que l'émission des porteurs peut être négligée pour t_r et t_f très petits. par conséquent, $E_{em,e} \approx E_{inv,e}$ pour les transistors NMOS et $E_{em,h} \approx E_{inv,h}$ pour les transistors PMOS. Par contre, pour t_r et t_f suffisamment longs, $E_{em,e}$ et $E_{em,h}$ se rapprochent au milieu de gap.

En utilisant les sections de captures extraites par la méthode de Gronesenken ($\sigma_p = \sigma_n = 10^{-15} \text{ cm}^2$) et les expressions de $E_{em,e}$ et de $E_{em,h}$, nous avons trouvé que pour un signal trapézoïdal de fréquence de 1 MHz, de $t_r = 10^{-6} \text{ s}$ et de $t_f = 10^{-9} \text{ s}$, les parties de gap d'un transistor NMOS scannée par les techniques I(V) et PC sont très proches (0.422 ev 0.418 ev figure V.4).

Nous utilisons la même méthodologie pour le transistor PMOS mais avec $t_r = 10^{-9} \text{ s}$ et $t_f = 10^{-6} \text{ s}$.

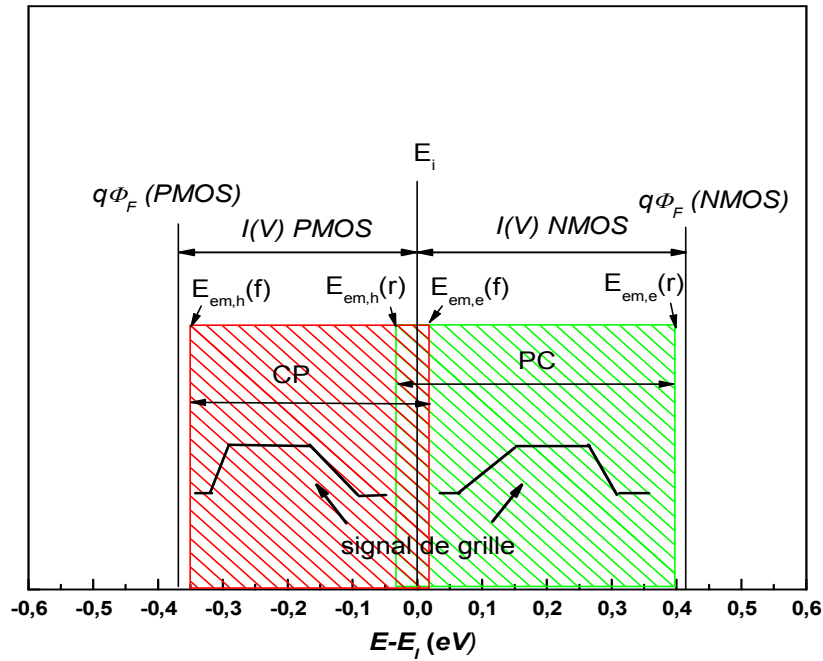


Figure V.4: Les bandes d'énergies scannées par $I(V)$ et PC pour les transistors NMOS et PMOS

5. Résultats et discussion

Les courbes expérimentales de la méthode (PC- $I(V)$) sont présentées dans la figure (V.6).

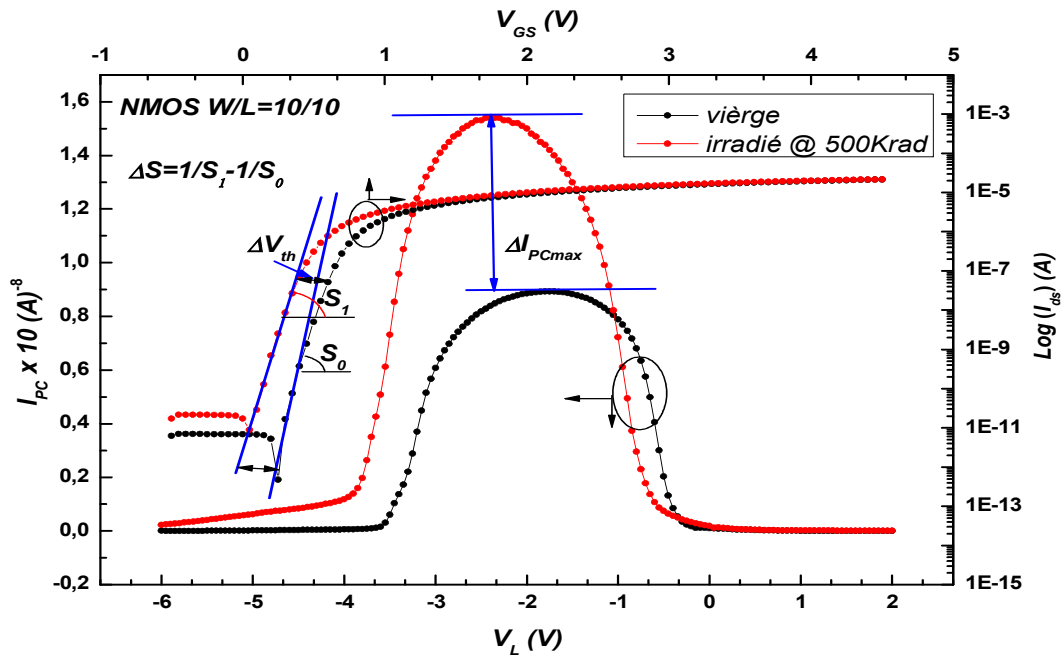


Figure V.5: Les courbe PC et $I(V)$ d'un transistor NMOS avant et après irradiation à 500 Krad

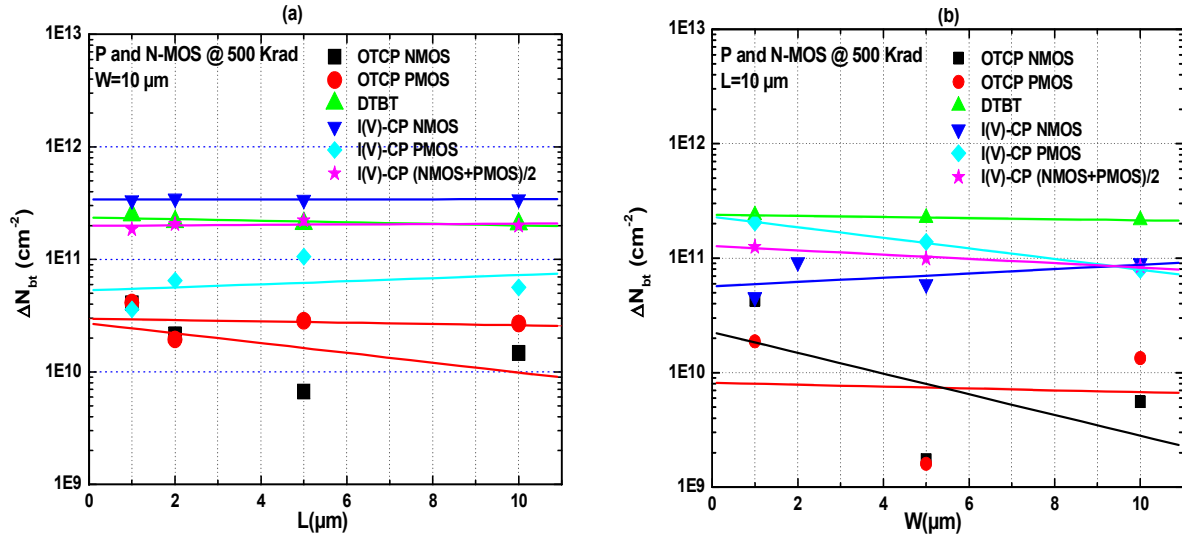


Figure V.6: Résultats expérimentaux obtenus pour deux séries de transistors fabriqués avec le même procédé d'ISiT. a) W fixe et L variable, b) L fixe et W variable.

Les résultats obtenus pour l'estimation de la densité des border traps, par cette méthode est plus précis que l'OTCP. Car les border traps ont suffisamment du temps pour échanger leurs charges piégées avec le substrat.

L'OTCP ne donne pas un résultat fiable car une partie des pièges ne participent pas dans le courant pompé (les border traps). Cette partie des pièges est considérée comme des charges fixes piégées dans l'oxyde.

Les figures V.6 (a) et (b) montrent N_{bt} induit par l'irradiation dans des transistors NMOS et PMOS extraits en utilisant DTBT, OTCP et I(V)-PC. Tous les N_{bt} mesurés par OTCP sont inférieurs à ceux mesurés par DTBT et I(V)-PC. Ce résultat est dû à la forte sensibilité des border traps à la fréquence du signal de grille utilisé.

Dans la méthode OTCP, la fréquence qui permet la caractérisation des border traps est typiquement étendue entre 10^{-1} - 10^{-2} s. une telle mesure implique seulement une fraction des border traps, le reste de pièges est considéré, d'un point de vue électrique, comme pièges fixes d'oxyde.

Les méthodes DTBT et I(V)-PC permettent l'échange des porteurs entre les border traps et le silicium parce que l'intervalle du temps de mesure est typiquement 1s (1Hz). Par conséquent plus la fréquence de mesure est petite, plus les border traps participent dans le pompage du courant.

Chapitre V: Extraction de la densité des border traps induits par l'irradiation

Nous avons observé une bonne corrélation entre N_{bt} extrait par DTBT et les valeurs moyennes de N_{bt} mesuré par I(V)-PC pour des transistors PMOS et NMOS. Car la méthode DTBT n'est pas applicable sur des transistors PMOS et NMOS séparément.

La densité des pièges d'interface induit par l'irradiation peut être extrait par I(V)-PC ou par l'OTCP, les résultats des deux méthodes sont très proche. Par contre, I(V)-PC est plus précise que l'OTCP pour l'extraction des border traps.

Remarque importante : Les mesures expérimentales présentées dans ce chapitre ont été effectuées au CDTA par Dr. TAHI, sur une série de transistors de différentes longueur et largeurs du canal mais fabriqués avec le même procédé d'ISiT CMOS 1 μ m. Il est important de mentionner que nous avons utilisé, directement ou indirectement, des résultats expérimentaux obtenus par un groupe de chercheurs de CDTA sur la même série des transistors.

Conclusion

La fréquence élevée (1 MHz) du signal de grille, utilisée dans la méthode OTCP, ne permet pas d'extraire avec exactitude la densité des border traps induit par l'irradiation dans les transistors MOS. Pour extraire la densité des border traps nous avons utilisé une nouvelle méthode I(V)-PC basée sur deux techniques standards I(V) et PC.

Nous avons utilisé deux méthodes, la méthode PC la méthode I(V) pour l'extraction des pièges d'interface N_{it} . Les border traps N_{bt} sont extrait en utilisant les résultats des deux méthodes avec prise en compte la calibration des bandes d'énergies scannées.

Avec cette méthode, nous pouvons aussi extraire la densité des pièges d'oxyde N_{ot} induits par l'irradiation.

Les résultats obtenus par cette méthode sont plus exacte que les résultats de l'OTCP. L'inconvénient de cette méthode c'est qu'elle ne précise pas la contribution des différentes régions du transistor et n'extrait qu'une partie de pièges dans le gap.

Conclusion Générale

Conclusion générale

La caractérisation de l'effet d'irradiation sur les dispositifs MOS est l'outil incontournable dans le processus de qualification d'une technologie destinée au fonctionnement dans un environnement radiatif.

La présence de rayonnements ionisant induit une création des défauts à l'interface oxyde/silicium des dispositifs MOS. L'objectif de la caractérisation des l'effet d'irradiation est d'estimer les pièges induits dans ces dispositifs pendant la durée d'exposition à ces contraintes. Les résultats dépendent fortement des techniques et des méthodes exploitées.

Plusieurs techniques ont été développées, puis des méthodes basées sur ces techniques ont été apparues pour le même objectif ; caractériser l'effet de rayonnement ionisant sur les transistors MOS.

Dans la littérature, nous trouvons des méthodes basées soit sur la technique $C(V_G)$ (Capacité en fonction de la tension de la grille), soit sur la technique $I_{DS}(V_{GS})$ (courant Source-Drain en fonction de la Tension Source-Grille) telles que les méthodes Mid Gap (MG) et SubThreshold Slope (STS), soit sur la technique de Pompage de Charge (PC) ou encore sur la combinaison des techniques $I_{DS}(V_{GS})$ et le PC telles que les méthodes Dual Transistor Charge Pumping (DTCP) et Dual Transistor Border Trap (DTBT). Chaque méthode présente certains avantages par rapport aux autres mais aussi des faiblesses à savoir l'objectif tracé.

Dans notre travail, nous avons simulé la méthode OTCP sur un transistor nMOSFET avec LDD et LOCOS fabriqué par le procédé CMOS $1\mu\text{m}$ d'ISiT. La simulation a été faite avant et après l'irradiation de notre transistor. Cette méthode est basée uniquement sur la technique de PC. Les avantages de cette méthode par rapport aux autres c'est qu'elle ne nécessite qu'un seul transistor MOS et permet d'estimer les pièges induits, après l'irradiation, dans les différentes régions du transistor.

Pour pouvoir appliquer la méthode, il faut déterminer les différentes régions du transistor. Le seul moyen pour le faire est de le simuler sur un logiciel spécialisé dans la microélectronique et nanotechnologie. Dans notre cas, nous avons utilisé le logiciel TCAD Silvaco qui est utilisé par des grandes firmes des circuits intégrés et des grands laboratoires de recherche spécialisé dans la microélectronique et la nanotechnologie. Nous avons simulé notre transistor en inspirant ses différentes étapes de fabrication de procédé CMOS $1\mu\text{m}$

d'ISiT. Les résultats obtenus par la simulation sont très proche aux résultats extraits par des méthodes expérimentales. Ils sont en accord avec les données du fabricant et fournisseur du procédé (ISiT).

Après avoir simulé avec succès le transistor nMOSFE 3D sur TCAD Silvaco, nous avons appliqué la méthode OTCP avant l'irradiation. Les courbes des courants pompés par les différentes régions sont simulées. La courbe totale de la méthode est obtenue par l'addition des courants pompés dans chaque région. La courbe totale simulée du courant pompé et le courant mesuré expérimentalement sont identique à l'exception d'une petite différence au niveau de maximum du courant pompé. Nous pensons que cette différence est due à la composante géométrique que nous l'avons pas prise en compte dans notre travail. Nous avons utilisé l'OTCP pour l'extraction la densité moyenne des pièges d'interface induits par l'irradiation.

Nous avons finir notre travail par l'extraction des pièges induits après l'irradiation par une nouvelle méthode qui est basée sur deux technique standards (I(V)-CP). Cette dernière utilise le PC classique et la technique I(V). En terme d'exactitude, la nouvelle méthode donne des résultats plus précis que l'OTCP et extrait les deux types de pièges (pièges à l'interface et border traps).

Annexe A:

***Les étapes technologiques
élémentaires de fabrication
des circuits intégrés***

Les étapes technologiques élémentaires de fabrication des circuits intégrés

1. L'épitaxie

1.1 Définition

L'épitaxie est une étape technologique consistant à faire croître du cristal sur du cristal. Etymologiquement, "épi" signifie "sur" et "taxis", "arrangement". La technique va donc consister à utiliser le substrat comme germe cristallin de croissance et à faire croître la couche par un apport d'éléments constituant la nouvelle couche. La couche épitaxiée peut être dopée ou non dopée.

On parlera, dans le cas où :

- les matériaux sont identiques, d'homoépitaxie (figure 1),

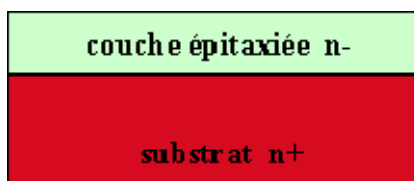


Figure A.1 : Exemple d'une épitaxie n- sur un substrat de type n+

- les matériaux sont différents, d'hétéroépitaxie

1.2 Les méthodes de l'épitaxie :

Il existe principalement 3 types de méthodes expérimentales pour l'épitaxie.

1.2.1 L'épitaxie par jet moléculaire

Cette technique consiste à envoyer des molécules à la surface d'un substrat dans un vide très poussé afin d'éviter tout choc ou contamination sur le parcours. Le principe de la source est l'évaporation sous vide (cellule de Knudsen) par chauffage. Les sources d'évaporation peuvent être de nature et de dopage différents ; pour chaque élément évaporé, il faut adapter la puissance pour chauffer les cellules mais aussi du porte-substrat.

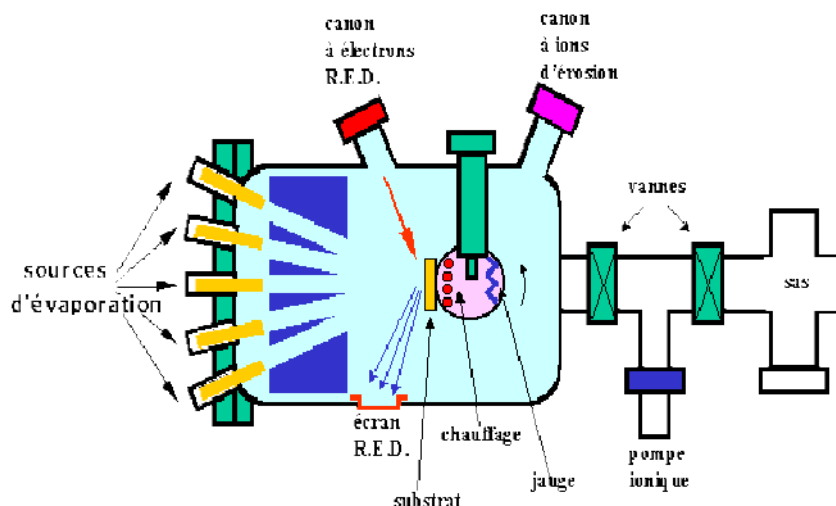


Figure A.2 : Bâti d'épitaxie par jet moléculaire, EJM, ou Molecular Beam Epitaxy, MBE

1.2.2 L'épitaxie en phase liquide

Cette technique consiste à faire croître le cristal par la mise en contact du substrat avec une source liquide. Il faut bien contrôler les échanges thermiques pour éviter la liquéfaction du cristal existant. Cette méthode présente l'avantage d'être très rapide, la vitesse de croissance peut être de l'ordre du micron par minute mais bien sûr n'a pas du tout la même précision que l'EJM.

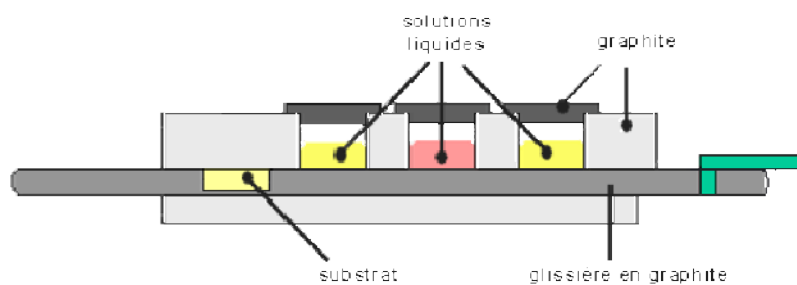


Figure A.3 : Dispositif multibain d'épitaxie en phase liquide.

1.2.3 L'épitaxie en phase vapeur (VPE ou CVD)

Cette opération consiste à faire croître le cristal à partir de sources gazeuses contenant les éléments dopants. Pour assurer une bonne croissance les plaquettes sont aussi chauffées.

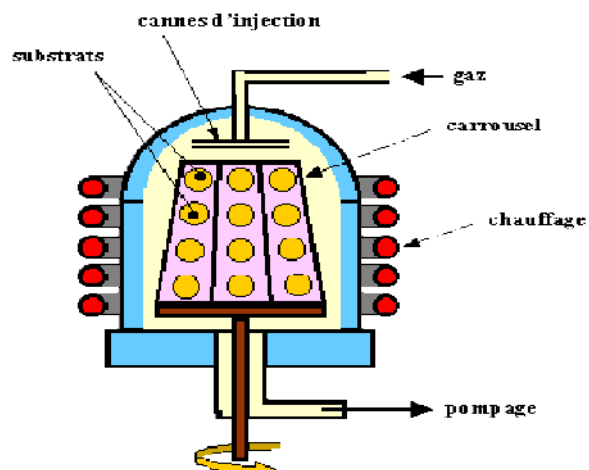


Figure A. 4 : Banc d'épitaxie en phase vapeur.

1.3 Epitaxie sélective

En fonction des gaz en présence dans les réacteurs et en fonction de la nature du matériau en surface, le phénomène d'épitaxie se produit ou non.

2. La diffusion

2.1 Définition

A température ambiante le phénomène de diffusion sera très important dans un milieu gazeux, plus faible dans un milieu liquide et pratiquement nul dans un milieu solide. Pour obtenir un phénomène de diffusion dans un solide ou un cristal, il faudra chauffer le matériau à des températures voisines de 1000°C.

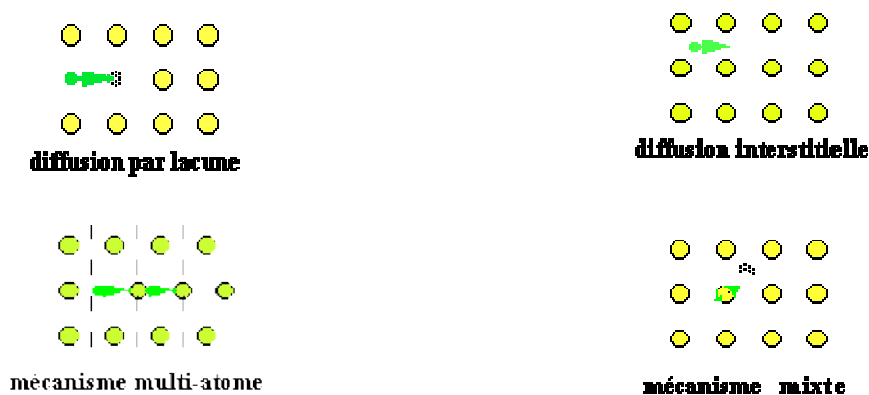


Figure A.5 : Mécanismes de diffusion à l'échelle atomique

Comme évoqué ci-dessus, les mécanismes ne seront possibles qu'à la condition que les espèces concernées soient suffisamment excitées (niveau d'énergie suffisant).

Les quatre principaux mécanismes recensés sont : mécanisme lacunaire, mécanisme interstitiel, mécanisme interstitiel combiné au mécanisme lacunaire, et mécanisme de groupe mettant en jeu plusieurs atomes.

2.3 Procédés de diffusion

Les procédés de diffusion vont dépendre de la nature des sources de dopants. Il existe trois grands types de sources qui permettent de fournir les éléments dopants que l'on doit faire pénétrer dans les substrats. Ces sources sont gazeuses, liquides ou solides.

Les sources gazeuses sont les gaz tels que l'Arsine, AsH_3 , la phosphine, PH_3 ou le diborane B_2H_6 (figure 6).

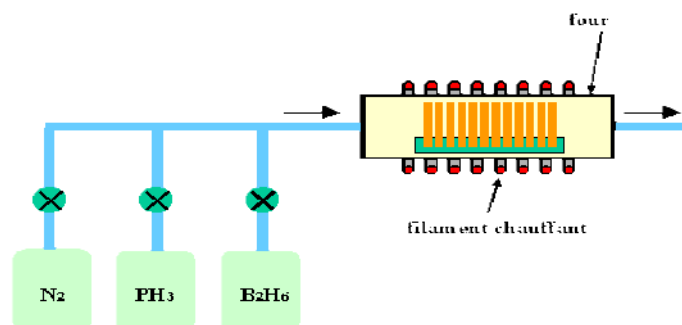


Figure A.6 : Diffusion dans un four à partir de sources gazeuses.

Bien qu'a priori ces gaz soient simples à mettre en œuvre, ils sont par contre très dangereux pour l'homme à quelques ppm de concentration. On préfère des sources liquides telles que $POCl_3$ ou BBr_3 qui sont liquides à température ambiante mais facile à vaporiser, (figure7).

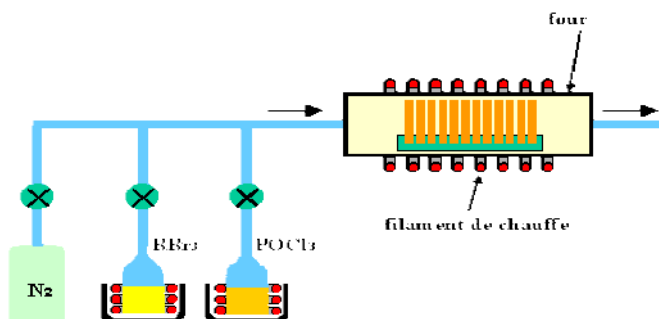


Figure A.7 : Diffusion à partir de sources liquides.

On peut aussi utiliser des sources solides que sont les verres contenant les dopants. Ces sources se présentent sous forme de plaquettes et sont en général introduites dans le four en alternance avec les plaquettes à doper (figure 8).

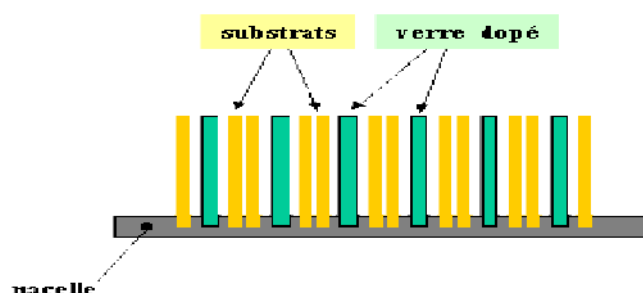


Figure A.8 : Procédé de dopage à partir de sources solides.

3. Implantation ionique

3.1 Définition

Cette opération consiste à introduire des atomes ionisés projetés avec suffisamment d'énergie pour pénétrer dans l'échantillon cible (en général une plaquette). Cette pénétration ne s'effectue que dans des régions de surface. Cette opération est essentiellement utilisée pour doper le semiconducteur durant la fabrication des dispositifs.

3.1.1 Intérêt de cette technique :

Elle permet un contrôle précis de la quantité totale d'atomes implantés (dose d'implantation) et du profil de concentration du dopant. Notons que ce procédé s'effectue sous vide et donc en atmosphère sèche.

3.1.2 Inconvénients

Le bombardement d'un monocristal par des atomes crée des dommages dans la structure cristalline implantée. Il y a donc nécessité de restituer la cristallinité du matériau.



Figure A.9 : Procédé de l'implantation ionique.

3.2 L'implanteur

L'implanteur est en pratique un accélérateur d'ions. Il est composé de plusieurs parties illustrées sur la figure 10.

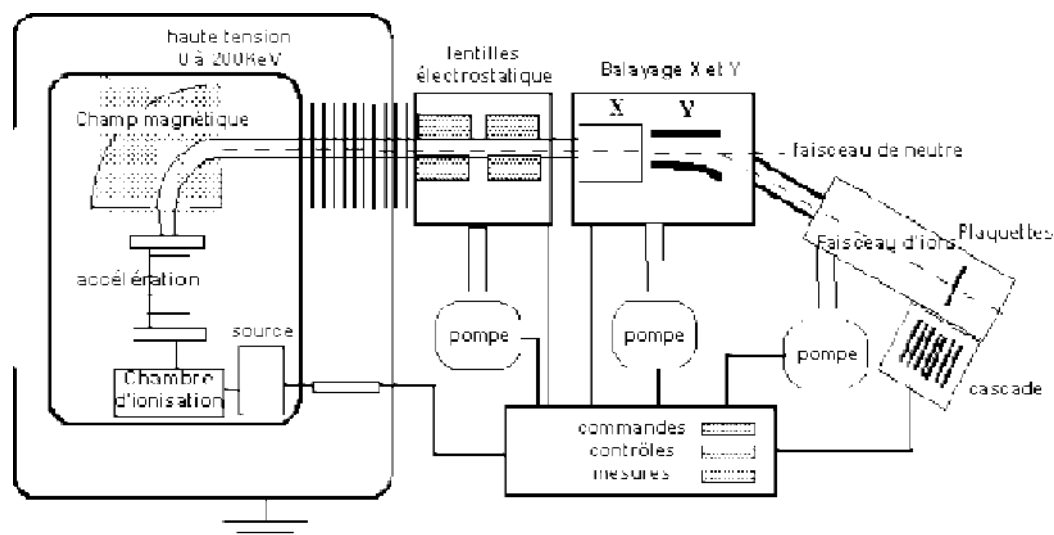


Figure A.10 : Schéma simplifié d'un implanteur ionique.

4. L'oxydation

4.1 Importance de l'oxydation du Silicium

L'oxydation est une étape très importante dans la réalisation des circuits intégrés au silicium. Cette opération est nécessaire tout au long des procédés modernes de fabrication des circuits intégrés. Il est donc primordial de savoir réaliser un oxyde de bonne qualité.

L'oxyde peut servir :

- de masque d'implantation ou de diffusion de dopants,
- de couche passivante à la surface du silicium,
- de zones d'isolation entre différents composants d'une structure intégrée,
- de couche active dans les transistors MOS (oxyde de grille),
- d'isolation électrique entre des couches adjacentes pour améliorer l'intégration et la diminution des dimensions ("espaceur" par exemple, cf. plus loin),
- d'isolation électrique entre les différents niveaux de métallisation ou de couches conductrices en silicium polycristallin fortement dopé,

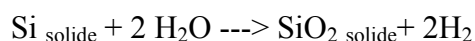
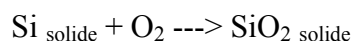
- de couches sacrificielles permettant d'améliorer les performances et l'intégration des circuits.

4.2 Principe de l'oxydation

Il existe plusieurs techniques pour obtenir un oxyde :

- l'oxydation thermique en présence d'oxygène, dite oxydation sèche,
- l'oxydation thermique par voie humide en présence d'oxygène et de vapeur d'eau,
- l'oxydation thermique vapeur en présence de vapeur d'eau uniquement,
- l'oxydation anodique, obtenue par voie électrochimique,
- l'oxydation plasma, réalisée à l'aide d'un plasma d'oxygène.

L'opération d'oxydation consiste donc à oxyder le Silicium depuis la surface du substrat. Les réactions principales sont les suivantes :



Pour obtenir un oxyde de qualité électronique satisfaisante, on préfère l'oxydation thermique soit avec de l'oxygène, soit en présence de vapeur d'eau.

La croissance avec de l'eau donne une croissance plus rapide mais avec plus de défauts électriques. Cette méthode sera donc préférée pour réaliser des oxydes épais (quelques milliers d'Angström) de masquage ou d'isolation.

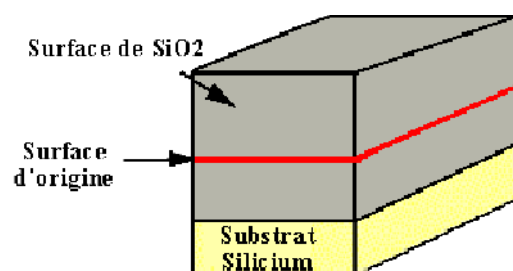


Figure A.11 : Oxydation du Silicium. Une partie du substrat a été consommée lors de l'oxydation

Cette augmentation de volume aura des conséquences importantes sur la planéité de la surface de la plaquette lorsque l'on réalisera des oxydations localisées, figure 13.

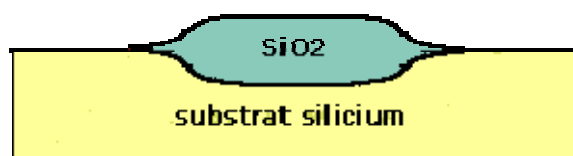


Figure A.12 : Effet d'une oxydation localisée du Silicium (LOCOS : Local Oxidation of Silicon). L'augmentation de volume crée un relief à la surface de la plaquette.

Les opérations d'oxydations s'effectuent en général dans des fours similaires à ceux de diffusion dans lesquels on fait circuler de l'oxygène, sec ou humide, ou de la vapeur d'eau.

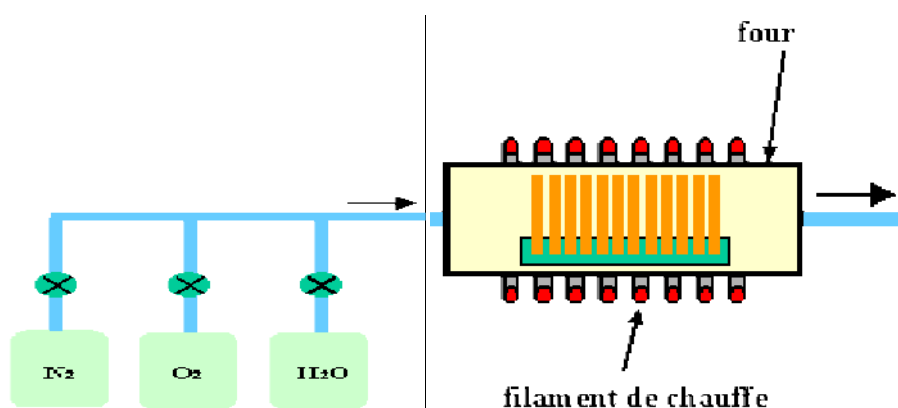


Figure A.13 : Oxydation thermique avec de l'oxygène ou de la vapeur d'eau.

4.3 Redistribution de dopants en cours d'oxydation

Lors de l'oxydation de couches dopées, cette opération s'effectuant à haute température, les dopants se redistribuent dans le substrat.

4.4 Technique d'oxydation rapide (RTO Rapid Thermal Oxidation)

Les oxydes MOS dans les technologies de longueur de grille inférieure à $0,1\mu\text{m}$ sont de dimension nanométrique. La croissance peut donc être très rapide. Pour éviter toute rediffusion de dopant dans les couches déjà réalisées, la technique d'oxydation consiste à disposer dans un four à lampes halogènes les substrats et à les chauffer très rapidement en présence d'une atmosphère oxydante.

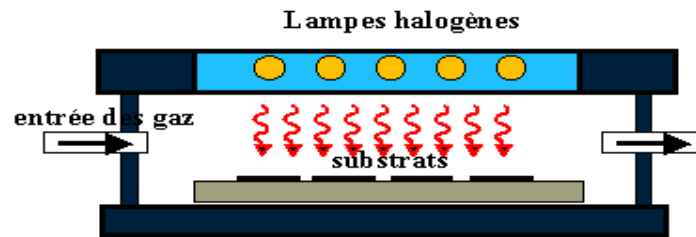


Figure A.14 : Réacteur d'oxydation thermique rapide.

5. Les dépôts

Cette opération est nécessaire lorsqu'il faut réaliser une couche conductrice, isolante ou de masquage dans un procédé qui n'utilise pas directement le matériau du substrat.

5.1 Les techniques de dépôt

Plusieurs techniques de dépôt sont possibles industriellement :

- évaporation thermique.
- pulvérisation cathodique,
- canon à électrons,
- dépôt chimique en phase vapeur ou C.V.D pour Chemical Vapor Deposition,
- dépôt à basse pression, L.P.C.V.D. pour Low Pressure Chemical Vapor Deposition, dépôt assisté plasma, P.E.C.V.D. pour Plasma Enhanced Chemical Vapor Deposition,

6. La gravure

6.1 Types de gravure

Deux techniques sont couramment utilisées sont la gravure dite par voie humide et la gravure sèche. Ces deux types de gravure interviennent de nombreuses fois au cours des procédés modernes. Elles permettent de graver de façon sélective, des couches ou des films afin de créer des motifs.

6.1.1 La gravure humide

La gravure par voie humide se fait par attaque chimique en solution aqueuse (bain contenant de l'eau). Suivant les concentrations de l'espèce réactant, on étalonne les vitesses de gravure pour un type de couche. En général, par voie humide, la couche est attaquée de façon équivalente suivant toutes les directions de l'espace. On dit que la gravure est isotropique.

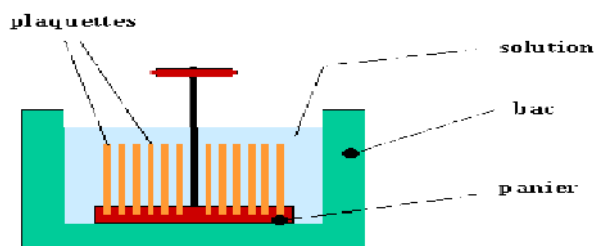


Figure A.15 : Gravure d'un panier de plaquette par voie humide.

Cela constitue un gain de temps considérable. Par contre, il faut après traitement chimique rincer abondamment et sécher les plaquettes.

- latérale ou verticale dans le cas d'une faible sélectivité.

6.1.2 La gravure sèche

La gravure sèche est en réalité une technique de gravure plasma dans laquelle interviennent à la fois les effets de bombardement par des ions et la réaction chimique. On la dénomme R.I.E. (Reactive Ion Etching en anglais).

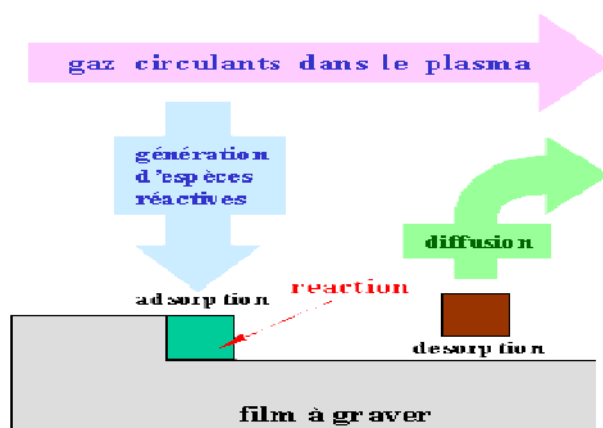


Figure A.16 : Schéma de principe de la réaction de gravure plasma.

Ce type de gravure est particulièrement intéressant dans le cas où l'on veut réaliser des espaceurs de très faible dimension dans les technologies autoalignées. on peut créer des résidus ou espaceurs de largeur très faible, en rapport avec les épaisseurs.

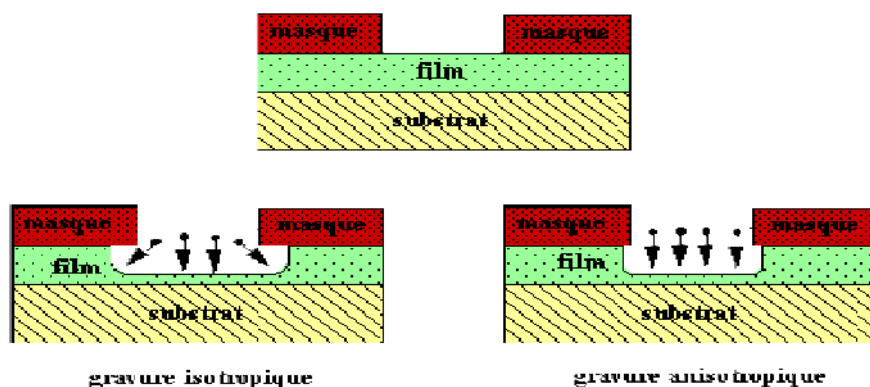


Figure A.17 : Différence entre gravure isotropique et anisotropique.

7. Photolithographie

Toutes les techniques de procédés technologiques exposées précédemment présentent peu d'intérêt si elles ne se réalisent que pleine plaque. Il faut pouvoir oxyder, doper, métalliser localement suivant des motifs très bien définis et sur des surfaces de plus en plus faibles afin de créer et d'interconnecter des dispositifs élémentaires entre eux.

Le procédé de transfert d'un masque (physique ou logiciel) vers la plaquette s'appelle photolithographie (lithos (pierre en grec) et, de photographie). Il s'agit d'un procédé photographique qui permet la gravure d'une (ou plusieurs) couche(s) solide(s).

7.1 Principe de la photolithographie

Les figures 28 et 29 rappellent le principe du procédé de photolithographie ; l'objectif est de transférer un motif réalisé sur masque vers la couche de la plaquette.

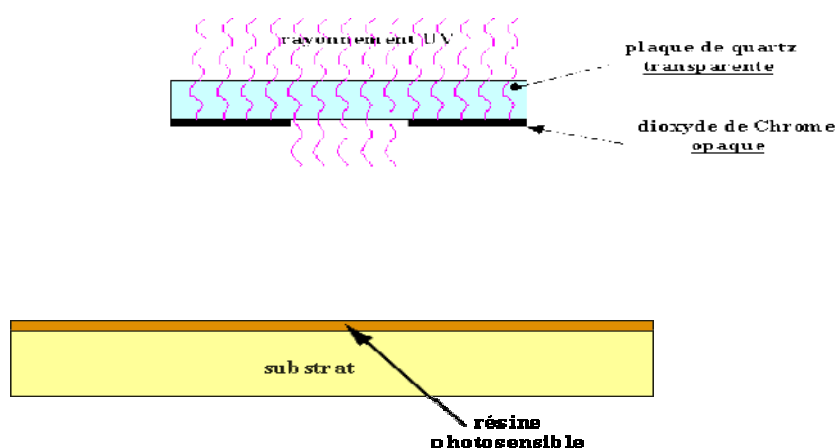


Figure A.18 : masque de photolithographie.

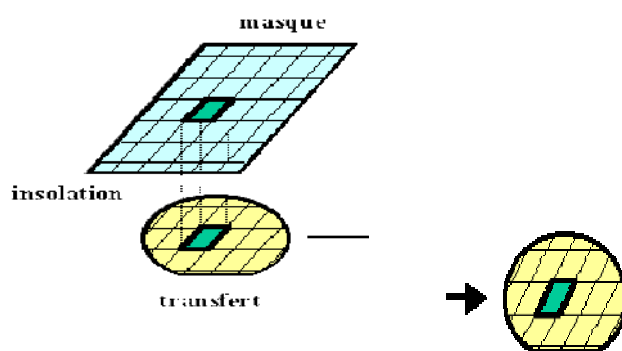


Figure A.19 : principe de la photolithographie par insolation

7.2 Réalisation d'un motif sur plaquette

De façon analogue à la technique photographique, on peut utiliser deux types de résine photosensible : résine positive ou résine négative.

Dans le cas d'une résine positive, on retrouve après l'opération, exactement le même motif sur la couche gravée de la plaquette, que sur le masque de départ. Dans le cas d'une résine négative, on obtient sur la plaquette le motif complémentaire.

La résine est étalée par une technique de centrifugation. On utilise pour cela une tournette (figure 30) qui aspire la plaquette afin qu'elle ne soit pas éjectée et qui permet, grâce à un réglage de la vitesse de rotation et de l'accélération, d'étaler uniformément la résine.

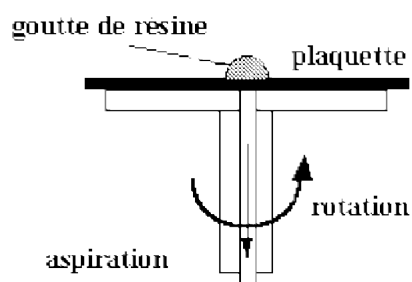


Figure A.20 : Tournette pour étalement de résine photosensible.

7.3 L'insolation et ses limites

L'insolation de la plaquette peut se réaliser de différentes manières,

- par contact,
- par proximité,

- par projection,

Chacune manière présente ses avantages et ses inconvénients. Par exemple, la technique par contact donne théoriquement la meilleure définition des motifs, mais détériore le masque après chaque opération de masquage en raison des frottements importants à l'échelle microscopique. La projection donne la moins bonne définition optique en raison des effets de diffraction de la lumière, mais permet par contre d'effectuer une réduction ; dans ce dernier cas, la fabrication du masque est plus simple puisqu'elle n'exige pas une définition au moins égale à celle du motif reporté sur la plaquette.

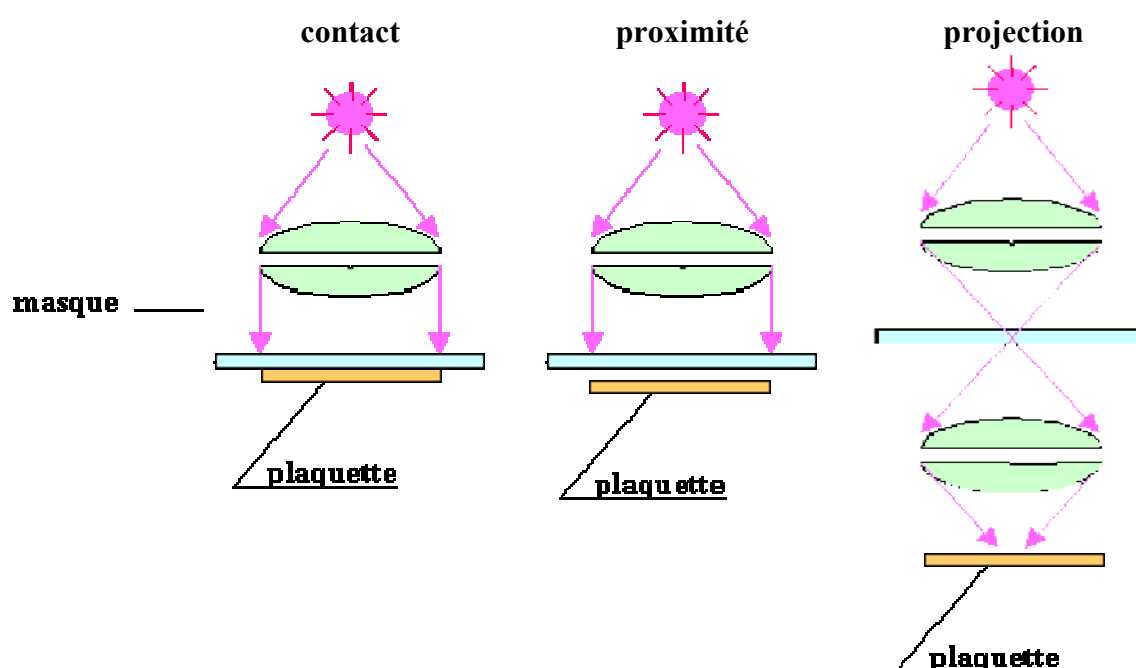


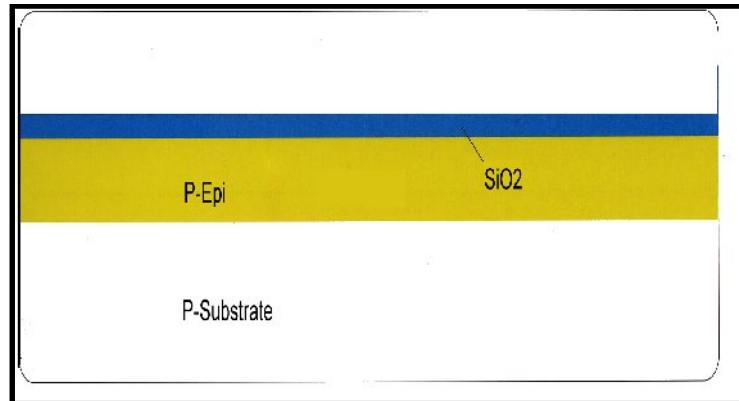
Figure A.21 : différentes techniques d'insolation

Annexe B:

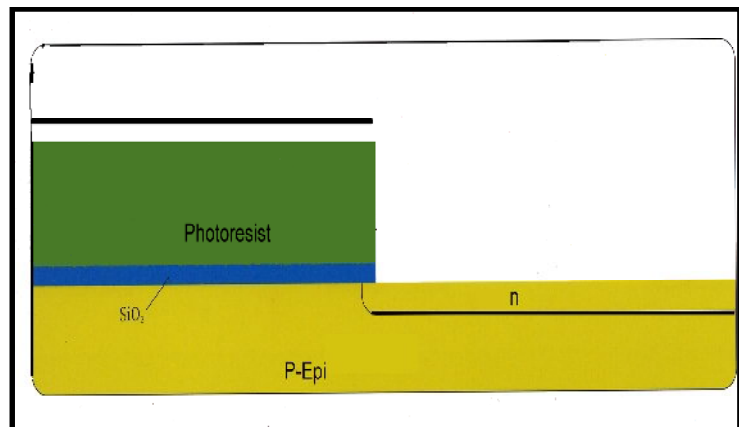
***Etapes technologiques de
fabrication CMOS 1 μ m
d'ISiT***

Etapes technologiques de fabrication CMOS 1 μm d'ISiT

- Substrat p <100>



- **Lithography mask 1: P-well**
- **Oxidation**
- **n-well implant Phosphorous**

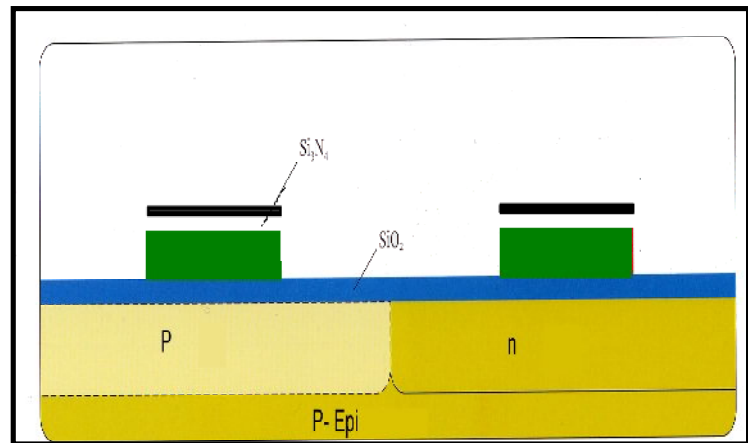


- **Resist remove**
- **Oxidation**

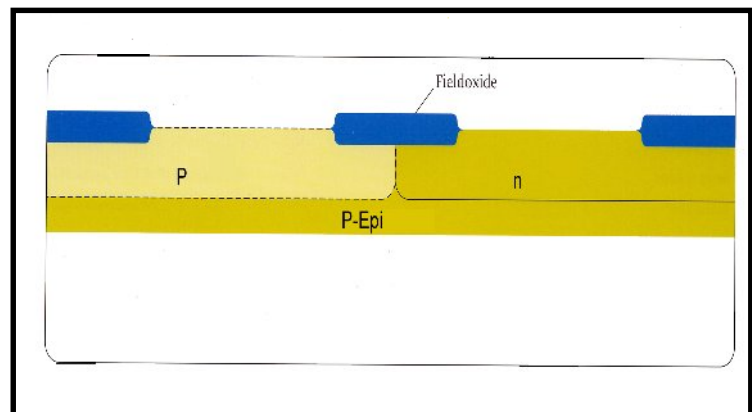


- **Ionimplant p-well Boron**
- **Drive in**

- SiO_2 etch
- Oxidation
- Si_3N_4 deposition
- **Lithography Mask 2: LOCOS**
- Si_3N_4 etch
- Resist remove

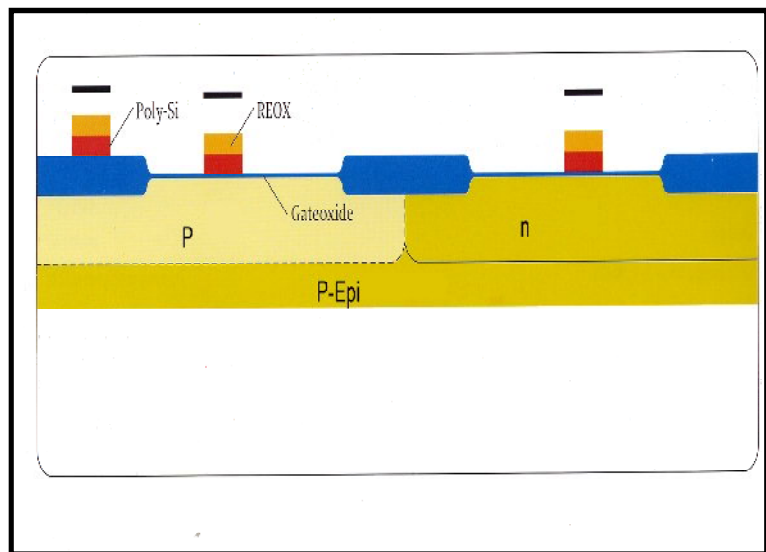


- Field oxidation
- Si_3N_4 etch
- SiO_2 etch

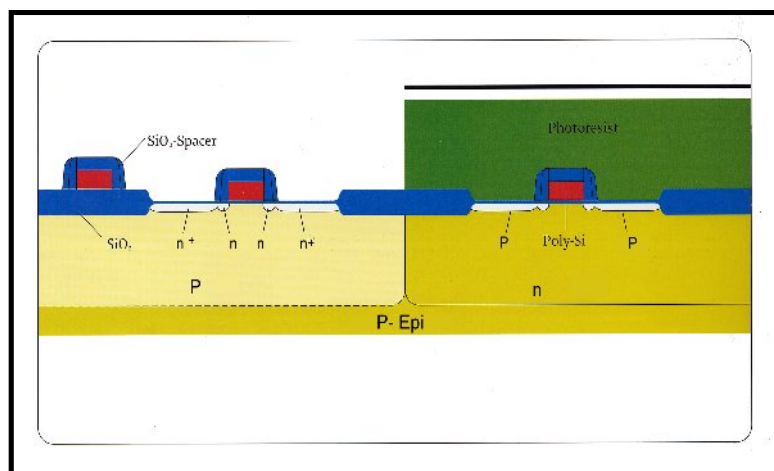


- Oxidation
- Implantation V_T Boron
- Resist removal
- SiO_2 etch
- Gate oxidation
- Poly-Si deposition
- Poly-Si I doping PoCl_3
- Etch oxide

- **Lithography Mask 4: Poly-Si I**
- **Poly-Si I etch**
- **Resist removal**
- **Reoxidation**
- **Lithography Mask 5: N⁺ LDD**
- **Implant LDD P**
- **Resist removal**
- **Lithography Mask 6: P⁺ LDD Born - Resist removal**

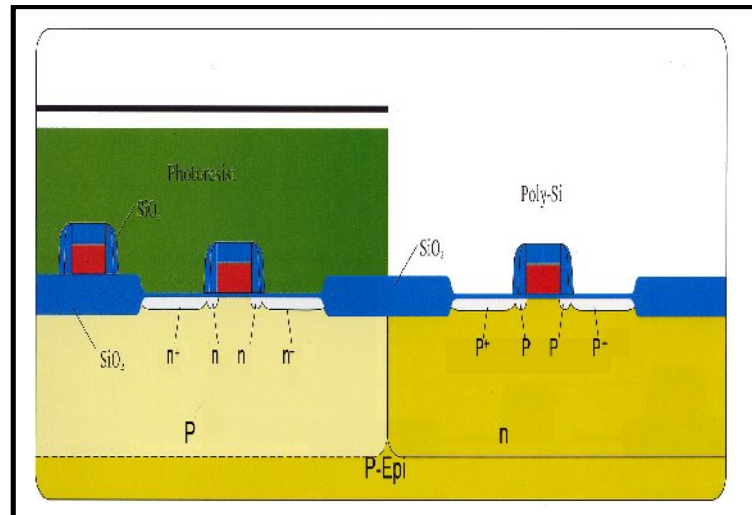


- **Oxidation**
- **Lithography mask 7: N⁺ Source/Drain**
- **Ionimplantation As**



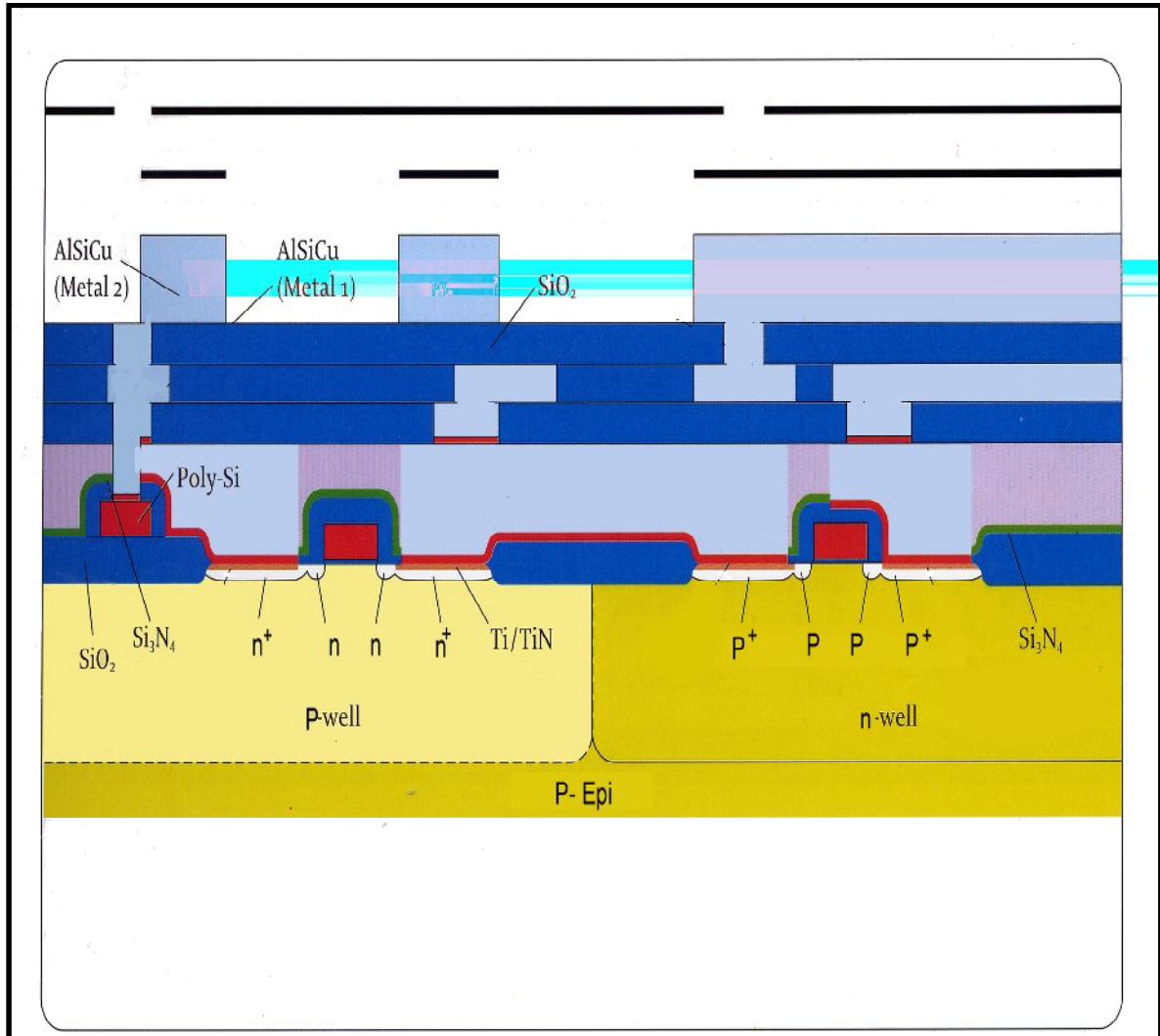
- **Resist removal**

- **Lithography mask 8: P⁺ Source/Drain**
- Ion implantation BF₂
- Resist removal / clean



- TEOS deposition LPCVD
- Poly II deposition
- Doping Poly II
- **Lithography mask 9: Poly II**
- RIE Poly II
- Resist removal / clean
- BPSG deposition
- Reflow
- **Lithography mask 10: Contact**
- SiO₂ etch
- Resist removal
- Ti/TiN deposition (sputtering)
- Sputtering metal 1 (AlCu)
- **Lithography mask 11: metal 1**
- Metal 1 etch
- Resist removal
- TEOS deposition
- **Lithography mask 12: Via**
- TEOS etch
- Resist removal
- TiN deposition
- **Lithography mask 13: metal 2**
- Metal 2 etch

- Resist removal
- SiON deposition
- **Lithography mask 14: Bondpads**
- SiON etch
- Resist removal



Annexe C:

***Procédure d'extraction des
distributions spatiales de V_{th}
et de V_{fb}***

Procédure d'extraction des distributions spatiales de V_{th} et de V_{fb}

Polarisation de la structure 3D en utilisant le module Atlas de Silvaco.

La structure obtenue est polarisée avec plusieurs tensions de grille V_{gs} (de -7 volt à 2volt avec un pas de 0.2 volt). On obtiendra 46 structures 3D polarisées.

Pour le transistor principal :

- a) On affiche chaque structure polarisée avec le module Tonyplot3D de Silvaco, et on effectue un plan de coupe.

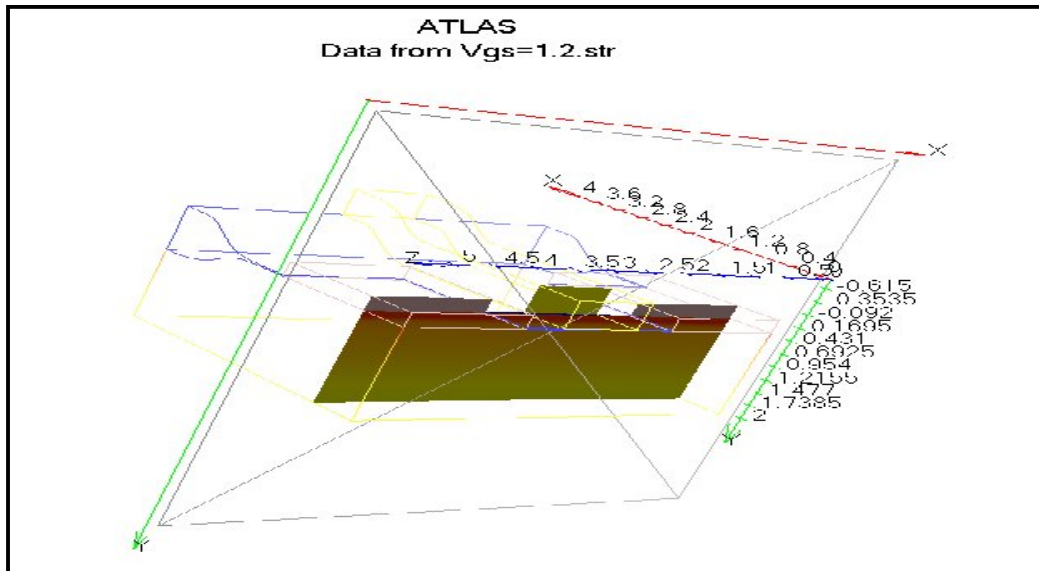


Figure C.1: Exemple d'un plan de coupe sur une structure 3D polarisée.

- b) On exporte la structure (2D), obtenue par le plan de coupe, vers le module Tonyplot (2D).

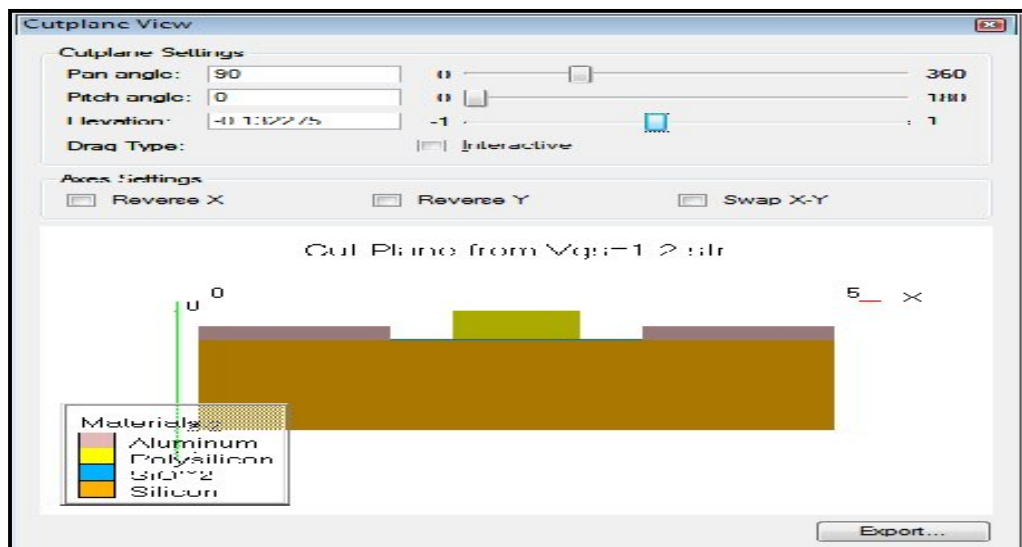


Figure C.2 : L'outil pour exporter la structure obtenue par le plans de coupe

Procédure d'extraction des distributions spatiales de V_{th} et de V_{fb}

c) On affiche la structure 2D par le module Tonyplot.

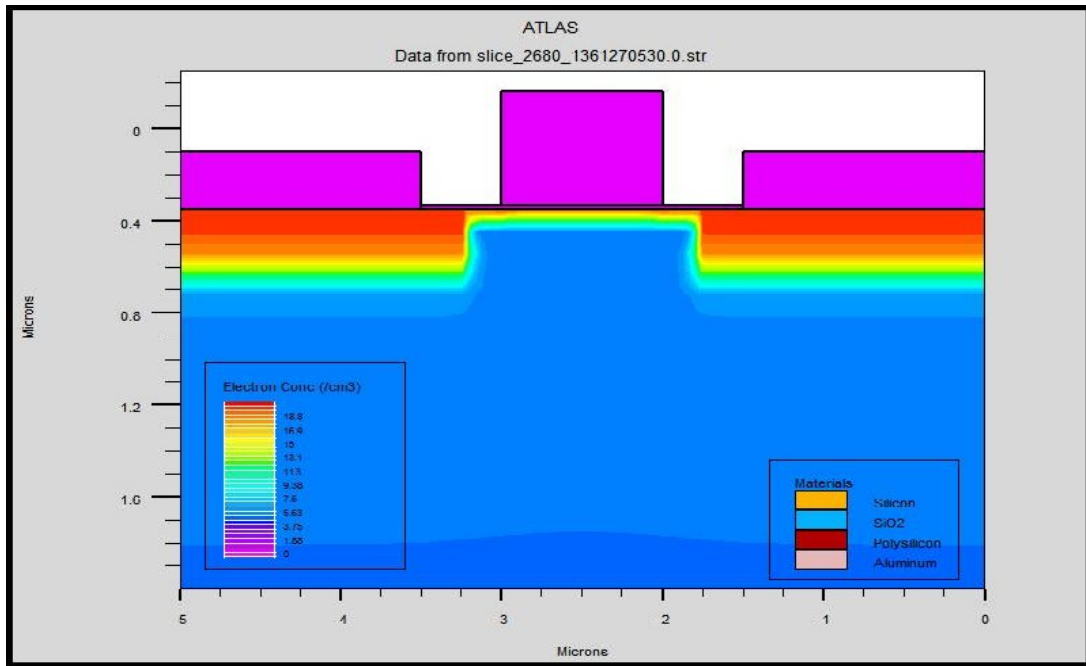


Figure C.3 : la structure 2D exportée vers Tonyplot.

d) On effectue une ligne de coupe horizontale juste au-dessous de l'interface semiconducteur / isolant.

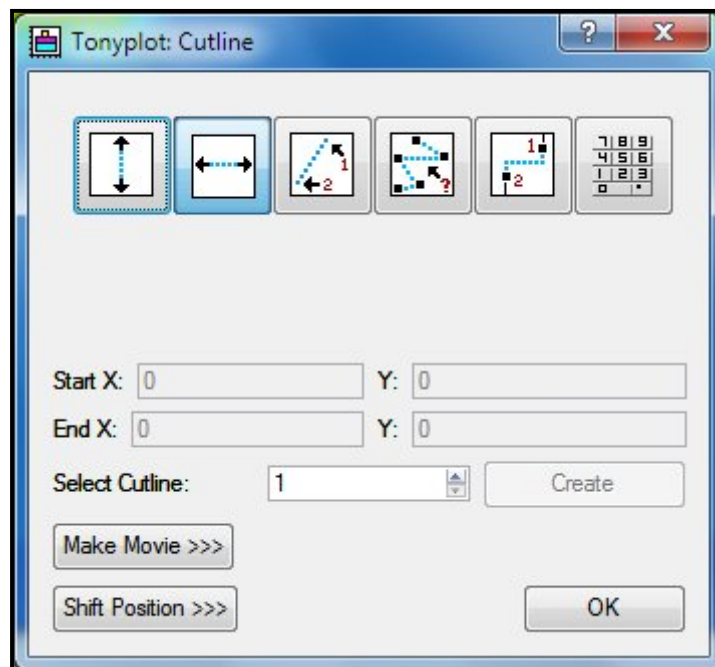


Figure C.4 : l'outil de réalisation d'une ligne de coupe.

Procédure d'extraction des distributions spatiales de V_{th} et de V_{fb}

e) On obtiendra la distribution spatiale des électrons à l'interface semiconducteur/isolant.

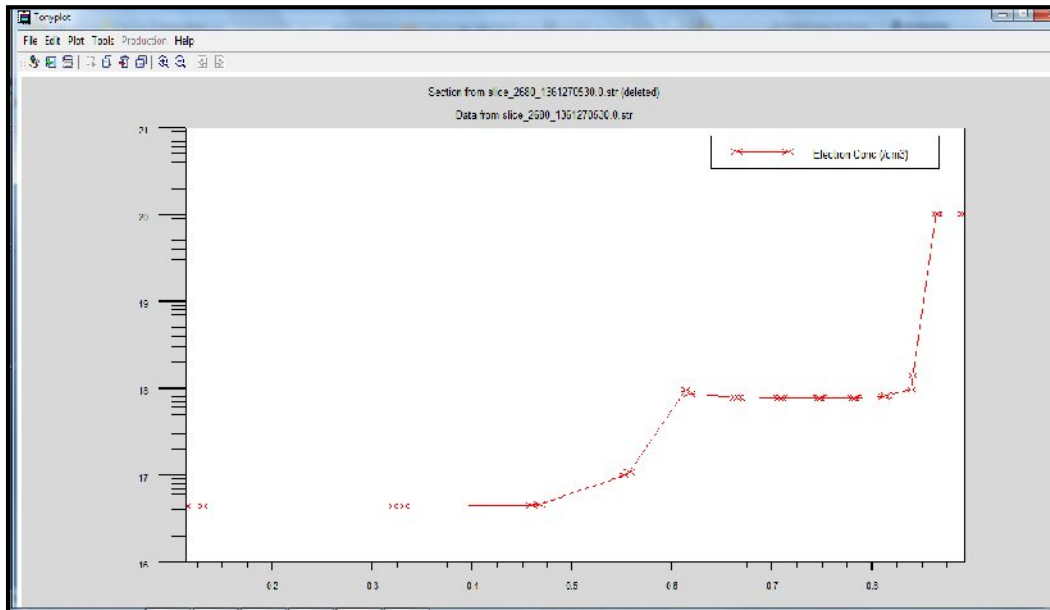
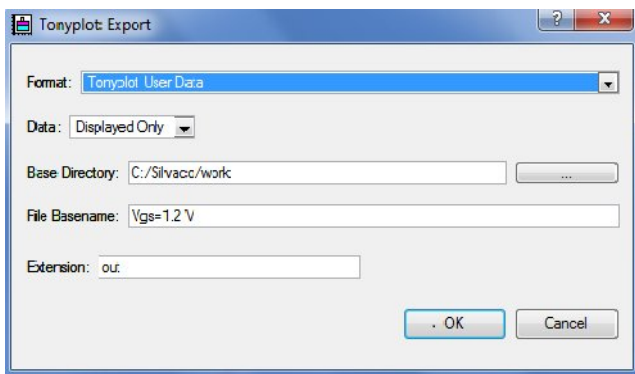


Figure C.5 : Résultat de ligne de coupe.

f) Pour faciliter la manipulation des données obtenues, on exporte le graphe sous forme d'un fichier qui peut être lu par un logiciel (Originlab 8.5).



```

EXPORTED CROSS SECTION DATA
28 2 2
x_coordinate Electron_Conc
0.1119 16.4569
0.1221 16.4564
0.31449 16.4563
0.32979 16.4563
0.52218 16.4563
0.53748 16.4564
0.66574 16.4637
0.67594 16.4642
0.76145 16.798
0.76825 16.8225
0.82525 17.7881
0.82979 17.8591
0.87534 17.8158
0.87897 17.8127
0.91956 17.8057
0.92279 17.8053
0.95895 17.8053
0.96183 17.8061
0.99405 17.8106
0.99661 17.8161
1.02531 17.8312
1.02759 17.8486
1.05316 17.9232
1.0552 17.9551
1.07798 19.8269
1.07979 19.9996
1.10433 19.9986
1.10628 19.9985
    
```

Figure C.6 : sauvgarde le graphe de l'étape e sous forme d'un tableau

Procédure d'extraction des distributions spatiales de V_{th} et de V_{fb}

- g) On regroupe les fichiers exportés des 46 structures dans la même feuille de calcul du logiciel (Originlab 8.5).

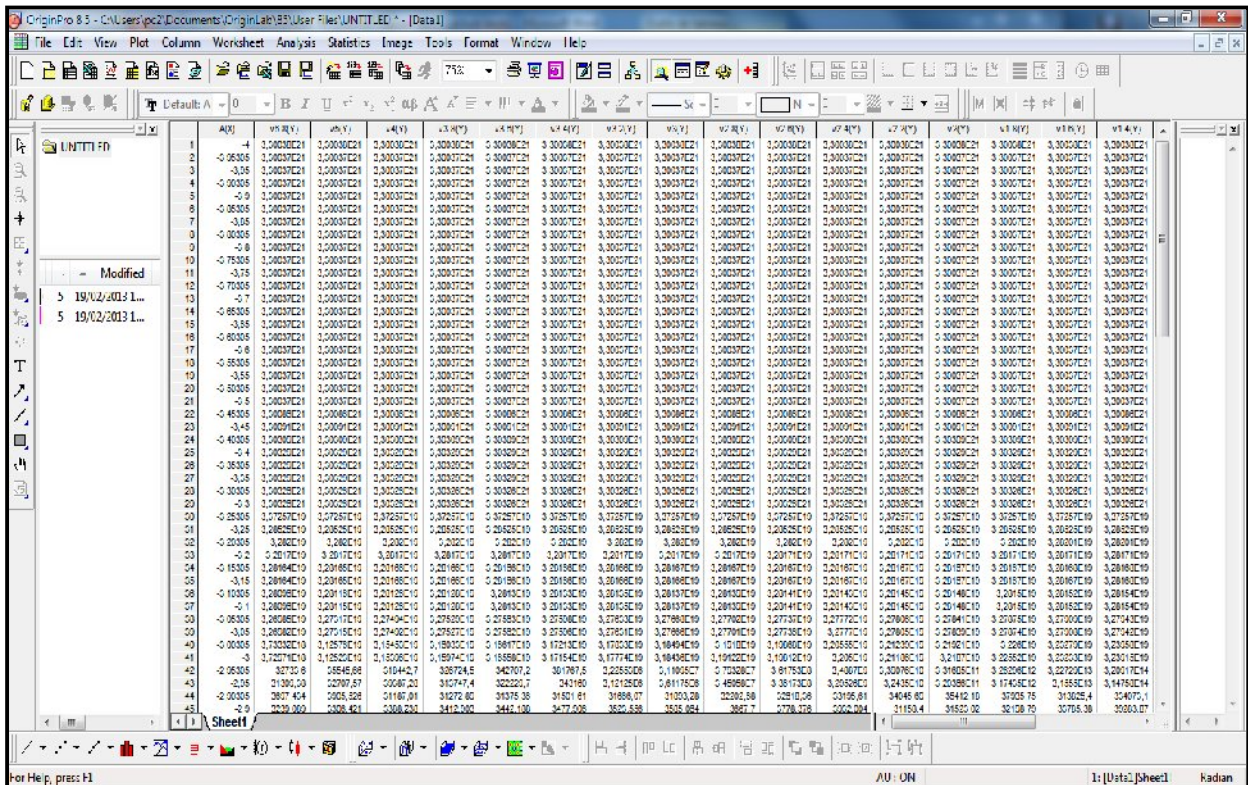


Figure C.7 : Création d'une feuille de calcul pour l'ensemble des 46 graphes obtenus.

- h) On retrace tous les graphes ensemble.

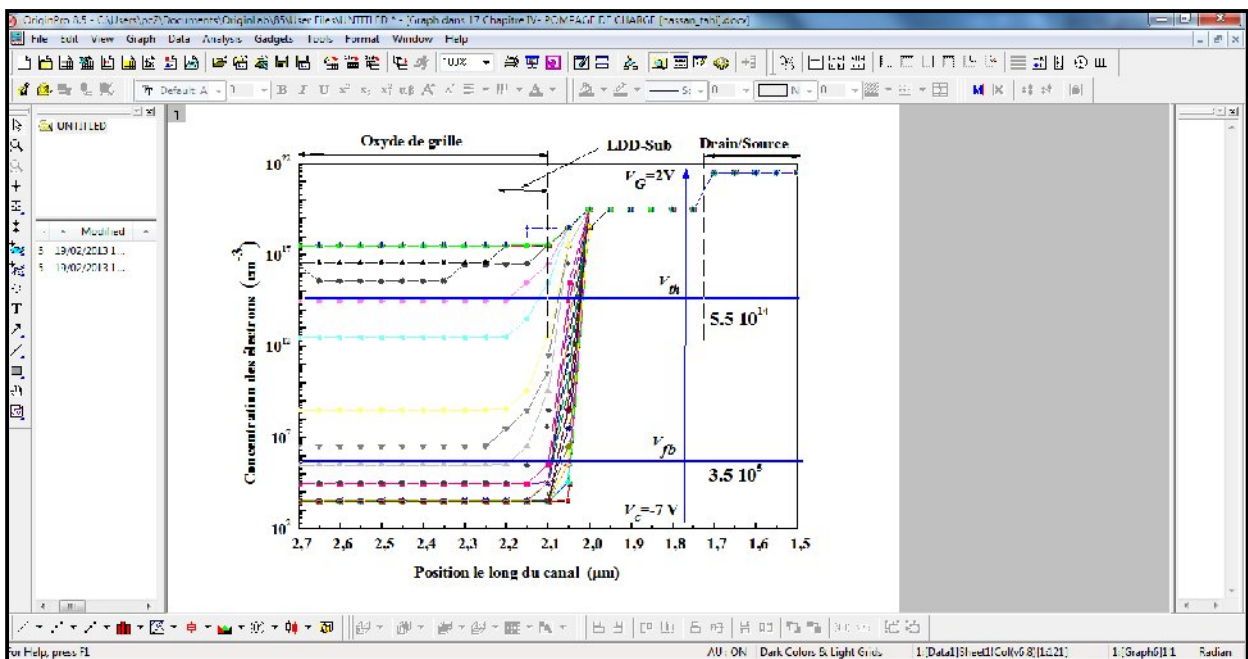


Figure C.8 : un graphe regroupant toutes les données obtenues dans les étapes précédentes.

Procédure d'extraction des distributions spatiales de V_{th} et de V_{fb}

Pour le transistor parasite (région LOCOS)

Pour chaque structure polarisée, on effectue dix plans de coupe dans la région LOCOS (10 transistors parasites). Pour chaque plan de coupe, l'épaisseur d'oxyde n'est pas la même. Elle varie entre 25 nm et 200 nm (un total de 460 transistors parasites, 10 pour chaque structures polarisée).

Pour chaque plans de coupe, on répète les étapes b, c, d, e et f (les étapes b, c, d, e et f sont répétées 460 fois).

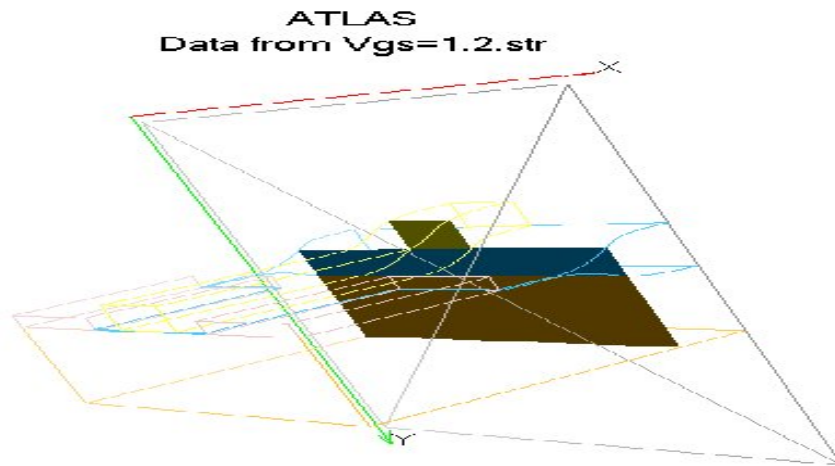


Figure C. 9 : Plan de coupe dans le transistor parasite

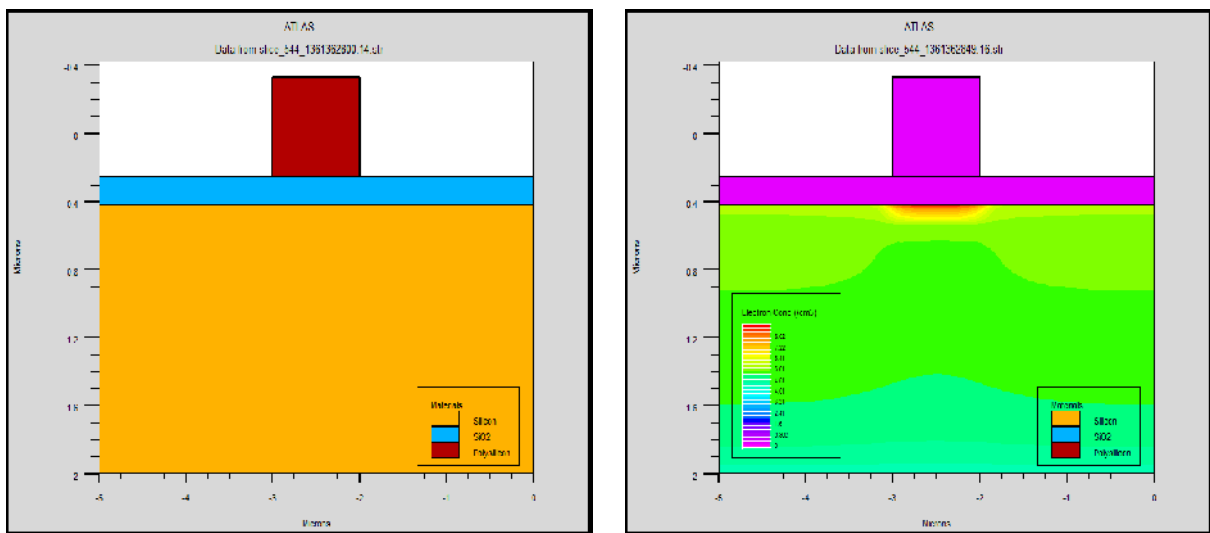


Figure C. 10 : Structure 2D générées par le plan de coupe dans le transistor parasite ($T_{ox}=117$ nm).

Références Bibliographiques

Références bibliographiques

- [1] T. H. Kim, C. G. Yu, J. T. Park, “Concurrent NBTI and hot-carrier degradation in p-channel MuGFETs ,” *IEEE Electron Device Lett.*, vol. 32, no. 3, pp. 294-296, Mar.2011.
- [2] E. Amat, T. Kauerauf, R. Degraeve, R. Rodríguez, M. Nafria, X. Aymerich, G. Groeseneken, “Gate voltage influence on the channel hot-carrier degradation of High-K-based devices, ” *IEEE Trans. Device and Mater. Rel.*, vol. 11, no. 1, pp. 92-97, Jun. 2011.
- [3] Y. H. Tai, S. C. Huang, P. T. Chen, C. J. Lin, “Generalized hot-carrier degradation and its mechanism in Poly-Si TFTs under DC/AC operations,” *IEEE Trans. Device and Mater. Rel.*, vol. 11, no. 1, pp. 194-200, , Mar. 2011.
- [4] W. Chengqing, Y. Z. Xiong, X. Zhou, S. Navab, X. Yuan, G. Q. Lo, L. Chan, K. Dim-Lee, “Comparative study of 1/f noise degradation caused by Fowler–Nordheim tunneling stress in silicon nanowire transistors and FinFETs ,” *IEEE Trans. Electron Devices*, vol. 57, no.10, pp. 2774-2779, Oct. 2010.
- [5] M. F. Beug, G. Tempel, K. R. Hofmann, “Gate-side and substrate-side oxide trap and interface state generation in conventional and nitrided tunnel oxides of floating gate cells,” *IEEE Trans. Electron Devices*, vol.58, no. 3, pp. 819-825, Mar. 2011.
- [6] D. K. Schroder, “Negative bias temperature instability: What do we understand?,” *Microelectron. Reliab.*, vol. 47, no. 6, pp. 841-852, Jun. 2007.
- [7] Y. Yonamoto, N. Akamatsu, “Depth localization of positive charge trapped in silicon oxynitride field effect transistors after positive and negative gate bias temperature stress,” *J.Appl.Phys.*, vol. 98, no.18, 183506-3, Mar.2011.
- [8] A. G. Holmes-Siedle, and L. Adams, “Handbook of radiation effects,” Oxford University Press, England 2002.
- [9] M. Ohring, “Environmental Damage to Electronic Products in Reliability and failure of electronic materials and devices,” Chap.7, pp. 359-410, Academic Press, 1998.
- [10] B. Djezzar, S. Oussalah, and A. Smatti, “A new oxide-trap based on charge-pumping (OTCP) extraction method for irradiated MOSFET devices: Part I (high frequencies),” *IEEE Trans. Nucl. Sci.*, vol. 51, no. 4, pp. 1724-1731, Aug. 2004.
- [11] B. Nadji, H.Tahi and B.Djezzar,“Fast and simple method for estimation and separation of radiation-induced traps in MOSFETs Devices,” *IEEE International Conference on Quality and Reliability (ICQR)*, 2011, Issue Date: 14-17 pp. 469-472 , Sept. 2011.
- [12] P. K. Bondyopadhyay, Moore's Law Governs the Silicon Révolution, *Proc.IEEE*, Vol. 86, No. 1, pp. 78-81, 1998.
- [13] F. Stern and Howard, Properties of semiconductor surface inversion layers in the electric quantum limit, *Phys. Rev*, Vol. 163, pp. 816-835, 1967.

- [14] F. Stern, Quantum properties of surface space-charge layer, *CRC Crit Rev. Solid State Sci.*, Vol. 4, pp. 499-514, 1974.
- [15] R.Rios, N. Arora, and al, A physical compact MOSFET model, including quantum mechanical effects, for statistical circuit design applications, in *Proc. IEEE Int. Electron Devices Meeting (IEDM)*, pp. 937-940.
- [16] T. Janik and B. Majkusiak, Analysis of MOSFET based on the self-consistent solution to the Schrodinger and poisson equations and the local mobility model, *IEEE trans Electron Devices*, vol. 45, no.6, pp.1263-1271, Juin 1998.
- [17] G. Gildenblat, T.L. chen, and P.Bendix, Closed-form approximation for the perturbation of MOSFET surface potentiel by quantum mechanical, *Electronics Letters*, Vol. 36, No. 12, pp. 1072-1073, Juin 2000.
- [18] Y. Ma, L.Liu, and al, "A new charge model including quantum mechanical effects in MOS structure inversion layer," *Solid Stat Electron*, Vol. 44, pp. 1697-1702, 2001.
- [19] R. Clerc, P.O' Sullivan, and al, A physical compact model for direct tunneling fromNMOS inversion layers, *Solid Stat Electron*, Vol. 45, pp.1705-1716, 2001.
- [20] M. J. van Dort, P.H. Woerlee, and al, Influence of high substrate doping levels on threshold voltage and mobility of deep submicrometer MOSFET's, *IEEE Trans Electron Devices*, Vol. 39, No.4, pp.932-938, Apr. 1992.
- [21] S. M. Sze, *VLSI Technology*, L. E. Katz, 1983.
- [22] N. Arora, *MOSFET models for VLSI circuit simulation*, Springer-Verlag, 1992.
- [23] B. Balland, G. Barbottin, *Defects in silica films, their nature-their properties*, Vol.1 1, pp. 104-149, 1986.
- [24] E. Takeda, C. Y. Yang, A, M. Hamada; *Hot-carrier effects in MOS devices*; ed. Académie Press, INC, 1995.
- [25] S. M. Cheng, C. M. Yih, J. C. Yeh, S. N. Kuo and S. S. Chung; A unified approach to profiling the lateral distributions of both oxide charge and interface states in n- MOSFET's under various bias stress conditions; *IEEE Trans. Electron. Dev.*, Vol. 44, No. 11, pp. 1908-1913, 1997.
- [26] R.L. Mozzi, B.E. Warren, The structure of vitreous silica, *J. Appl. Cryst*, Vol. 2, p. 164,1969.
- [27] Z. A. Weinberg, W. C. Johnson, M. A. Lampert, Determination of the sign of carrier transported across SiO₂ films on Si, *Appl. Phys. Lett.*, vol. 25 (1), pp. 42-43, 1974.
- [28] Y. Nishi, Study of silicon-silicon dioxide structure by electron spin resonance, *Jpn. J. Appl. Phys.*, Vol. 10, No 1, p. 52, 1971.
- [29] B. Balland, G. Barbottin, Trapping and detrapping kinetics impact on C(V) and I(V) curves, Vol. 2, pp. 17-81, 1989.
- [30] M. J. Uren, J. H. Stathis, E. Cartier, *Conductance measurements on Pb centers at the (111) Si:SiO₂ interface*, *J. Appl. Phys.*, vol. 80 (7), pp 3915-3922, 1996.
- [31] D.M Fleetwood., P.S Winokur., R.A Reber. T.L Meisenheimer., J.R Schwank., M.R. Shaneyfelt and L.C Riewe," Effect of oxide traps, interface traps, and border

- traps on metal-oxides-semiconductor devices.” J. Phys., Vol. No. 10, pp. 5058-5074, 1993.
- [32] P.J. Caplan., E.H Poindexter., B.E Deal. and R.R Razouk, interface states, and oxide fixed charge in thermally oxidized sih'co, wafer. J. Appl. Phys., Vol. 50, No. 9, pp. 5874.5854, 1979.
- [33] E.H Pondester , P.J Caplan and Gerardi G.J, Chemical and structural features of inherent and process-induced defects in oxidized silicon in the physics and chemistry of SiO₂ and Si-SiO₂ interface, Edited by C.R Helms and B.E Deal. New York: Plenum Press, pp .299-308, 1988.
- [34] C. Svensson, the defect structure of thé Si-SiO₂ interface, a model based on trivalent silicon and its hydrogen « compounds », In thé physics of SiO₂ and its interface, S.T. Pantelides (eds), New-York :Pergamon, pp. 328-332, 1978.
- [35] L. Thanh and P.J. Balk; Elimination and génération of Si-SiO₂ interface traps by low temperature hydrogen annealing,. J. Electrochem. Soc., Vol. 135, No. 7, pp. 1797-1801, 1988.
- [36] T. Sakurai and T. Sugano, Theory of continuously distributed trap states at Si-SiO₂ interface, J. Appl. Phys, Vol. 52, No. 4 , pp. 2889-2849, 1981.
- [37] F. B. McLean and T. R. Oldham, "Basic mechanisms of radiation effects in electronic materials and devices", Final rept., HDL- ADA186936, Sep. 1987.
- [38] D. Braüinig and W. R. Fahrner, “Effects of radiation on silicon devices,” in “Instabilities in Silicon Devices,” edited by G. Berbittin and Vapaille, vol. 3, Chap. 10, pp. 639-722, Elsevier Science Publishers, 1999.
- [39] C. M. Dozier, D. M. Fleetwood, D. B. Brown and P. S. Winokur “An evaluation of low-energy X-ray and cobalt-60 irradiations of MOS transistors”, IEEE Trans. Nucl. Sci., vol. 34, no. 6, pp. 1535-1539, Dec. 1987.
- [40] R. C. Hughes, “Charge carrier transport phenomena in amorphous SiO₂: Direct measurement of mobility and carrier lifetime,” Phys. Rev. Lett., vol. 30, no. 26 pp. 1333-1336, Jun. 1973.
- [41] P. M. Lenahan and P. V. Dressendorfer, “Hole traps and trivalent silicon centers in metal/oxide/silicon devices,” J. Appl. Phys., vol. 55, no.10, pp. 3495-3499, May. 1984.
- [42] S. N. Rashkeev, C. R. Cirba, D. M. Fleetwood, R. D. Schrimpf, S. C. Witzak, A. Michez, and S. T. Pantelides, “Physical model for enhanced interface-trap formation at low dose rates,” IEEE Trans. Nucl. Sci., vol. 49, no. 6, pp. 2650-2655, Dec. 2002.
- [43] H. H. Sander and B. L. Gregory, “Unified model of damage annealing in CMOS, from freeze-in to transient annealing,” IEEE Trans. Nucl. Sci., vol. 22, no. 6, pp. 2157-2162, Dec. 1975.
- [44] H. TAHI, “ Etude de la fiabilité des dispositifs MOS soumis à des rayonnement ionisants,” thèse, université de Boumerdès, Algérie, Mai 2012.
- [45] J. R. Schwank, “Basic mechanisms of radiation effects in the natural space environment,” in Proc.NSREC (International Nuclear and Space Radiation Effects Conference), Short Course, pp. 5-30, Jul. 1994.

- [46] B. R. Bhat, N. Upadhyaya, R. Kulkarni, "Total radiation dose at geostationary orbit," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 2, pp. 530-534, Apr. 2005.
- [47] B. E. Deal, "Standardized terminology for oxide charges associated with thermally oxidized silicon," *IEEE Trans. Electron Devices*, vol. 27, no. 3, pp. 606-608, Mar. 1980.
- [48] D. M. Fleetwood, "Fast and slow border traps in MOS devices," *IEEE Trans. Nucl. Sci.*, Vol. 43, no. 3, pp. 779-786, Jun. 1996.
- [49] D. K. Schroder, "Negative bias temperature instability: What do we understand?," *Microelectron. Reliab.*, vol. 47, no. 6, pp. 841-852, Jun. 2007.
- [50] F. B. McLean, H. E. Boesch, J. M. McGarrity, "Hole transport and recovery characteristics of SiO₂ gate insulators," *IEEE Trans. Nucl. Sci.*, vol. 23, no. 6, pp. 1506-1512, Dec. 1976.
- [51] O. L. Curtis, J. R. Srour, "The Multi-Trapping model and hole transport in SiO₂," *J. Appl. Phys.*, vol. 48, no. 9, pp. 3819-3828, Oct. 1977.
- [52] H. E. Boesch and F. B. McLean, "Hole transport and trapping in field oxides," *IEEE Trans. Nucl. Sci.*, vol. 32, no. 6, pp. 3940-3945, Dec. 1985.
- [53] D. M. Fleetwood, S. T. Pantelides, and R. D. Schrimpf, "Oxide traps, border traps, and interface traps in SiO₂," in "Defects in materials and devices microelectronic," Edited by D. M. Fleetwood, Chap.7, pp. 215-248, CRC Press 2008.
- [54] J. M. Benedetto, H. E. Boesch, F. B. McLean, J. P. Mize, "Hole removal in thin-gate MOSFETs by tunneling," *IEEE Trans. Nucl. Sci.*, vol. 32, no. 6, pp. 3916-3920, Dec. 1985.
- [55] T. R. Oldham, A. J. Lelis, and F. B. McLean, "Spatial dependence of trapped holes determined from tunneling analysis and measured annealing," *IEEE Trans. Nucl. Sci.*, vol. 33, no. 6, pp. 1203-1209, Dec. 1986.
- [56] P. J. McWhorter, S. L. Miller and W. M. Miller, "Modeling the anneal of radiation-induced trapped holes in a varying thermal environment," *IEEE Trans. Nucl. Sci.*, vol. 37, no. 6, pp. 1682-1689, Dec. 1990.
- [57] D. M. Fleetwood, P. S. Winokur, M. R. Shaneyfelt, L. C. Riewe, O. Flament, P. Paillet, J. L. Leray, "Effects of isochronal annealing and irradiation temperature on radiation-induced trapped charge," *IEEE Trans. Nucl. Sci.*, vol. 45, no. 6, pp. 2366-2374, Dec. 1998.
- [58] N. S. Saks, M. G. Ancona, and J. A. Modolo, "Generation of Interface States by Ionizing Radiation Radiation in Very Thin MOS Oxides," *IEEE Trans. Nucl. Sci.*, vol. 33, no. 6, pp. 1185-1190, Dec. 1986.
- [59] P. S. Winokur, "Radiation-Induced interface traps", in "Ionizing radiation effects in MOS devices & circuits," Edited by T. P. Ma and P. V. Dressendorfer, pp. 193-255, J. Wiley & Sons, New York, 1989.
- [60] F. B. McLean, "A Framework for understanding radiation-induced interface states in SiO₂," *IEEE Trans. Nucl. Sci.*, vol. 27, no. 6, pp. 1651-1657, Dec. 1980.
- [61] P. S. Winokur, J. M. McGarrity and H. E. Boesch, "Dependence of Interface State Build-up on Hole Generation and Transport in Irradiated MOS Capacitors," *IEEE Trans. Nucl. Sci.*, vol. 23, no. 6, pp. 1580-1585, Dec. 1976.

- [62] J. R. Schwank, P. S. Winokur, P. J. McWhorter, F.M. Sexton, P.V. Dressendorfer and D. C. Turpin, "Physical mechanisms contributing to device 'rebound'," IEEE Trans. Nucl. Sci., vol. 31, no. 6, pp. 1434-1438, Dec. 1984.
- [63] S. S. Rathod, A. K. Saxena and S. Dasgupta, "Effect of border traps on electron mobility of Nano-scale MOS devices," in Proc. IEEE ISED (IEEE International Symposium on Electronic System Design), pp.91-94, Dec. 2010.
- [64] J. H. Scofield, M. Trawick, P. Klimecky and D. M. Fleetwood, "Correlation between perirradiation channel mobility and radiation-induced interface-trap charge in metal-semiconductor transistors," App.Phy.Lett., vol. 58, no. 24, pp. 2782-2784, Jun. 1991.
- [65] M. J. McGarrity, "Considerations for hardening MOS devices and circuits for low radiation doses," IEEE Trans. Nucl. Sci., vol. 27, no. 6, pp. 1739-1744, Dec. 1980.
- [66] R. C. Laco, D. C. Mayer, J. V. Osborn, and G. Yabiku, "Total dose hardness of three commercial CMOS microelectronics foundries," IEEE Trans. Nucl. Sci., vol. 45, no. 3, pp. 1458-1463, Jun. 1998.
- [67] A. Cester and A. Paccagnelle, "Ionizing radiation effects on ultra-thin oxide MOS structures," in "Radiation effects and soft Errors in Integrated Circuit and Electronic Devices," Edited by R. D. Schrimpf and D. M. Fleetwood, pp. 279-290, Eds. Singapore, World Scientific, 2004.
- [68] R. C. Laco, "CMOS scaling design principles and hardening by design methodology," in Proc. IEEE NSREC (IEEE Nuclear and Space Radiation Effects Conference), Short Course, Sect. II, pp. 1-142. Jul. 2003.
- [69] M. Turowski, A. Raman, and R. D. Schrimpf, "Nonuniform total-dose-induced charge distribution in shallow-trench isolation oxides," IEEE Trans. Nucl. Sci., vol. 51, no. 6, pp. 3166-3171, Dec. 2004.
- [70] S. Wang, Y. Pei, R. Huang, W. Wang, W. Liu, S. Xue, X. An, J. Tian and Y. Wang, "A model for radiation-induced off-state leakage current in N-channel metal oxide-semiconductor transistors with shallow trench isolation", J. Appl. Phys., vol. 10, no. 2, 024515-4, jun. 2010.
- [71] H. Tahiri, B. Djeddar, A. Mokrani, S. Oussalah, A. Smatti, M. Benabdelmoumen, R. Yefsah, M. Mehrous, B. Mansouri, "Comparison between OTCP and C-V extraction methods for radiation-induced traps in MOSFET devices," in Proc. IEEE-ICSE (IEEE International Conference on Semiconductor Electronics), pp.480-483. Nov. 2008.
- [72] P. J. McWhorter and P. S. Winokur, "Simple technique for separating the effects of interface traps and trapped-oxide charge in metal-oxide-semiconductor transistors," Appl. Phys. Lett., vol. 48, no. 2, pp. 133-135, Jan. 1986.
- [73] S. Winokur, J. R. Schwank, P. J. McWhorter, P. V. Dressendorfer, and D. C. Turpin, "Correlating the radiation response of MOS capacitors and transistors," IEEE Trans. Nucl. Sci., vol. 31, no. 6, pp. 1453-1460, Dec. 1984.
- [74] J. R. Schwank, D. M. Fleetwood, M. R. Shaneyfelt, and P. S. Winokur, "A critical comparison of charge-pumping, dual-transistor, and midgap measurement techniques," IEEE Trans. Nucl. Sci., vol. 40, no. 6, pp. 1666-1677, Dec. 1993.

- [75] S. Brugler and P. G. A. Jespers, "Charge pumping in MOS devices," *IEEE Trans. Electron Devices*, vol. 16, no. 3, pp. 297-302, Mar. 1969.
- [76] D. M. Fleetwood, M. R. Shaneyfelt, T. L. Meisenheimer, J. R. Schwank, and P. S. Winokur, "Border trap: Issues for MOS radiation responses and long-term reliability," *Microelectron. Reliab.*, vol. 35, no. 3, pp. 403-428, Mar. 1995.
- [77] O. Flament, J. L. Autran, P. Paillet, P. Roche, O. Faynot, R. Truche, "Charge pumping analysis of radiation effects in LOCOS parasitic transistors," *IEEE Trans. Nucl. Sci.*, vol. 44, no. 6, pp. 1930-1938, Dec. 1997.
- [78] B. Djeddar, A. Smatti, and S. Oussalah, "Oxide-trap based on charge pumping (OTCP) extraction method for irradiated MOSFET devices: Part II (low frequencies)," *IEEE Trans. Nucl. Sci.*, vol. 51, no. 4, pp. 1732-1736, Aug. 2004.
- [79] B. Djeddar, H. Tahi, and A. Mokrani, "Why is oxide-trap charge-pumping method appropriate for radiation-induced trap depiction in MOSFET?" *IEEE Trans. Device Mater. Rel.*, vol. 9, no. 2, pp. 222-230, Jun. 2009.
- [80] H. Tahi, B. Djeddar, A. Mokrani, S. Oussalah, A. Smatti, M. Benabdelmoumen, R. Yefsah, M. Mehloos, B. Mansouri, "Comparison between OTCP and C-V extraction methods for radiation-induced traps in MOSFET devices," in *Proc. IEEE-ICSE (IEEE International Conference on Semiconductor Electronics)*, pp.480-483. Nov. 2008.
- [81] R. E. Paulsen, and M. H. White, "Theory and Application of charge Pumping for the Characterization of Si-SiO₂ interface and near-interface Oxide Traps," *IEEE Trans. Electron Devices*, vol. 41, no. 7, pp. 1213-1216, Jul. 1994.
- [82] D. Truyen, "Etude par simulation composant 3D des effets singuliers SEU et SET induits par ions lourds sur le noeud technologique CMOS bulk 180 nm", thèse de doctorat, Université de Montpellier II, 2007.
- [83] ATHENA user's manual, SILVACO international, 2007.
- [84] S. M. Sze, "VLSI technology", McGraw-Hill Book Company, pp.334, 1998.
- [85] ATLAS user's manual, SILVACO international, 2007.
- [86] R. Entner, "Modeling and simulation of negative biasing temperature instability," these, engineering and technical university, Avr 2007.
- [87] G. Van den bosch, G. Groeseneken, P. Heremans and H.E. Maes, "A new charge pumping procedure to measure interface trap energy distributions on MOSFET's," *Proc European Solid State Device*, pp.579-583, 1990.
- [88] A.B.M. Elliot, "The use of charge pumping currents to measure surface states densities in MOS transistors," *Solid-State Electronics*, Vol. 19, pp.241-247, 1976.
- [89] P. Heremans, J. Witters, G. Groeseneken and H. E. Maes, "Analysis of the charge pumping technique and its application for the evaluation of MOSFET dégradation," *IEEE Trans. Electron Devices*, Vol. 36, No. 7, pp.1318-1335, 1989.
- [90] R. Giahn-Horng and al, "A new method for characterizing the spatial distributions of interface states and oxide-trapped charges in LDD n-MOSFET's," *IEEE Trans. on Electron Devices*, No. 1, pp. 81-89, January 1996.

- [91] M. Declercq and P. Jespers, "Analysis of interface properties in MOS transistors by means of charge pumping measurements," *Acta Techn. Belgica*, Vol. 9, pp. 244-253, 1974.
- [92] H. M. Maes and G. Groeseneken, "Determination of spatial surface state density distribution in MOS and SIMOS transistors after channel hot electron injection," *Electronics Letters*, Vol. 18, No. 9, pp. 372-374, 1982.
- [93] P. Masson, "Etude par pompage de charge par mesures de bruit basse fréquence de transistors MOS à oxynitrides de grille ultra-minces," these, Institut national des sciences appliqués de Lion France, Avr 2007.
- [94] G. Groeseneken, H. E. Maes, N. Beltran and R. De Keersmaecker, "A Reliable Approach to Charge Pumping Measurements in MOS Transistors," *IEEE Trans. Electron. Devices*, Vol. 31, No. 1, pp. 42-53, 1984.
- [95] R. A. Wachnik and J. R. Lowney, "A model for the charge-pumping current based on small rectangular voltage pulses," *Solid-State Electron.*, Vol. 29, No. 4, pp. 447-460, 1986.
- [96] B. Djeddar, A. Smati, A. Amrouche, and M. Kechouane, "Channel length impact on radiation-induced threshold voltage shift in N-MOSFET's devices at low gamma rays radiation doses," *IEEE Trans. Nucl. Sci*, vol 47, no. 6, pp. 1872-1878, Dec 2000.
- [97] B. Djeddar, "On the Correlation Between Radiation-Induced Oxide- and Border-Trap Effects in the Gate-Oxide nMOSFET's," *Microelectron. Reliab.*, Vol. 42, no. 12, pp. 1865-1874, Dec. 2002.
- [98] P. Habas, "Charge-pumping characteristics of virgin and stressed lightly doped drain MOSFETs," *Solid State Electron.*, vol. 38, no. 4, pp. 891-904, Apr. 1995.
- [99] H. Tahj, B. Djeddar, and B. Nadji, "Radiation effect evaluation in effective short and narrow channels of LDD transistor with LOCOS isolation using OTCM method," *IEEE Trans. Device Mater. Rel.*, vol. 10, no. 1, pp. 108-115, Mar. 2010.
- [100] H. Tahj, B. Djeddar and B. Nadji, "Modeling and simulation of charge-pumping characteristics for LDD-MOSFET devices with LOCOS isolation," *IEEE Trans. Electron Devices*," vol. 57, no. 11, pp. 2892-2901, Nov. 2010.
- [101] D. Bauza and G. Ghibaudo, "Analytical study of the contribution of fast and slow oxide traps to the charge pumping current in MOS structures," *Solid State Electron.*, vol. 39, no. 4, pp. 563-570, Apr. 1996.
- [102] D. Bauza, "A General and Reliable Model for Charge Pumping-Part II: Model and Basic Charge-Pumping Mechanism," *IEEE Trans. Electron Devices*, vol. 56, no. 1, pp. 78-84, Jan. 2009.
- [103] Y. Maneglia, "Analyse en profondeur des défauts de l'interface Si-SiO₂ par la technique du pompage de charge," Institut National polytechnique de Grenoble, thèse de doctorat, Déc. 1998.

Abstract

To develop reliable methods of characterization is to predict the degradation of integrated circuits operating in a radiation environment. In this regard, considerable work has been conducted to understand the basic mechanisms of interaction of ionizing radiation with MOS structures, including the creation of traps at the interface oxide / silicon. Indeed, several methods have been developed to extract the density of traps induced by radiation in MOS devices.

The charge pumping technique is a powerful analytical tool to monitor electrical changes in parameters of the interface traps inside components with small dimensions (submicron devices).

In our work, we have used the OTCP (Oxide Charge Pumping Trap) method which is based on the charge pumping technique only and requires only one transistor. It allows the estimation of the interface traps and border-traps densities induced by radiation. To judge the results obtained by this method, we have compared simulation results with experimental measurements.

Finally, we have used a new method based on two standard techniques, the (charge pumping) and I (V). The results obtained by the new method are confronted with the results obtained by other methods.

Keywords: LDD MOSFET, LOCOS, radiation induced traps, charge pumping.

Résumé

Le but de développer des méthodes de caractérisations fiables est de prévoir la dégradation des circuits intégrés fonctionnement dans un environnement radiatif. Dans cette optique, des travaux considérables ont été menés pour comprendre les mécanismes fondamentaux de l'interaction des radiations ionisantes avec les structures MOS, notamment la création des pièges à l'interface oxyde/silicium. En effet, plusieurs méthodes ont été développées pour extraire les densités des pièges induits par l'irradiation dans les dispositifs MOS.

La technique de pompage de charge constitue un puissant outil d'analyse électrique permettant de suivre l'évolution des paramètres des pièges d'interface dans des composants de petites dimensions (dispositifs submicroniques).

Dans notre travail, nous avons utilisé la méthode OTCP (Oxide Trap Charge Pumping) qui est basée uniquement sur la technique de pompage de charge et ne nécessite qu'un seul transistor. Elle permet d'estimer la densité des pièges à l'interface et les border-traps induits par l'irradiation. Pour juger les résultats obtenus par cette méthode, nous avons comparé les résultats de simulation avec des mesures expérimentales.

Pour finir, nous avons utilisé une nouvelle méthode basée sur deux techniques standards, la PC et I(V). Les résultats obtenus par la nouvelle méthode sont confronté aux résultats obtenus par d'autres méthodes.

Mots clés : LDD MOSFET, LOCOS, pièges induits par irradiation, Pompage de charge.

ملخص

تعد البيئة المشعة أمر ضار للدوائر الإلكترونية الممزوجة. و لهذا من الضروري وصف التأثير الإشعاعات على هذه الدارات من أجل فهم آليات التدهور لتوقع الصرر الذي يمكن أن يتسبب للالكترونيات التي تتعرض للإشعاعات .

(معدن، أكسيد، MOS فهذا الصدد تم انجاز أعمال كثيرة لفهم الآليات الأساسية لتفاعل الإشعاعات المؤينة مع البنيات نصف ناقل) خاصة المتعلقة بخلق فخاخ على مستوى الوصلات سليسيوم/ ثاني أكسيد السليسيوم . و لهذا تم تطوير تقنيات MOS. استخلاص كثافة الفخاخ الناجمة على الإشعاعات المؤينة في البنيات

تعد تقنية ضخ الشحن أداة تحليلية كهربائية قوية بحيث تسمح بتتبع تطور خصائص فخاخ الوصلات داخل العناصر ذات الأبعاد الصغيرة.

التي تعتمد على تقنية ضخ الشحن و التي تحتاج إلى ترانزستور واحد فقط. تسمح هذه OTCP في عملنا استعملنا طريقة الطريقة بتقدير كثافة الفخاخ على مستوى الوصلات و على مستوى الحواف الناجمة على الإشعاعات المؤينة.

للحكم على هذه النتائج المتحصل عليها بهذه الطريقة قمنا بمقارنة نتائج المحاكاة مع قياسات تجريبية.

النتائج المتحصل عليها بهذه الطريقة وضعت (V) I و PC أخيرا، لقد استعملنا طريقة جديدة مبنية على تقنيتين قياسيتين في مواجهة مع نتائج الطرق الأخرى.

كلمات مفتاحية:

LDD MOSFET, LOCOS، الفخاخ الناجمة عن الإشعاعات المؤينة، ضخ الشحن.